



INSTITUTO POLITÉCNICO NACIONAL

CENTRO DE INVESTIGACIÓN EN COMPUTACIÓN
Secretaría de Investigación y Posgrado

Diseño de escaladores de impedancia programables en tecnologías CMOS submicrométricas

T E S I S

QUE PARA OBTENER EL GRADO DE MAESTRO EN CIENCIAS EN
INGENIERÍA DE COMPUTO

P R E S E N T A

ING. JOSÉ JAIME CAMACHO ESCOTO

DIRECTORES DE TESIS
Dr. Luis Alfonso Villa Vargas
Dr. Carlos Muñiz Montero



MÉXICO, D.F.

Junio, 2012

Dedicatoria

Dedico este trabajo a mi familia. A mi mamá de quien siempre he obtenido apoyo incondicional, a mi papá que siempre ha estado para mí. A mi hermana con quien he compartido la mayor parte de mi vida. A Claudia que me ha enseñado que el amor se construye día a día. Por último dedico este trabajo a mis abuelos María y José de quienes he recibido demasiado.

Agradecimientos

Agradezco a mis padres Consuelo y Jaime que desde el momento en que nací me han brindado su apoyo y confianza.

Agradezco a todos y cada uno de los profesores que han contribuido a mi formación académica y personal. Agradezco especialmente al Dr. Carlos Muñoz y al Dr. Luis Villa quienes han estado conmigo durante todo este proceso de desarrollo de la tesis y proyectos derivados de la misma, brindándome su apoyo en todas las ocasiones en que así lo he requerido. Agradezco también al Dr. Herón Molina, Marco Ramírez, Víctor Ponce y Alfonso Gutiérrez quienes han dado seguimiento a la realización de este trabajo de tesis además de que han aportado valiosas críticas hacia el mismo.

Agradezco a Claudia Hernández que además de haberme brindado su comprensión y apoyo participó en el enriquecimiento de este trabajo.

Este trabajo ha sido soportado en parte por la SIP-IPN bajo el proyecto 20113709 asignado al CIC-IPN, por el ICyTDF bajo proyecto 317-2009 asignado al CNMN y por el CONACyT bajo los proyectos 124104 asignado al CIC-IPN y 115976 asignado al CENAM.

Por último agradezco al Consejo Nacional de Ciencia y Tecnología por el apoyo económico brindado durante mis estudios de posgrado, el cual fue pieza importante para la conclusión de esta tesis.

Índice general

1. Introducción	1
1.1. Antecedentes	1
1.2. Planteamiento del problema	5
1.3. Justificación	7
1.3.1. Requerimientos de área de silicio	7
1.3.2. Impacto económico	7
1.3.3. Circuitos reconfigurables	8
1.3.4. Beneficios relacionados con técnicas de diseño analógico	8
1.4. Hipótesis	9
1.5. Objetivos	9
1.5.1. Objetivo general	9
1.5.2. Objetivos específicos	10
1.6. Alcances	10
1.7. Contribuciones	10
1.8. Método de investigación y desarrollo	11
1.9. Organización del trabajo	11
1.10. Resumen	12
2. Estado del arte	13
2.1. Multiplicadores de capacitancia	13

2.1.1.	Multiplicadores con traspasadores de corriente	13
2.1.2.	Multiplicadores con amplificadores operacionales de transconductancia . .	16
2.1.3.	Multiplicadores con espejos de corriente	18
2.1.4.	Multiplicadores con otros bloques de diseño	19
2.2.	Resumen	20
3.	Sustento teórico	23
3.1.	Transistor CMOS	23
3.1.1.	Proceso CMOS	27
3.1.2.	Regiones de operación	31
3.1.3.	Ecuaciones de corriente	34
3.1.4.	Modelos	42
3.2.	Bloques básicos de diseño analógico	45
3.2.1.	Espejo de corriente	45
3.2.2.	Par diferencial	46
3.2.3.	Traspasador de corriente	48
3.2.4.	Amplificador operacional	50
3.2.5.	Elemento altamente resistivo	55
3.2.6.	Flipped voltage	57
3.3.	Escaladores de impedancia	61
3.3.1.	Definición	61
3.3.2.	Multiplicación de capacitancia	62
4.	Diseño de multiplicadores de capacitancia	66
4.1.	Multiplicador de capacitancia en modo corriente	66
4.2.	Multiplicador de capacitancia en modo voltaje	71
4.3.	Multiplicador de capacitancia en modo corriente a partir de CCII	77
4.4.	Discusión	95

	XI
5. Conclusiones	98
5.1. Resumen	98
5.2. Discusión	99
5.3. Trabajo a futuro	100
Bibliografía	102

Índice de cuadros

2.1. Tabla comparativa del estado del arte.	22
3.1. Regiones de operación con respecto al factor de inversión.	42
3.2. Características ideales y reales de un amplificador operacional.	50
4.1. Valores utilizados en el diseño del multiplicador de capacitancia con espejos programables.	68
4.2. Valores utilizados en el diseño del amplificador operacional de dos etapas.	74
4.3. Valores utilizados en el filtro pasa bajos con el multiplicador de capacitancia.	75
4.4. Parámetros utilizados para el diseño de los seguidores de voltaje propuestos.	79
4.5. Parámetros utilizados para las simulaciones del seguidor propuesto en [41].	80
5.1. Resultados obtenidos en el trabajo de tesis.	99

Índice de figuras

1.1. Circuito multiplicador de capacitancia en modo voltaje.	2
1.2. Circuito multiplicador de capacitancia en modo corriente.	3
1.3. Circuito equivalente del multiplicador de capacitancia en modo voltaje.	4
1.4. Circuito equivalente del multiplicador de capacitancia en modo corriente.	5
2.1. Diagrama a bloques del esquema propuesto por [19].	14
2.2. Esquemático del traspasador de corriente II propuesto por [19].	15
2.3. Diagrama a bloques del primer esquema propuesto por [20]	16
2.4. Diagrama a bloques del segundo esquema propuesto por [20]	17
2.5. Diagrama a bloques del esquema propuesto por [22]	17
3.1. Símbolos eléctricos de los transistores NMOS y PMOS.	24
3.2. Vista transversal de un transistor NMOS.	24
3.3. Respuesta en DC de un transistor NMOS.	26
3.4. Modelo a pequeña señal de un transistor operando en saturación con el sustrato y la fuente conectados.	26
3.5. Modelo a pequeña señal de un transistor operando en saturación sin el sustrato y la fuente conectados.	27
3.6. Oblea cubierta por la fotorresina y el dióxido de silicio.	29
3.7. Alineación de la máscara y exposición a la luz ultravioleta.	29
3.8. Grabado de los materiales.	29
3.9. Transistores CMOS con una interconexión que pasa entre ellos.	31

3.10. Corte transversal de un transistor tipo n con un voltaje de 0.1V aplicados en el drenaje.	32
3.11. Transistor NMOS con un voltaje aplicado en VGS y VDS	33
3.12. Curvas características $i_D - V_{DS}$ del transistor MOS con diferentes valores de V_{GS} . 33	
3.13. .Fig. Vista transversal de un transistor NMOS con un voltaje en el drenaje mayor que cero.	35
3.14. Corte transversal de un transistor con la región de agotamiento formándose. . . .	37
3.15. Gráfica de la corriente de drenaje en un transistor MOS en triodo.	37
3.16. Transistor encendido con el canal formado.	39
3.17. Comportamiento pinch-off en la región de saturación.	39
3.18. Zoom de la figura 3.15 que muestra la operación lineal en la región de inversión débil.	42
3.19. Espejo de corriente simple.	45
3.20. Par diferencial NMOS simple.	47
3.21. Diagrama de bloque del traspasador de corriente.	49
3.22. Diagrama de bloque del traspasador de corriente de segunda generación.	49
3.23. Diagrama a bloques para representar el funcionamiento del CCII+.	50
3.24. Esquemático de un amplificador de transconductancia.	51
3.25. Elemento altamente resistivo a partir de la unión drenaje-pozo de un transistor. .	55
3.26. Elemento altamente resistivo a partir de un transistor NMOS en serie con un PMOS.	56
3.27. Elemento altamente resistivo con tres transistores tipo P.	56
3.28. Elemento altamente resistivo programable con dos transistores tipo P.	57
3.29. Seguidor de voltaje flipped voltage.	58
3.30. Seguidor de voltaje flipped voltage clase AB.	59
3.31. Seguidor de voltaje flipped voltage clase AB con comparador de corriente.	59
3.32. Seguidor de voltaje flipped voltage diferencial.	60

3.33. Seguidor de voltaje flipped voltage diferencial clase AB.	61
3.34. Diagrama a bloques de los tipos de escaladores de impedancia.	62
3.35. Circuito multiplicador de capacitancia en modo voltaje.	63
3.36. Circuito multiplicador de capacitancia en modo corriente.	64
4.1. a) Circuito multiplicador de capacitancia con elementos altamente resistivos. b) circuito equivalente al multiplicador de capacitancia con elementos altamente resistivos.	67
4.2. Principio de operación del espejo de corriente programable.	67
4.3. Esquemático del multiplicador de capacitancia en modo corriente con espejos programables.	69
4.4. Análisis DC de la multiplicación de corriente con el espejo programable.	70
4.5. Análisis de AC del filtro con diferentes voltajes de programación en los espejos.	71
4.6. a) Circuito multiplicador de capacitancia con elementos altamente resistivos. b) circuito equivalente al multiplicador de capacitancia con elementos altamente resistivos.	72
4.7. Elemento altamente resistivo con tres transistores tipo P.	73
4.8. Impedancia del elemento altamente resistivo cuando se varía el voltaje de programación.	73
4.9. Esquemático del amplificador operacional utilizado para el multiplicador de capacitancia.	74
4.10. a) Esquemático del filtro pasa bajos formado con el multiplicador de capacitancia. b) Circuito equivalente al filtro pasa bajos formado con el multiplicador de capacitancia.	75
4.11. Análisis AC del filtro con el multiplicador de capacitancia (post-layout).	76
4.12. Análisis AC del filtro con el multiplicador de capacitancia variando R_1 y R_2 (post-layout).	76

4.13. Layout del filtro pasa bajos utilizando multiplicador de capacitancia con elementos altamente resistivos.	77
4.14. Diagrama a bloques para representar el funcionamiento del CCII.	78
4.15. Seguidor de voltaje flipped voltage diferencial clase AB presentado en [44].	78
4.16. Diseño propuesto de seguidor de voltaje clase AB.	79
4.17. Diseño propuesto de seguidor de voltaje clase AB con polarización adaptativa.	80
4.18. Barrido en DC del voltaje de entrada en los distintos seguidores.	81
4.19. Error en la copia de voltaje de los distintos seguidores	82
4.20. Barrido en DC de la corriente de salida del seguidor de la propuesta 1.	83
4.21. Barrido en DC de la corriente de salida del seguidor de la propuesta 2.	83
4.22. Diseño propuesto de CCII- con comparador de corriente.	84
4.23. Diseño propuesto de CCII- con polarización adaptativa.	85
4.24. Análisis en DC de la copia de corriente de la terminal X a la terminal Z en el $CCII-$ de los circuitos propuestos.	86
4.25. Análisis en DC de la copia de corriente de la terminal X a la terminal Z en el $CCII-$ de los circuitos propuestos.	87
4.26. Análisis en AC de la impedancia parásita en la terminal X	87
4.27. Circuito equivalente de la terminal Y	88
4.28. Análisis en AC de la impedancia parásita en la terminal Y	89
4.29. Análisis en AC de la ganancia de voltaje del $CCII-$	89
4.30. Análisis en AC de la ganancia de corriente del $CCII-$	90
4.31. Análisis transitorio del CCII utilizando como entrada una señal cuadrada en la terminal Y	91
4.32. Análisis transitorio del CCII utilizando como entrada una señal cuadrada en la terminal X a) con amplitud $2\mu A$ b) con amplitud $20\mu A$	92
4.33. Análisis transitorio del CCII variando la ganancia del CCII-.	93
4.34. Layout del CCII de la propuesta 1.	93

4.35. Esquemático del circuito CCII- programable de la primer propuesta.	94
4.36. Esquemático del circuito de programación del CCII-.	95
4.37. Esquemático del circuito de programación del CCII-.	96

Resumen

Camacho Escoto, José Jaime (Ing. en Sistemas Computacionales)

Diseño de escaladores de impedancia programables en tecnologías CMOS submicrométricas

Tesis dirigida por Dr. Luis Alfonso Villa Vargas y Dr. Carlos Muñoz Montero

Tres propuestas novedosas de escaladores de impedancia son presentadas en esta tesis. La primera propuesta realizada a partir de espejos de corriente programables analógicamente, lo cual da la posibilidad de tener mayor precisión aunque la programación no sea completamente lineal. La impedancia de este circuito es del orden de $10M\Omega$. Este circuito tiene un rango de programación de hasta dos décadas debido a un cero parásito que aparece a los $3MHz$. Dicha desventaja es cubierta por la segunda propuesta que además de lograr más de 4 décadas de programación, consume poca corriente ya que utiliza elementos altamente resistivos. Como la configuración de esta propuesta es un amplificador inversor, entonces la resistencia equivalente del circuito está dado por uno de los elementos altamente resistivos que está en el orden de los $300G\Omega$. Los elementos altamente resistivos son programables electrónicamente por medio de voltajes analógicos y su programación es no lineal. Esta no linealidad es mejorada por medio de la tercera propuesta a partir de dos diseños de traspasadores de corriente (current conveyors) de segunda generación (CCII-) con retroalimentación negativa. Estos circuitos tienen la ventaja de ser programados digitalmente, lo cual los vuelve fáciles de programar aunque reduce las posibilidades de programación a valores discretos. Las realizaciones aquí presentadas con este bloque de diseño tienen posibilidad de programar con 4 bits lo que da un factor de multiplicación de hasta 15. La resistencia equivalente de este circuito está dada por la expresión $R_X \cong \frac{g_d + 2g_d}{g_m g_m} \parallel r_{ds}^2 g_m$ cuyo valor típico aproximado es de 30Ω .

Se presentan en este trabajo de tesis dos diseños innovadores de CCII- clase AB, lo que resulta en un aumento en el ancho de banda y en una disminución en la potencia utilizada. Ambos diseños están polarizados con una corriente de $5\mu A$ y manejan corrientes de hasta $1mA$.

El primer diseño hace uso de un comparador de corriente para activar la clase B del seguidor de voltaje y el segundo diseño hace uso de polarización adaptativa con el mismo fin. La primera propuesta muestra un error menor a $8mV$ en el rango de $-1.2V$ a $2.2V$ y la segunda propuesta un error de hasta $30mV$ en un rango de $0V$ a $2.2V$. En cuanto a la copia de corriente de la terminal X a la terminal Z , la primera propuesta muestra un error de hasta $50\mu A$ en un rango de corrientes desde $-600\mu A$ hasta $550\mu A$ y la segunda propuesta muestra un error de hasta $50\mu A$ en un rango de $-1mA$ hasta $1mA$. Ambas propuestas muestran impedancias bajas en la terminal X y alta impedancia en la terminal Y . En el análisis en AC ambos CCII- son funcionales hasta una frecuencia de $11MHz$ en voltaje y $5MHz$ en corriente. En este último análisis se observa un cero parásito a frecuencias altas a los $13MHz$ en la primera propuesta.

Abstract

Camacho Escoto, José Jaime (Ing. en Sistemas Computacionales)

Diseño de escaladores de impedancia programables en tecnologías CMOS submicrométricas

Thesis directed by Dr. Luis Alfonso Villa Vargas and Dr. Carlos Muníz Montero

Three nouvelle impedance scalers are introduced in this work. The first proposal is realized using analogically tunable current mirrors which gives the possibility to have more precision despite of the tuning is not completely linear. The equivalent impedance of this circuit is in the order of $10M\Omega$. This circuit has a programming range up to two decades due to a parasitic zero which appears in $3MHz$. Such disadvantage is improved in the second proposal which reaches 4 tuning decades and consumes little current because it uses high resistive elements. Due to that this proposal is an inverter amplifier, the equivalent resistor is given by one of the high resistive element, that is about $300G\Omega$ which are tunable electronically by analogic voltages and which tuning is not linear. The non-linearity is improved by the third proposal which uses two second generation current conveyors (CCII-) with negative feedback. These circuits have the advantage of being tuned digitally, which makes them easy to tune but reduces the possibility of tuning to discrete values. The realizations presented in this document which use the CCII- is tuned with 4 bits which leads to a multiplication factor up to 15. The equivalent resistor of this circuit is given by the equation $R_X \cong \frac{g_d+2g_d}{g_m g_m} \parallel r_{ds}^2 g_m$ and is about 30Ω .

Two nouvelle class-AB CCII- are presented in this work. Both are biased with a current of $5\mu A$ and can drive currents up to $1mA$. The first design uses a current comparator to activate the class-B of the voltage follower and the second design uses adaptive biasing. The first proposal has an error lower than $8mV$ in a range of $-1.2V$ to $2.2V$ and the second proposal shows an error lower than $30mV$ in a range of $0V$ to $2.2V$. Related to the current copy from X to Z terminal, the first proposal has an error lower than $50\mu A$ in a range of $-600\mu A$ to $550\mu A$ and the second proposal has an error lower than $50\mu A$ in a range of $-1mA$ to $1mA$. Both show low

impedances in the X terminal and high impedance in the Y terminal. The AC analysis shows that both CCII- are functional up to a frequency of $11MHz$ for voltage and $5MHz$ for current. In this analysis it is possible to observe a parasitic zero in high frequencies ($13MHz$) in the first proposal.

Capítulo 1

Introducción

En este capítulo se dará una introducción a la problemática tratada en este documento de tesis, se comienza por describir la problemática relacionada con las capacitancias en las tecnologías CMOS submicrométricas y se propone un esquema que solucione dicho problema. Se hace también un análisis de las ventajas que la solución puede tener tanto económicamente como en ahorro de espacio en un microchip, asimismo se analizan las ventajas de tener una propuesta programable o configurable.

En la sección 5 del capítulo se plantean los objetivos de este trabajo y más adelante los alcances, contribuciones, el método seguido durante la realización del mismo así como la forma en la que está organizado este documento.

1.1. Antecedentes

La investigación relacionada con el diseño de circuitos integrados analógicos ha promovido un aumento en la tendencia hacia la realización de dispositivos de bajo consumo que funcionen con voltajes de alimentación bajos. Estas características permiten su incursión en áreas de desarrollo tales como las telecomunicaciones y los sistemas portátiles que operan a partir de baterías, entre los que destacan los dispositivos implantables. No obstante, conforme incrementa la complejidad de estos sistemas, los requerimientos de área de silicio adquieren cada vez mayor importancia. En este sentido, uno de los problemas limitantes en el diseño de circuitos integrados es la realización de capacitores de alto valor. Por dar un ejemplo, realizar capacitores de $20pF$

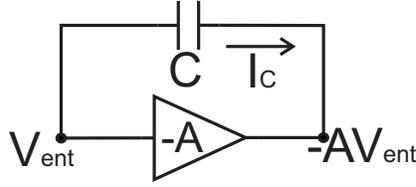


Figura 1.1: Circuito multiplicador de capacitancia en modo voltaje.

en un proceso CMOS estándar con dos capas de polisilicio es equivalente, en términos de área, al espacio requerido por miles de transistores. En consecuencia, realizar capacitores de 100 pF en circuito integrado resulta prohibitivo [19]. Esta problemática se acentúa al considerar que en la actualidad son cada vez más las aplicaciones que requieren de capacitores de alto valor. Entre estas aplicaciones se encuentran los sistemas de datos muestreados y los sistemas de acondicionamiento de señal provenientes de sensores biológicos [17, 18], entre otras. Además, la capacitancia proporcionada por los denominados “sensores capacitivos” es muy pequeña, por lo que se requiere amplificarla para incrementar la resolución. Algunos ejemplos de sensores capacitivos son los cantilevers (voladizos, en español), sensores de humedad, pantallas táctiles de dispositivos portátiles, entre otros [17].

Una posible solución a esta problemática radica en el uso de una clase particular de escalador de impedancia: el multiplicador de capacitancia. Un multiplicador de capacitancia es una topología que permite escalar por un factor la capacitancia de un capacitor de valor moderado. La figura 1.1 [52] muestra la idea conceptual de este dispositivo en modo voltaje y la figura 1.2 en modo corriente.

Para analizar la figura 1.1 se obtiene la corriente que pasa a través del capacitor C resultando en la ecuación (1.1.1).

$$I_C = \frac{V_{ent} - (-AV_{ent})}{\frac{1}{SC}} = V_{ent}(1 + A)SC \quad (1.1.1)$$

De la expresión (1.1.1) se puede obtener la impedancia equivalente del circuito dividiendo la el voltaje entre la corriente, de esta forma resulta la ecuación (1.1.2) y de esta expresión se

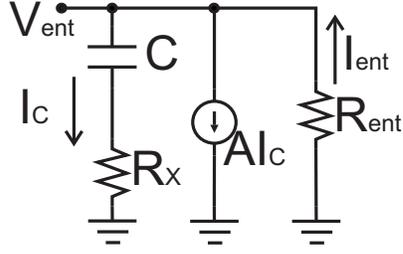


Figura 1.2: Circuito multiplicador de capacitancia en modo corriente.

deduce la capacitancia equivalente de la figura 1.3 que es mostrada en la ecuación (1.1.3).

$$Z_C = \frac{V_{ent}}{I_c} = \frac{V_{ent}}{V_{ent}(1+A)SC} = \frac{1}{(1+A)SC} \quad (1.1.2)$$

$$C_{eq} = (1+A)C \quad (1.1.3)$$

Ahora bien, analizando el circuito en modo corriente de la figura 1.2 se comienza por obtener la ecuación de corriente del nodo V_{ent} , obteniendo la expresión (1.1.4).

$$I_C + AI_C - I_{ent} = 0 = I_C(1+A) - I_{ent} \quad (1.1.4)$$

Sustituyendo I_C por $\frac{V_{ent}}{R_x + \frac{1}{SC}}$ en (1.1.4) se obtiene la ecuación (1.1.5).

$$\frac{V_{ent}}{R_x + \frac{1}{SC}}(1+A) - I_{ent} = 0 \quad (1.1.5)$$

Para obtener la capacitancia equivalente de la figura 1.4 primero se obtiene la impedancia equivalente despejando $\frac{V_{ent}}{I_{ent}}$ de (1.1.5) resultando en la ecuación (1.1.6). Para simplificar esta ecuación se propone una R_x muy pequeña de tal forma que resulte en la ecuación (1.1.7).

$$Z_{eq} = \frac{R_x + \frac{1}{SC}}{1+A} \quad (1.1.6)$$

$$Z_{eq} = \frac{1}{SC(1+A)} \quad (1.1.7)$$

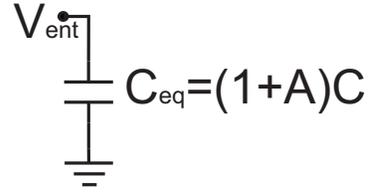


Figura 1.3: Circuito equivalente del multiplicador de capacitancia en modo voltaje.

Obteniendo la capacitancia equivalente de (1.1.7) se tiene que la ecuación (1.1.8) representa el capacitor C_{eq} de la figura 1.4.

$$C_{eq} = C(1 + A) \quad (1.1.8)$$

Los esquemas anteriores se utilizarán en este trabajo de tesis para las realizaciones de multiplicadores de capacitancia propuestos.

Existen numerosos e interesantes trabajos dedicados a la multiplicación de capacitancia [29, 28, 25, 20, 19, 21, 27, 26, 24, 22, 30, 23]. Estos trabajos pueden clasificarse de varias formas:

1. Tipo de señales involucradas en el diseño y tipo de señales de control (diseño en modo voltaje [21, 26] y diseño en modo corriente [29, 28, 25, 20, 19, 27, 24, 22, 30, 23]).
2. Dispositivo activo utilizado (amplificador operacional [5], amplificador de transconductancia [21, 26], traspasador de corriente [19, 20, 23], espejos de corriente [24, 28, 30]).
3. Tecnología utilizada (BJT [21, 22, 23, 27], CMOS [19, 20, 24, 25, 26, 28, 29, 30]).
4. Factor de capacitancia (fijo [28, 30], ajustable por elementos pasivos [19, 20] o ajustable eléctricamente [21, 22, 23, 24, 26, 27, 29]).
5. Capacitancia equivalente aterrizada [19, 20, 22, 24, 26, 27, 28, 29, 30] o flotante [21, 23, 25, 27, 29].

Un estudio comparativo será presentado en el Capítulo 2.

Por otro lado, en la actualidad existe una creciente demanda de circuitos sintonizables. Una de las ventajas de estos dispositivos es que pueden sintonizarse para corregir los errores que

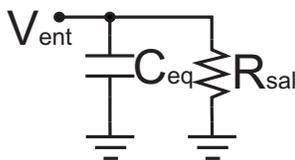


Figura 1.4: Circuito equivalente del multiplicador de capacitancia en modo corriente.

presenten debido a variaciones de proceso y desapareamiento o mismatch [7]. Al respecto, un problema importante radica en obtener un rango amplio de programación mediante variables eléctricas de control. Entre las técnicas empleadas destacan el diseño a partir del ajuste de la polarización de amplificadores de transconductancia (OTAs) [6, 8], los circuitos con capacitores conmutados y los diseños en tiempo continuo. En el primer caso el rango de programación es muy limitado, no depende linealmente de la variable de control y el área requerida es grande. En el segundo caso la operación está limitada a tiempo discreto. En el tercer caso se deben integrar resistencias y capacitores de alto valor. Por lo tanto, es deseable incursionar en nuevas técnicas para diseñar dispositivos programables.

1.2. Planteamiento del problema

Un capacitor en tecnologías CMOS está formado comúnmente por dos placas separadas por un material aislante. La capacitancia se calcula como:

$$C = \frac{(Er \times A)}{d} \quad (1.2.1)$$

Donde:

- C = Capacitancia
- Er = Permitividad del dieléctrico
- A = Área de las placas paralelas
- d = Separación entre las placas

En esta tesis se utilizará una tecnología CMOS de $0.5\mu m$ del fabricante ON-Semiconductors. En esta tecnología los capacitores se realizan comúnmente con capas de polisilicio (capas poly1 y poly2). El dieléctrico entre ellos es óxido de silicio, cuya permitividad es de $3.9F/m$, mientras que el espesor del dieléctrico es de aproximadamente 360\AA mgströms. Sustituyendo estos valores en (1.2.1) se obtiene la ecuación (1.2.2).

$$C = \frac{(3.9)\varepsilon_0 \times 1\mu m}{360\text{\AA}} \quad (1.2.2)$$

De acuerdo con (1.2.2), cada micra cuadrada de la combinación poly1-poly2 proporcionará una capacitancia de $950aF$. Por lo tanto, para realizar un capacitor de $10pF$ se requeriría un área de $0.010526mm^2$, y para un capacitor de $100pF$ se requerirían $0.105263mm^2$. Dado que un transistor de dimensiones mínimas en esta tecnología requiere un área de aproximadamente $1.1\mu m^2$, se concluye que los capacitores de $10pF$ y $100pF$ requieren la misma área que diez mil y cien mil transistores de dimensiones mínimas, respectivamente.

Como se ha mencionado, existen técnicas para realizar multiplicadores de capacitancia. Desafortunadamente, los multiplicadores de capacitancia reportados en la literatura presentan al menos una de las siguientes desventajas:

1. Necesidad de que los elementos pasivos tengan ciertos tamaños.
2. Falta de sintonización electrónica.
3. Uso excesivo de elementos activos y/o pasivos.
4. Uso de un capacitor flotante, el cual no es conveniente para fabricar circuitos integrados.
5. Provisión de un capacitor aterrizado.
6. Uso de un capacitor conectado a una terminal inapropiada, lo que resulta en un polo adicional, y en consecuencia operación en menor número de frecuencias.

Además, ninguno de los trabajos previos explora el uso de transistores de compuerta flotante

[31, 32, 33], espejos de corriente programables [9] o elementos altamente resistivos [34, 35, 37].

En esta tesis se explorará el uso de estas técnicas para:

1. Realizar la programación del factor de multiplicación de capacitancia.
2. Incrementar el rango de programación.
3. Mejorar la linealidad en la programación.
4. Resolver las desventajas mencionadas en el párrafo anterior.
5. Reducir la complejidad de los circuitos en relación con los trabajos reportados en la literatura.

1.3. Justificación

En esta sección se tratan los diversos aspectos que dan pie a la realización de este trabajo de investigación.

1.3.1. Requerimientos de área de silicio

Para resolver la problemática que representa la elevada cantidad de área de silicio requerida por los capacitores de valor elevado se propone el diseño de circuitos escaladores de impedancia. Estos circuitos multiplicarán por un factor ajustable eléctricamente la capacitancia de un capacitor de bajo valor, que ocupe por lo tanto poca área. De esta forma, el circuito multiplicador de capacitancia aunado al capacitor que se multiplicará, ocupará un área mucho menor que la requerida al diseñar el capacitor de valor elevado directamente con dos capas de polisilicio.

1.3.2. Impacto económico

Además de las correspondientes dificultades técnicas, la gestión de la economía del escalamiento y el aumento de la demanda han sido factores clave en el impulso de la industria de los semiconductores, una industria que alcanza los 300 mil millones de dólares por año. Gordon

Moore predijo en 1975 que el número de transistores por chip se duplicaría cada dos años, sentencia conocida como “La Ley de Moore” [12] y que él mismo sostuvo y actualizó años más tarde [10, 11, 13]. Como consecuencia, los costos en la fabricación de obleas se han incrementado significativamente en los últimos años. No obstante, la industria de los semiconductores ha mantenido una reducción del 29% por año en el costo por función, esto gracias al uso de estrategias tales como: escalamiento tecnológico, incremento del tamaño de las obleas, optimización del tamaño de cada dado (chip) y la densidad de empaquetamiento por chip. El costo de un chip [14] puede predecirse mediante la expresión:

$$Costo = \frac{1}{rendimiento} \left(\frac{area_sin_usar}{area_util} \right) costo_oblea \quad (1.3.1)$$

De acuerdo con la expresión (1.3.1), el costo del chip se reduce en proporción directa con el área del chip, y en proporción inversa con el rendimiento, esto es, con el número de dispositivos funcionales después de la fabricación. En esta tesis se busca demostrar que el uso de escaladores de capacitancia sintonizables tiene injerencia en ambos aspectos, ya que un escalador de impedancia ocupa un área mucho menor que el capacitor al cual es equivalente, además de permitir incrementar el número de dispositivos funcionales al proporcionar a los sistemas capacidad de ajuste ante variaciones de proceso.

1.3.3. Circuitos reconfigurables

Los multiplicadores de capacitancia con factores grandes de multiplicación proporcionales a la variable eléctrica de control darán mayor flexibilidad a sistemas reconfigurables.

1.3.4. Beneficios relacionados con técnicas de diseño analógico

1. En la técnica OTA-C [8] para el diseño de filtros de baja frecuencia el polo dominante está dado por la expresión (1.3.2).

$$f_o = \frac{G_m}{2\pi C_L} \quad (1.3.2)$$

Por lo tanto, si se incrementa el capacitor C_L mediante escaladores de impedancia se puede incrementar G_m , lo que reduciría los niveles de ruido del sistema. Además, la frecuencia f_0 puede sintonizarse ante variaciones de proceso mediante el ajuste de C_L .

2. La técnica de compensación de offset por autocero requiere de capacitores de alto valor para reducir los niveles de ruido y offset causados por los efectos de inyección de carga de los interruptores analógicos [15].
3. Realizar el ajuste de la frecuencia de corte en filtros programables de baja frecuencia a partir de capacitores programables eléctricamente es una técnica poco explorada en la literatura. Un estudio detallado de estas técnicas está fuera de los objetivos perseguidos en este trabajo.

1.4. Hipótesis

Los escaladores o multiplicadores de capacitancia diseñados a partir de elementos altamente resistivos, transistores de compuerta flotante y espejos de corriente programables permitirán:

- Ahorrar área.
- Realizar el ajuste del factor de multiplicación de forma eléctrica, lineal y en un amplio rango.
- Obtener capacitores equivalentes aterrizados de mayor valor.

1.5. Objetivos

1.5.1. Objetivo general

Proponer nuevas arquitecturas a partir de espejos de corriente programables, elementos altamente resistivos y traspasadores de corrientes, para el diseño de escaladores de capacitancia

programables eléctricamente y con control lineal del factor de programación que permitan dar solución a los problemas planteados en la Sección 1.2.

1.5.2. Objetivos específicos

- Diseñar un multiplicador de capacitancia programable, aterrizado y en modo corriente a partir de espejos programables que permitan dar solución a los problemas planteados en la Sección 1.2.
- Diseñar un multiplicador de capacitancia programable, aterrizado y en modo voltaje a partir de elementos altamente resistivos que permitan dar solución a los problemas planteados en la Sección 1.2.
- Diseñar un multiplicador de capacitancia programable, aterrizado y en modo corriente a partir de traspasadores de corriente programables diseñados a partir de espejos de corriente programables que permitan dar solución a los problemas planteados en la Sección 1.2.

1.6. Alcances

En este trabajo de investigación se simularán tres diseños de multiplicadores de capacitancia los cuales permitirán el ahorro de área en circuitos que requieran capacitores de grande valor para los que se pueden lograr en el diseño VLSI.

1.7. Contribuciones

Tres diseños novedosos de multiplicadores de capacitancia se presentan en este trabajo. Con la finalidad de reducir los efectos del mismatch en el circuito multiplicador además de poder ajustar los factores de multiplicación a las necesidades que se tengan, los circuitos que se realizan son programables. De esta forma se podrá compensar el mismatch externamente programando el factor de multiplicación.

Se presenta también un diseño novedoso de un seguidor de voltaje clase-AB, un diseño de un traspasador de corriente de segunda generación con ganancia programable y el diseño de novedosos elementos altamente resistivos programables.

1.8. Método de investigación y desarrollo

Para la investigación se hizo una revisión del estado del arte actual sobre multiplicadores de capacitancia, se comparó entre características que fueran determinantes en los circuitos VLSI, se eligieron potencia, tecnología, voltaje de alimentación, si el diseño es aterrizado o flotante, el bloque básico de diseño de cada multiplicador, el factor máximo de multiplicación, la capacitancia mínima requerida para funcionar, el ancho de banda del multiplicador y el tipo de sintonización. Todas estas características nos dieron un panorama más amplio de lo que se puede lograr en la práctica.

Para el desarrollo se eligieron las topologías que se utilizarían para los multiplicadores, posteriormente se procedió a diseñar los bloques básicos necesarios para cada topología, el diseño incluye la realización del circuito esquemático en Tanner S-Edit 13, la simulación de los mismos en HSPICE 2007 haciendo uso de los parámetros de la tecnología de ON-SEMI de $0.5\mu m$. En el caso del multiplicador en modo corriente realizado con espejos de corriente programables y el multiplicador realizado con el traspasador de corriente de segunda generación se procedió a realizar el layout del diseño. Terminado el layout se hicieron las pruebas necesarias para comprobar que el layout es correcto con respecto al esquemático, la extracción de parásitas y la simulación del circuito con dichas parásitas. Los resultados se muestran en gráficas ilustrativas.

1.9. Organización del trabajo

En el capítulo 2 se tratan aspectos del estado del arte de las realizaciones de multiplicadores de capacitancia, la tecnología en la que están fabricados, los bloques con los que están contruidos, sus ventajas y desventajas, etc.

El capítulo 3 da una breve introducción de la tecnología CMOS, su proceso de fabricación

y los transistores de unión metal-óxido (CMOS) que se fabrican en dicha tecnología. Asimismo trata las características con las que cuentan dichos transistores, sus regiones de operación y los modelos utilizados para simularlos. Otro aspecto que se trata en este capítulo es una introducción a los bloques de diseño básico utilizados en este trabajo de tesis, sus características, composición y algunos ejemplos actualmente utilizados. El último punto que se trata en este capítulo es el escalamiento de impedancia y cómo es que se logra teóricamente.

En el cuarto capítulo se presentan las realizaciones desarrolladas para este trabajo de tesis, incluyendo el principio de funcionamiento, los esquemáticos y las simulaciones realizadas para los circuitos presentados.

En el capítulo 5 se presentan las conclusiones sobre el trabajo realizado incluyendo una discusión sobre los resultados del mismo y trabajo a futuro que se puede realizar para complementar este trabajo.

1.10. Resumen

Dado que en tecnologías CMOS estándar es muy costoso (en términos de área) hacer capacitores de valores por encima de 20pF y que hay muchas aplicaciones que requieren capacitores de alto valor, se propone la obtención de circuitos que escalen dicha capacitancia ahorrando así área. Además con la finalidad de que estos escaladores puedan ser utilizados para sensores capacitivos y que los capacitores obtenidos sean menos sensibles al mismatch del proceso CMOS, las propuestas tienen la posibilidad de ser sintonizables. Los tres escaladores propuestos incluyen un escalador en modo corriente aterrizado a partir de espejos programables, un escalador en modo voltaje aterrizado a partir de elementos altamente resistivos programables y un multiplicador de capacitancia en modo corriente a partir de traspasadores de corriente II programables. La tecnología en la que se harán los diseños será la de $0.5\mu m$ del fabricante ON-SEMI, las simulaciones se realizarán en el software HSPICE 2007, y los diseños esquemáticos y de layouts se realizarán en el software Tanner Tools 13.

Capítulo 2

Estado del arte

En este capítulo se describen los avances que hay hasta el momento en los multiplicadores de capacitancia realizados. Además de esto es necesario hacer una revisión de los bloques de diseño que llevan al desarrollo de los multiplicadores de capacitancia de esta tesis. Dicha revisión se hará en el capítulo siguiente donde además de explicar los bloques de diseño se revisarán los más recientes encontrados en la literatura que se adecuan a las necesidades de este trabajo.

2.1. Multiplicadores de capacitancia

Un multiplicador de capacitancia es un bloque formado de elementos activos y/o pasivos que tiene como finalidad escalar la capacitancia de un condensador y de esta forma poder obtener valores mayores o menores a los del condensador que se utiliza. Existen varias realizaciones de dichos multiplicadores [19, 20, 21, 22, 23, 24, 26, 27, 28, 29, 30] los cuales serán divididos según el bloque de diseño básico que utilizan para realizar la multiplicación.

2.1.1. Multiplicadores con traspasadores de corriente

Uno de los bloques de diseño más utilizados para hacer multiplicación de capacitancia es el traspasador de corriente (CC por sus siglas en inglés de current conveyor) [19, 20, 22, 23].

En [19] se hace uso de un traspasador de corriente y un amplificador de corriente con el esquema de la figura 2.1 el cual hace uso de la retroalimentación de la terminal Z cuya corriente es amplificada por el amplificador operacional de corriente (COA) obteniendo la expresión (2.1.1).

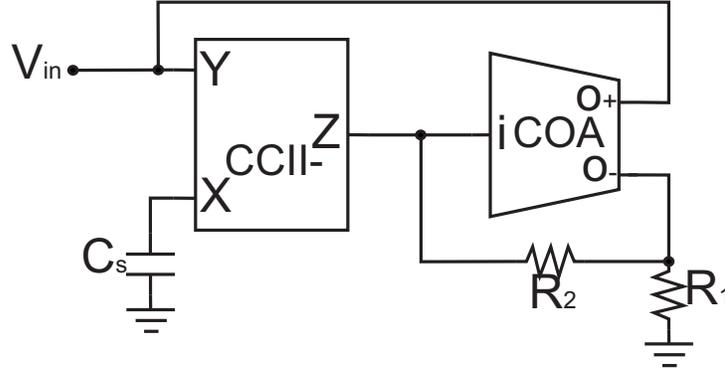


Figura 2.1: Diagrama a bloques del esquema propuesto por [19].

$$C_{EQ} = A_i C_s \quad (2.1.1)$$

Donde la ganancia A_i está controlada por el valor de las resistencias R_1 y R_2 con la expresión (2.1.2).

$$A_i = 1 + \frac{R_2}{R_1} \quad (2.1.2)$$

Dado que el traspasador de corriente es de especial interés para este trabajo de tesis, en la figura 2.2 se muestra el diagrama esquemático de dicho bloque de diseño. Dada la configuración del par diferencial se puede notar que el voltaje en la terminal X sigue de una manera óptima al voltaje de la terminal Y , sin embargo observando la terminal Z que debiera copiar la corriente de la terminal X se puede observar que la carga en la terminal Z puede entregar un máximo de corriente igual a I_B y recibir un máximo de corriente igual a $2I_B$ por lo que este circuito tiene una limitante en la corriente que puede manejar la terminal Z .

Otro diseño encontrado en la literatura que hace uso de traspasadores de corriente es el presentado en [20] que presenta dos propuestas de multiplicadores de capacitancia aterrizados mostrados en las figuras 2.3 y 2.4. La realización de la figura 2.3 hace uso de un traspasador de corriente con ganancia k en corriente, lo que asemeja el principio de funcionamiento del circuito presentado en [19] y llevaría a la ecuación (2.1.1) para representar la capacitancia equivalente

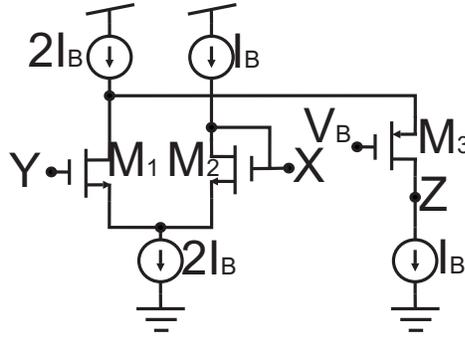


Figura 2.2: Esquemático del traspasador de corriente II propuesto por [19].

del circuito pero cuya ganancia es dada por el factor de ganancia k del traspasador de corriente.

Para el circuito de la figura 2.4 se tiene que la capacitancia equivalente está dada por la ecuación (2.1.3) donde se observa que la ganancia es controlada por los resistores R_1 y R_2 por lo que se puede sintonizar el valor de la capacitancia con estos elementos.

$$C_{EQ} = \frac{R_2}{R_1} C_S \quad (2.1.3)$$

Un tercer diseño que hace uso de traspasadores de corriente se encuentra en [22] que hace uso de un traspasador de corriente amplificador de transconductancia controlado por corriente (CCCCTA) que además de cumplir con las características de un traspasador de corriente de segunda generación también tiene la característica de que la corriente en la terminal o depende del voltaje de la terminal Z multiplicado por una transconductancia g_m ($I_o = V_Z g_m$) además de que el voltaje en la terminal X es la suma del voltaje Y y la corriente en la terminal X por la resistencia en conectada a dicha terminal, es decir, $V_X = V_Y + I_X R_X$. El diagrama a bloques se muestra en la figura 2.5 en al cual se puede observar el uso de dos bloques de CCCCTA. La realización de cada uno de estos bloques requiere unos 18 transistores bipolares por lo que el circuito además de no ser compatible con tecnologías CMOS requiere mayores voltajes y es más caro. En los resultados de [22] se muestra que la capacitancia mínima que se multiplica es de $1nF$ logrando factores de multiplicación de hasta 100,000. La ecuación que describe el capacitor equivalente en [22] está dada por la expresión (2.1.4) donde se puede observar que con

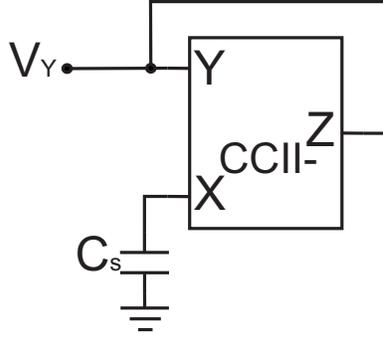


Figura 2.3: Diagrama a bloques del primer esquema propuesto por [20]

polarizaciones grandes de I_{B1} y de I_{B2} y valores pequeños de I_{B3} y de I_{B4} se pueden obtener factores de multiplicación grandes. Tomando en cuenta la ecuación (2.1.4) se observa que para obtener mayores factores de multiplicación se necesita incrementar la corriente de polarización, lo que resulta en un incremento en la potencia del circuito.

$$C_{eq} = \frac{I_{B1}I_{B2}}{I_{B3}I_{B4}}C \quad (2.1.4)$$

2.1.2. Multiplicadores con amplificadores operacionales de transconductancia

Otra de las formas en las que se han realizado multiplicadores de capacitancia es haciendo uso de amplificadores operacionales de transconductancia (OTA) [21, 26]. En [21] se plantea un diseño que hace uso de cuatro OTAs cada uno de los cuales está formado por 26 transistores bipolares lo que da un total de más de 100 transistores BJT. Además de ser un diseño muy complicado el presentado en [21], este diseño requiere capacitores de al menos $10pF$ lo que hace este requerimiento no muy adecuado para ciertas aplicaciones [17]. Otra desventaja de este circuito es que el uso de la tecnología BJT hace más difícil su integración en tecnologías CMOS convencionales.

En [26] se presenta un par de diseños de multiplicadores de capacitancia que hacen uso de dos y tres OTAs respectivamente. El primer diseño es un multiplicador con una sola entrada y el segundo tiene una entrada diferencial. La ecuación que se obtiene para la capacitancia

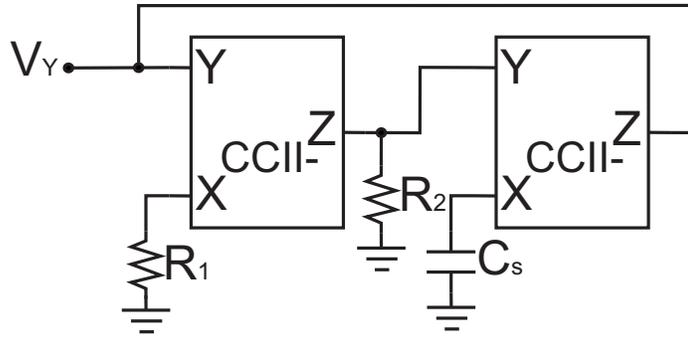


Figura 2.4: Diagrama a bloques del segundo esquema propuesto por [20]

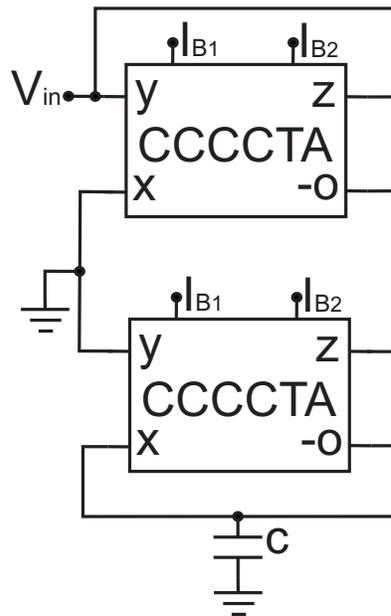


Figura 2.5: Diagrama a bloques del esquema propuesto por [22]

equivalente está dada por la expresión (2.1.5).

$$C_{eq} = C \left(1 + \frac{I_{REG} n_p}{2I_B n_n} \right) \quad (2.1.5)$$

Este circuito puede ser programado variando la I_{REG} o la I_B las cuales son corrientes de polarización del circuito. El circuito logra factores de multiplicación desde los 54.8 consumiendo $0.5\mu W$ hasta factores de 525 consumiendo $5\mu W$. Los resultados de este circuito demuestran que el funcionamiento de este es en frecuencias muy bajas del orden de algunos Hz . Para la

realización de este circuito se requirió de un capacitor de 10pF.

2.1.3. Multiplicadores con espejos de corriente

Uno de los bloques preferidos de muchos autores para el diseño de multiplicadores de capacitancia es el espejo de corriente [24, 28, 30]. Este bloque da cabida al trabajo presentado en [24] el cual hace uso de espejos de corriente con relación de aspecto k para hacer la multiplicación de capacitancia siguiendo el principio mostrado en la figura 1.2 explicado anteriormente. El circuito que presentan consta de tres etapas de amplificación de corriente lo que permite tener ganancias de hasta 1100 como se muestra en la expresión (2.1.6) donde k_1 , k_2 y k_3 son las ganancias dadas por la relación de aspecto de los espejos de corriente de cada una de las etapas, suponiendo que pudieran llegar a un valor de 10 cada una, se obtendría una ganancia igual a 1100. En este artículo se propone una sintonización del factor de ganancia basado en la variación del voltaje de compuerta de los transistores en los dos lados de un espejo de corriente provocando un incremento en el voltaje necesario para el circuito, esta propuesta no fue simulada en el artículo. Dado que los transistores utilizados a la salida son únicamente de tipo n, entonces la carga podrá solamente inyectar corriente al circuito, es decir, la salida será clase A.

$$C_{eq} = C [(1 + k_1)k_2] k_3 \quad (2.1.6)$$

Otro diseño que hace uso de espejos de corriente es presentado en [30]. Este artículo muestra multiplicación de impedancias que podría ser aplicado con los capacitores de la misma forma que lo hacen con resistores. El principio de funcionamiento es el mismo que en [28] solo que en este caso se hace una retroalimentación de la corriente escalada que hay en el capacitor y da como resultado un capacitor aterrizado. Dado que el factor de multiplicación está dado por la corriente de polarización del espejo de corriente, se puede asumir un control regulando la corriente de polarización, sin embargo dado que el transistor relacionado a esa fuente de polarización tiene también una relación de aspecto con la misma ganancia, entonces este circuito no permite controlar el factor de multiplicación. Dado que el circuito está diseñado

para una sola etapa de multiplicación, se asume que la ganancia que podría tener este diseño es de aproximadamente 10, lo cual es poco para ciertas aplicaciones. Otra observación que se le puede hacer a esta realización es que la carga únicamente puede entregar corrientes al circuito, es decir, es clase A, para poder convertirlo en clase AB haría falta reproducir el circuito con transistores PMOS.

En [28] se presenta una solución similar a la de [24] pero que hace uso de tres bloques de espejos de corriente clase AB con diferentes relaciones de aspecto que dan lugar a tres ganancias k diferentes que podrían llevarnos a un factor de 1000 con relaciones 1 : 10. Sin embargo este circuito no es sintonizable dado que para cambiar una ganancia es necesario cambiar la relación de aspecto de los espejos de corriente, esto lleva a que este circuito sea sensible al mismatch del proceso. La capacitancia equivalente del circuito se muestra en la ecuación (2.1.7) donde k_1 , k_2 y k_3 son las ganancias dadas por la relación de aspecto de los espejos de corriente de cada una de las etapas. Cabe mencionar que este circuito requiere una compensación capacitiva después de la primer etapa que va aterrizada lo que sugiere que dicho capacitor es de valor no tan pequeño al no ser multiplicado con alguna técnica.

$$C_{eq} = C(1 + k_1 k_2 k_3) \quad (2.1.7)$$

2.1.4. Multiplicadores con otros bloques de diseño

Otros diseños de multiplicadores de corriente se pueden lograr haciendo uso de bloques como multiplicadores de corriente [25], anuladores [27] y una técnica de variación de voltaje en la compuerta que genera una ganancia que lleva a la multiplicación de una capacitancia[29]. Dado que estos diseños no son de mucho interés en esta tesis se explican de forma breve.

En [25] se presenta un diseño que utiliza multiplicadores de corriente, cada uno con un amplificador operacional y 4 buffers seguidores de voltaje. El primer diseño consta de tres multiplicadores de corriente en cascada y es una realización aterrizada, una realización flotante consta de cuatro multiplicadores de corriente. Este circuito requiere de gran cantidad de elementos lo

que se traduce en un consumo elevado de área. Una ventaja de este circuito es que permite entradas de capacitores de hasta $1pF$ y las desventajas que tiene es que requiere mucha área y no es posible sintonizar la ganancia del multiplicador.

Un segundo esquema presentado por [27] hace uso de anuladores diseñados con transistores bipolares, dichos circuitos requieren un anulador para la realización aterrizada y dos anuladores para la realización flotante, cada anulador contiene 24 transistores, 4 fuentes de polarización y un amplificador operacional lo que hace el diseño grande y costoso en área. Este circuito es inapropiado dado que es polarizado con voltajes de $\pm 10V$, está realizado en tecnología BJT y dada la cantidad de elementos que requiere ocupa mucha área.

Otro diseño presentado por [29] hace uso de la variación del voltaje en la compuerta para propiciar una diferencia entre dos circuitos iguales. Este diseño es controlable eléctricamente haciendo uso de voltajes, lo que es deseable para aplicaciones reales donde no se tienen fuentes de corriente muy precisas a la mano. [29] presenta diversas realizaciones del circuito, desde realizaciones aterrizadas, flotantes y diferenciales. La tecnología de $0.35\mu m$ que utilizan y los voltajes de polarización que utilizan son deseables para aplicaciones CMOS, sin embargo el área que se utiliza para la realización pudiera ser mucha para algunas aplicaciones dado el uso de amplificadores operacionales en el diseño.

2.2. Resumen

En el cuadro 2.1 se muestra un resumen de los diferentes multiplicadores de capacitancia descritos en este capítulo, dado que no todos ellos reportan todos los datos con los que se formó la tabla, algunos espacios están en blanco. Analizando el cuadro se puede observar que las realizaciones [21, 22, 23, 27] están diseñadas en tecnología BJT lo que es más costoso, requiere más voltaje y no es compatible con las tecnologías CMOS estándar. De los demás circuitos se observa que el factor máximo de multiplicación es de 10^5 [20] y que la capacitancia mínima que se puede manejar es de $100fF$ [24]. Sin embargo, [20] requiere una sintonización con resistores y es clase A, lo que obligaría a aumentar la corriente de polarización para manejar corrientes más

grandes a la salida. Ahora bien el circuito [24] sugiere una realización de sintonización pero no la reporta por lo que los resultados que se obtienen no incluyen los transistores de polarización y es clase A como el circuito de [20]. La propuesta de este trabajo de tesis pretende realizar la sintonización del factor de ganancia con voltaje para la realización en modo corriente así como utilizar una tecnología mucho más pequeña que la presentada en estos artículos, hacer uso de un voltaje de polarización de $\pm 2.5V$ y obtener un circuito clase AB que permita manejar grandes corrientes de carga haciendo uso de corrientes de polarización pequeñas por tanto reduciendo la potencia del circuito. Dado que las realizaciones de multiplicadores de capacitancia diseñados con CCII requieren una capacitancia mínima de aproximadamente $1pF$, se espera que la realización de esta tesis que incluya traspasadores de corriente requiera una capacitancia similar.

Artículo	Potencia	Tecnología	Voltaje de alimentación	Aterrizado / flotante	Bloque básico	Factor máximo de multiplicación	Capacitancia mínima	Ancho de banda	Sintonizado por
[19]		0.5 μ CMOS	1.5V	Aterrizado	CCII, COA	100	1pF	10kHz – 6MHz	Resistores
[20]		1.2 μ CMOS	5V	Aterrizado	CCII+, CCII-	10 ⁵	1pF	80Hz – 50kHz	Resistores
[21]		BJT PR200N y NR200N	$\pm 2.5V$	Flotante	OTA	10 ⁵	10pF	1Hz – 3MHz	Corriente de polarización
[22]	0.822mW	BJT PR200N y NR200N	$\pm 1.5V$	Aterrizado	CCCCTA	10 ⁵	10nF	10kHz – 1MHz	Corriente de polarización
[23]	7.32mW	BJT PR200N y NR200N	$\pm 2.5V$	Flotante	CCII, DVCC			1kHz – 1MHz	Corriente de polarización
[24]		0.8 μ CMOS	3V	Aterrizado	Espejos de corriente	1000	100fF	300Hz – 60kHz	Voltaje de transistores en tríodo (no reportado)
[25]	3mW	0.13 μ CMOS	$\pm 1.5V$	Flotante	CMCs		1pF	65Hz – 10kHz	
[26]	5 μ W	0.35 μ CMOS	$\pm 1.25V$	Aterrizado	OTAs	525	10pF	50mHz – 300kHz	Corriente de regulación
[27]		BJT Q2N2222 y Q2N2907	$\pm 10V$	Aterrizado y flotante	TFTFNs		100pF	10Hz – 1MHz	Corriente de polarización
[28]	180 μ W	0.18 μ CMOS	1.8V	Aterrizado	Espejos de corriente	65	7.95pF	10kHz – 600kHz	Diseño
[29]		0.35 μ CMOS	2.5V	Aterrizado y flotante			10pF	70kHz – 50MHz	Corriente de polarización
[30]				Aterrizado	Espejos de corriente	10	124fF		Diseño

Cuadro 2.1: Tabla comparativa del estado del arte.

Capítulo 3

Sustento teórico

Para poder entender los diseños presentados en el siguiente capítulo es necesario contar con algunos conceptos que se desarrollan en este capítulo. En la primera sección se explica el transistor CMOS, su símbolo, proceso de fabricación, curvas de respuesta, las regiones de operación que tiene este componente electrónico y los modelos utilizados para el análisis de éste. En la segunda sección se describen los bloques básicos de diseño utilizados en el capítulo 4 para el diseño de los escaladores de impedancia propuestos y finalmente en la tercera sección se explican los conceptos de escalamiento de impedancia y cómo es que se logra en los diseños propuestos en el capítulo siguiente.

3.1. Transistor CMOS

El transistor de efecto de campo de metal-óxido-semiconductor (MOSFET) fue patentado por J. E. Lilienfeld en 1930 [45], sin embargo fue hasta principios de la década de los años sesenta cuando comenzaron a ser comercializados, produciéndose únicamente transistores tipo **n**. Uno de los motivos por los que la tecnología CMOS fue aceptada en el mercado radica en que los transistores disipan energía únicamente durante las transiciones de estado. Con el tiempo se encontró que los transistores de la tecnología CMOS presentan costos de producción menores que los de otras tecnologías además de que se pueden escalar más fácilmente. Asimismo CMOS trajo la posibilidad de integrar circuitos analógicos y digitales en un mismo chip. Sin embargo, los MOSFET son más lentos y más ruidosos que los BJT. No obstante, la velocidad de los

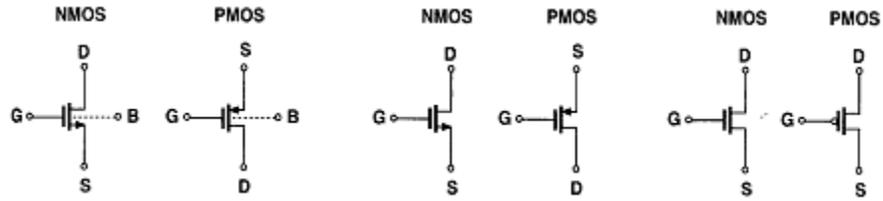


Figura 3.1: Símbolos eléctricos de los transistores NMOS y PMOS.

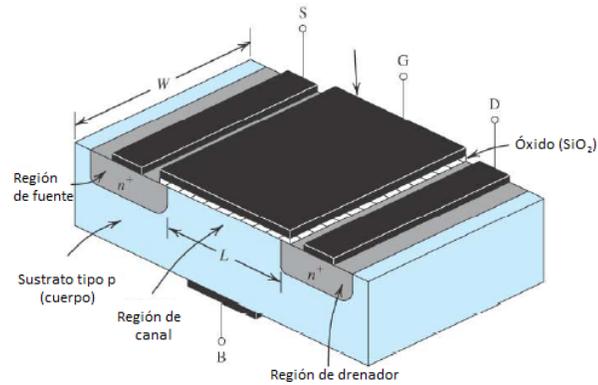


Figura 3.2: Vista transversal de un transistor NMOS.

MOSFET ha ido incrementando conforme el proceso de escalamiento [1].

La figura 3.1 muestra los símbolos eléctricos correspondientes a transistores NMOS y PMOS [1]. Las terminales se denominan Compuerta (G), Fuente (S), Drenaje (D), y Substrato o Bulk (B). La fuente y el drenaje son intercambiables debido a que el dispositivo es simétrico. Cuando se fabrica el transistor en un sustrato tipo p (n), el dispositivo se realiza con dos regiones altamente dopadas de material tipo n (p) que forman la fuente y el drenaje, y una pieza conductiva altamente dopada de polisilicio entre ellas que conforma la compuerta. La fuente del transistor es la terminal que provee portadores de carga y el drenaje la terminal que los recolecta. Una capa delgada de dióxido de silicio aísla la compuerta del sustrato. Cuando el sustrato del transistor NMOS (PMOS) no está conectado al potencial más negativo (positivo) se considera la terminal B y el denominado “efecto cuerpo”.

De acuerdo con la figura 3.2, el largo del transistor (L) representa la longitud de la compuerta a lo largo del camino desde la fuente hasta el drenaje, mientras que la medida

perpendicular a esta se denomina ancho del transistor (W). La relación de aspecto, definida como la razón W/L , es el parámetro más importante de diseño en circuitos analógicos. Típicamente, los transistores MOS requieren para su funcionamiento de un voltaje de compuerta que exceda el voltaje de umbral V_{TH} , no obstante, también existe la denominada operación sub-umbral [1, 2], este umbral representa el voltaje aplicado a la compuerta a partir del cual los electrones fluyen desde la fuente hasta el drenaje. El voltaje de **overdrive** o de saturación representa el voltaje entre compuerta y fuente que excede al voltaje de umbral y se define, para el caso de un transistor NMOS, como:

$$V_{overdrive} = V_{sat} = V_{GS} - V_{TH} \quad (3.1.1)$$

Como se puede observar en la figura 3.3, cuando $V_{DS} \leq V_{GS} - V_{TH}$ el dispositivo opera en la región de triodo, en tanto que si $V_{DS} > V_{GS} - V_{TH}$ el dispositivo opera en la región de saturación. Las correspondientes corrientes de drenaje están dadas por las ecuaciones (3.1.2) y (3.1.3) respectivamente [1].

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (3.1.2)$$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (3.1.3)$$

Donde:

μ_n es la movilidad de los electrones

C_{ox} es la capacitancia por unidad de longitud

Como lo muestra la figura 3.3, cerca del origen existe una región casi lineal, debido a dicha característica, esta región es muy utilizada en diferentes aplicaciones tales como resistores controlados por voltaje [34, 37, 35], multiplicadores y divisores de señal, entre otras. En la región de saturación los transistores MOS se comportan como fuentes de corrientes controladas por voltaje, característica que se aprovecha principalmente para el diseño de amplificadores

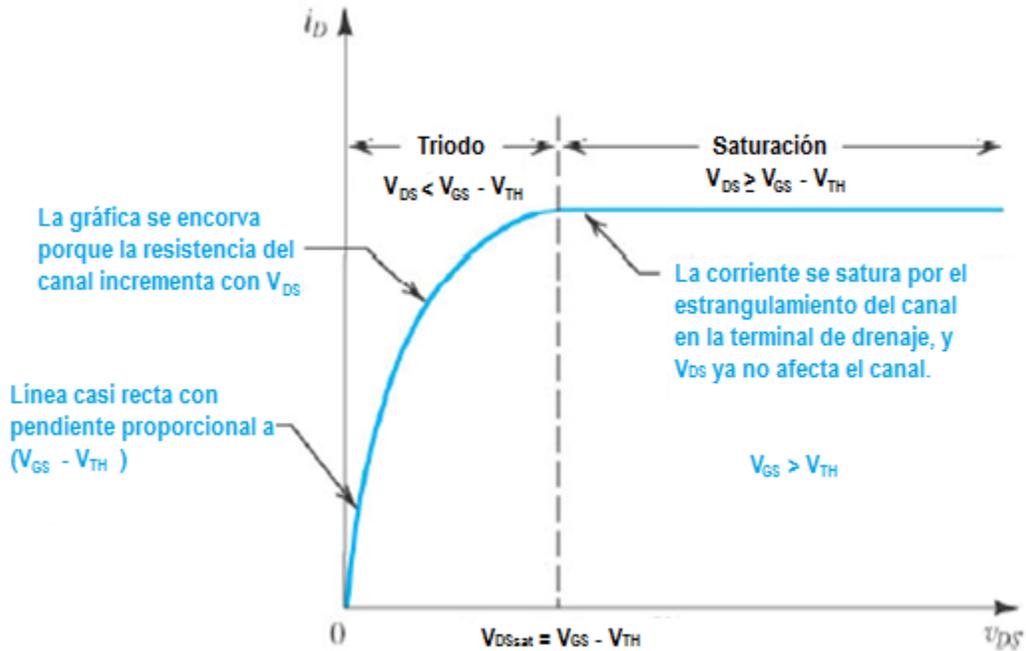


Figura 3.3: Respuesta en DC de un transistor NMOS.

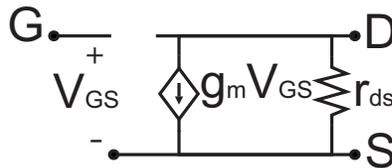


Figura 3.4: Modelo a pequeña señal de un transistor operando en saturación con el sustrato y la fuente conectados.

[36, 6, 8].

Para su mejor análisis, los transistores pueden modelarse, a pequeña señal y en saturación, con el apoyo del circuito mostrado en la figura 3.4 en el caso de que el sustrato y la fuente estén conectados al mismo potencial y con el circuito de la figura 3.5 en el caso de que el sustrato y la fuente estén conectados a potenciales diferentes.

Las transconductancias las podemos obtener con las derivadas parciales de la corriente en el drenaje obtenida en las ecuaciones (3.1.2) y (3.1.3) como sigue:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (3.1.4)$$

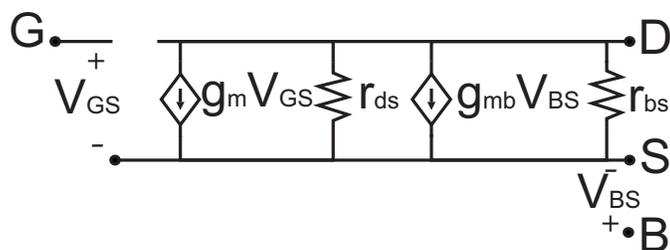


Figura 3.5: Modelo a pequeña señal de un transistor operando en saturación sin el sustrato y la fuente conectados.

$$g_{ds} = \frac{\partial I_D}{\partial V_{DS}} \quad (3.1.5)$$

$$g_{mb} = \frac{\partial I_D}{\partial V_{BS}} \quad (3.1.6)$$

3.1.1. Proceso CMOS

Las tecnologías han llevado a la creación de un proceso de fabricación adecuado para el diseño de circuitos con alta escala de integración [14, 13].

El proceso se puede dividir en varias etapas:

1. Procesamiento de la oblea

La oblea debe ser creada de silicio de un solo cristal y con la menor cantidad de defectos posibles (dislocaciones, impurezas no deseadas, etc.) La oblea debe doparse para que se construya un material tipo n o tipo p, según se requiera. Para ello se usa el método de Czochralski, así como un nivel de dopado adecuado para obtener la resistividad requerida. En este método, una semilla de silicio cristalino se deposita en silicio fundido y gradualmente se esparce rotando. Como resultado se obtiene un lingote cilíndrico de un solo cristal que es rebanado en obleas. Posteriormente, las obleas son pulidas y grabadas químicamente para remover los daños en la superficie que se crean al momento de rebanar el lingote. El radio de las obleas puede llegar a ser de hasta 20cm, su grosor desde 0.5cm hasta 1cm, el cual se reduce después del proceso completo de fabricación.

2. Fotolitografía

El diseño se descompone en capas, las cuales deben ser creadas sobre la oblea con gran precisión. Para esta etapa se sigue una serie de pasos descritos a continuación [1]:

- a) Se cubre la oblea con una fotorresina: En la práctica, primero se cubre la oblea con una capa de dióxido de silicio para proteger la oblea y posteriormente se cubre con una capa de fotorresina. Lo anterior se puede ver en la figura 3.6, donde la capa inferior es la oblea de silicio, la capa de en medio es el dióxido de silicio y la capa superior es la fotorresina.
- b) Alineación de la máscara y exposición a luz ultravioleta: Con el fin de “endurecer” ciertas partes del material y mantener otras “suaves” se alinea la máscara de la capa que estamos trabajando. Ésta alineación debe tener una gran precisión puesto que las tecnologías actuales tienen precisiones nanométricas. Al hacer incidir un rayo de luz ultravioleta sobre la máscara que está encima del material, se endurecen las áreas expuestas a la luz (resina negativa) y se mantienen blandas las áreas que están cubiertas por la fotorresina. En el caso de una resina positiva, las áreas expuestas a la luz se ablandan y las áreas cubiertas por la fotorresina se mantienen duras. En la figura 3.7 se puede observar esta etapa del proceso, la capa morada es la máscara que tiene un cuadrado transparente en medio, dado que la fotorresina es positiva, se ablanda el área correspondiente al cuadrado de en medio.
- c) Grabado de los materiales: En esta etapa primero se elimina la fotorresina “suave” con tricloretileno, posteriormente se ataca al dióxido de silicio no protegido por la fotorresina con ácido clorhídrico o ácido fluorhídrico, por último se elimina la fotorresina con un disolvente sulfúrico. Estos tres pasos se muestran en la figura 3.8 donde se inicia quitando el cuadrado de fotorresina, en la segunda imagen se elimina el dióxido no protegido y en la última imagen se elimina toda la fotorresina quedando únicamente la oblea de silicio con el dióxido y el pozo creado por el

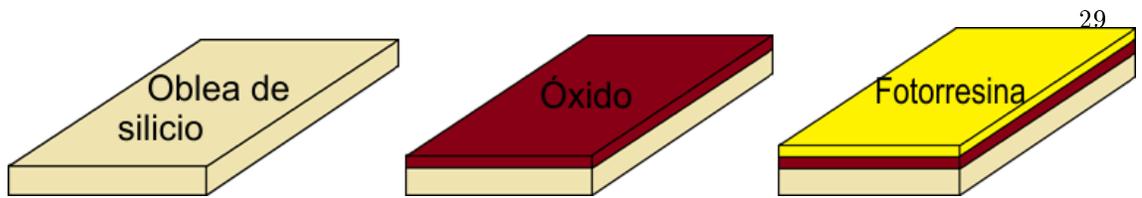


Figura 3.6: Oblea cubierta por la fotorresina y el dióxido de silicio.

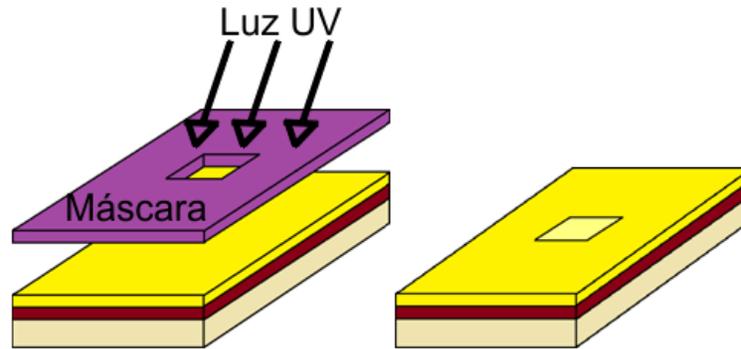


Figura 3.7: Alineación de la máscara y exposición a la luz ultravioleta.

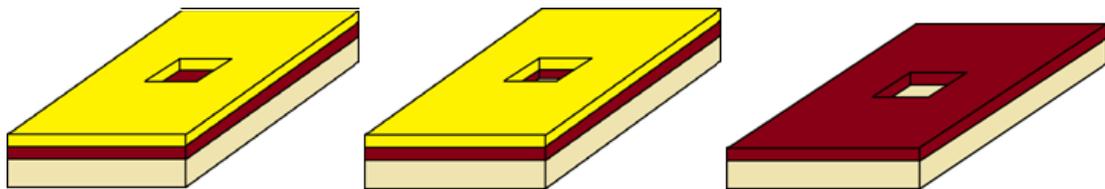


Figura 3.8: Grabado de los materiales.

proceso de litografía.

3. Oxidación

Una propiedad única del silicio es que se puede producir una capa uniforme de óxido en su superficie con poca presión en el entramado, permitiendo la fabricación de capas de óxido para la compuerta muy delgadas. El dióxido de silicio puede actuar como una capa protectora en algunos de los pasos de la fabricación, de hecho, entre componentes se pone una capa espesa de dióxido de silicio llamada óxido de campo (FOX).

El dióxido se cultiva poniendo el silicio expuesto en una atmósfera adecuada a una temperatura alrededor de los 1000°C.

Dado que el espesor del óxido determina el manejo de corriente y la fiabilidad de los transistores, la etapa de oxidación se vuelve crítica en la fabricación de dispositivos CMOS.

4. Implantación de iones

Los dopantes deben ser introducidos de forma selectiva en la oblea. En el caso de la fabricación de transistores, las regiones de fuente y drenaje requieren adición selectiva de dopantes en la oblea.

El método más común para dopar es mediante implantación de iones. Con esta técnica los átomos de impurezas (dopadores) son acelerados con un rayo enfocado de gran energía, golpeando la superficie de la oblea y penetrando en las áreas expuestas. El nivel de dopado es determinado por la intensidad y duración de la implantación, mientras que la profundidad de la región dopada se determina por la energía del rayo.

Una aplicación importante es la creación de regiones de parada de canal entre transistores. Suponiendo que hay dos transistores juntos como los de la figura 3.9, se observa que entre ambos transistores pasa una línea de interconexión sobre el óxido de campo, formando un transistor “parásito” con las dos regiones n⁺ ubicadas en el centro de la figura, el óxido de campo y la línea de interconexión. A pesar de que el ancho del óxido de dicho transistor es muy grande y su voltaje de umbral es alto, podría ser que se alcanzara dicho voltaje y fluyera una corriente por este transistor. Para evitar esto se hace una implantación de región de parada entre los transistores haciendo que el voltaje de umbral del óxido de campo crezca a un valor muy alto.

La implantación de iones daña extensamente el entramado del silicio, por esta razón, la oblea se calienta a unos 1000°C entre 15 y 30 minutos permitiendo al entramado recuperar su forma.

5. Deposición y grabado

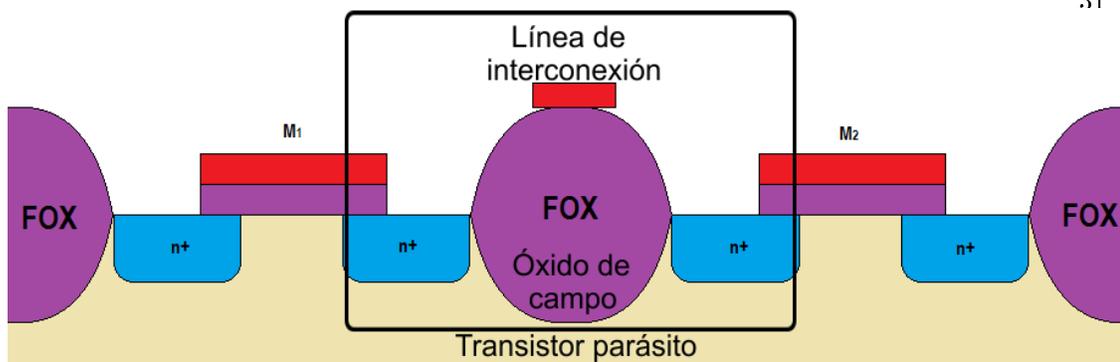


Figura 3.9: Transistores CMOS con una interconexión que pasa entre ellos.

La fabricación de dispositivos requiere de una deposición de varios materiales como el polisilicio, los materiales dieléctricos para separar capas de interconexión y las capas de metal que sirven como interconectores.

Un método común para formar polisilicio en capas dieléctricas espesas es la deposición de vapor químico (CVD). En este método se ponen las obleas en hornos llenos con gas que crea el material deseado a una presión baja para lograr mayor uniformidad.

El grabado puede ser húmedo, grabado de plasma y grabado de iones reactivos. El primero se hace depositando la oblea en una sustancia química y tiene baja precisión, el segundo tipo se hace bombardeando la oblea con un gas de plasma y tiene alta precisión y para el último tipo la oblea se bombardea con iones producidos en un gas.

3.1.2. Regiones de operación

Para poder definir las regiones de operación primero se definirá el voltaje de umbral. Considerando un transistor MOS tipo n como el de la figura 3.10, al incrementar el voltaje en la compuerta se forma un capacitor entre la compuerta y el sustrato tipo p, los huecos en el sustrato tipo p se repelen de la compuerta dejando iones negativos. Esto resulta en la creación de una región de agotamiento. Bajo esta condición, no fluye corriente puesto que no hay portadores de carga disponibles.

Mientras que el voltaje en la compuerta se incrementa, el ancho de la región de agota-

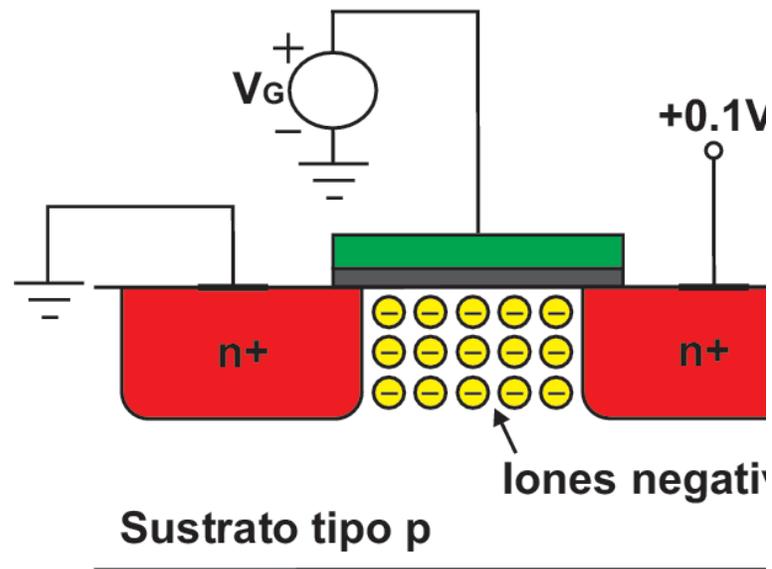


Figura 3.10: Corte transversal de un transistor tipo n con un voltaje de 0.1V aplicados en el drenaje.

miento aumenta también hasta que el número de iones negativos excede la cantidad de iones positivos, generando una región de inversión. Cuando el potencial en la compuerta es suficientemente positivo, la región de inversión forma un canal de conducción por el cual los electrones fluyen de la fuente a la región de agotamiento y eventualmente hacia el drenaje. Entonces, se forma un canal de portadores de carga debajo de la compuerta y entre la fuente y el drenaje y el transistor “se enciende”. El valor de voltaje de la compuerta para el cuál esto ocurre se llama voltaje de umbral (V_{TH}). Si el voltaje de compuerta se incrementa aun más, la carga en la región de agotamiento se mantiene más o menos constante mientras la densidad de carga del canal continúa incrementándose, resultando en un mayor flujo de corriente entre la fuente y el

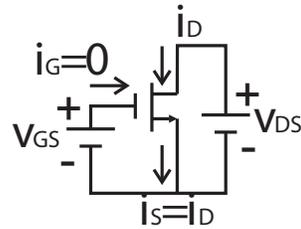


Figura 3.11: Transistor NMOS con un voltaje aplicado en V_{GS} y V_{DS}

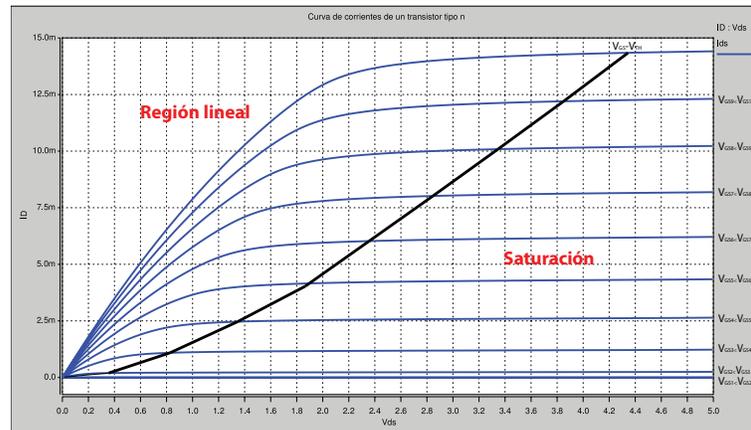


Figura 3.12: Curvas características $i_D - V_{DS}$ del transistor MOS con diferentes valores de V_{GS} .

drenaje.

Para poder estudiar la operación de un transistor CMOS se utiliza el circuito de la figura 3.11, el cual se emplea para medir de manera conceptual las curvas características $i_D - V_{DS}$ medidas con un V_{GS} constante.

Dichas curvas nos ofrecen la información necesaria para entender las regiones de operación de los transistores CMOS. En la figura 3.12 se muestra la simulación del circuito de la figura 3.11.

En las curvas se pueden ver tres regiones de operación: la región de corte, la región de triodo y la región de saturación; se dice que el dispositivo está en corte cuando $V_{GS} < V_{TH}$. Posteriormente para que el transistor opere en la región de triodo se induce un canal satisfaciendo la condición $V_{GS} \geq V_{TH}$ y manteniendo V_{DS} lo suficientemente pequeño para que el canal permanezca continuo, es decir, que $V_{GD} > V_{TH}$. Para llevar al transistor a la región de saturación

se induce un canal con la condición $V_{GS} \geq V_{TH}$ y se estrangula el canal en el extremo del drenaje elevando V_{DS} a un valor que resulte en una caída de V_{GD} por debajo de V_{TH} , es decir, cumpliendo la condición:

$$V_{GD} \leq V_{TH} \quad (3.1.7)$$

O lo que es equivalente a (3.1.7), estableciendo

$$V_{DS} > V_{GS} - V_{TH} \quad (3.1.8)$$

3.1.3. Ecuaciones de corriente

Considerando una barra de semiconductor con una corriente I . Si la densidad de carga en la dirección de la corriente es Q_d coulombs por metro y la velocidad de la carga es v metros por segundo, entonces se tiene [3]:

$$I = Q_d \cdot v \quad (3.1.9)$$

De esta forma se estará midiendo la carga total que pasa a través de una sección transversal de la barra por unidad de tiempo. Con una velocidad de v , toda la carga que pase en v metros de la barra debe fluir a través de la sección transversal en un segundo. Dado que la densidad de carga es Q_d , la carga total en v metros es igual a $Q_d \cdot v$.

Considerando también un transistor tipo n cuya fuente y drenaje estén conectados a tierra. Como se ha asumido que la entrada de la inversión ocurre cuando $v_{GS} = v_{TH}$, la densidad de carga de inversión producida por la capacitancia de óxido de compuerta es proporcional a $v_{GS} - v_{TH}$. Para $v_{GS} \geq v_{TH}$, cualquier carga que se coloque en la compuerta debe ser reflejada por la carga en el canal, formando una densidad de carga de canal uniforme igual a:

$$Q_d = WC_{ox}(v_{GS} - v_{TH}) \quad (3.1.10)$$

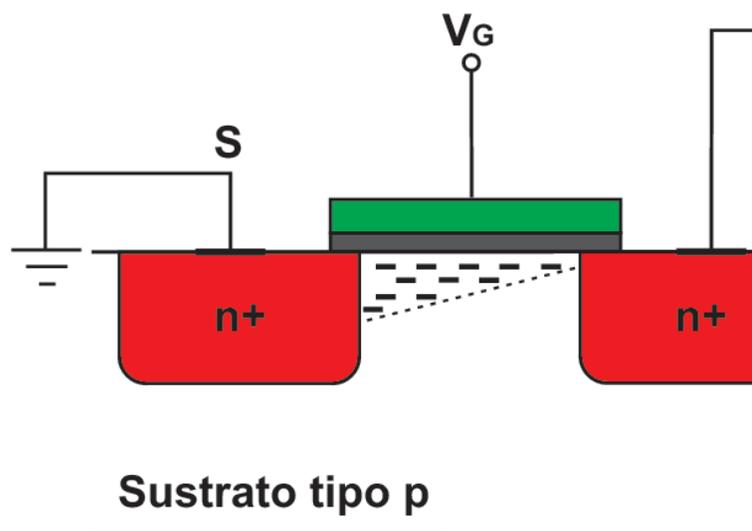


Figura 3.13: .Fig. Vista transversal de un transistor NMOS con un voltaje en el drenaje mayor que cero.

Donde la capacitancia del óxido (C_{ox}) se multiplica por el ancho del transistor (W) para representar la capacitancia total por unidad de área. Ahora suponga que el voltaje de drenaje es mayor que cero como se ve en la figura 3.13.

Dado que el potencial del canal varía de cero en la compuerta hasta V_D en el drenaje, la diferencia del voltaje entre la compuerta y el canal varía desde v_G hasta $v_G - v_D$. Entonces la densidad de carga en cualquier punto x a lo largo del canal puede ser descrita como:

$$Q_d(x) = WC_{ox}(v_{GS} - v(x) - v_{TH}) \quad (3.1.11)$$

Dónde $v(x)$ es el voltaje de canal en el punto x . Sustituyendo (3.1.10) en (3.1.9) se obtiene que la corriente de drenaje se puede expresar como:

$$I = -WC_{ox}(v_{GS} - v(x) - v_{TH}) \cdot v \quad (3.1.12)$$

Donde el signo negativo aparece debido a que los portadores de carga son negativos y v denota la velocidad de los electrones en el canal. Para semiconductores la velocidad está dado por la multiplicación de la movilidad de los portadores de carga multiplicada por el campo eléctrico, es decir $v = \mu E$. Escribiendo el campo eléctrico en un punto x como $-\frac{dv}{dx}$ y representando la movilidad de los electrones en un material tipo n como μ_n , se tiene:

$$I_D = -WC_{ox}(v_{GS} - v(x) - v_{TH}) \cdot \mu_n \frac{dv(x)}{dx} = -WC_{ox}(v_{GS} - v(x) - v_{TH}) dv(x) dx \quad (3.1.13)$$

Con las condiciones iniciales $v(0) = 0$ y $v(L) = v_{DS}$ y multiplicando ambos lados por dx se obtiene

$$\int_{x=0}^L I_D dx = \int_{v=0}^{v_{DS}} -WC_{ox}(v_{GS} - v(x) - v_{TH}) \cdot \mu_n dv dx \quad (3.1.14)$$

Resolviendo la integral queda:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(v_{GS} - v_{TH}) v_{DS} - \frac{1}{2} v_{DS}^2 \right] \quad (3.1.15)$$

Donde L es la longitud efectiva del canal. De forma análoga para el transistor PMOS se tiene:

$$I_D = -\mu_p C_{ox} \left[\frac{W}{L} (v_{GS} - v_{TH}) v_{DS} - \frac{1}{2} v_{DS}^2 \right] \quad (3.1.16)$$

Las ecuaciones (3.1.15) y (3.1.16) muestran la ecuación de los transistores NMOS y PMOS respectivamente en su región de triodo, estas ecuaciones se analizarán en la siguiente sección.

3.1.3.1. Corte

Cuando el canal del transistor no está formado, es decir, que $V_{GS} < V_{TH}$, se dice que el transistor está en la región de corte. Como se muestra en la figura 3.10 se puede observar que al no haber canal, no hay flujo de corriente de la fuente al drenaje. En la figura 3.12 se observan dos líneas con $V_{GS} = 0V$ y $V_{GS} = 0.5V$, en dichas líneas la corriente de drenaje es casi cero a pesar de que el voltaje en el drenaje aumenta puesto que el canal no está formado aun.

3.1.3.2. Lineal o Tríodo

Mientras se aumenta el voltaje de la compuerta, la región de agotamiento que se forma entre la fuente y el drenaje se hace más grande como se muestra en la figura 3.14, la formación de este canal resulta en la posibilidad de conducir electrones desde la fuente hacia el drenaje. En el momento en que la región de agotamiento es suficientemente grande para conducir, se dice que el transistor está encendido. El transistor se enciende cuando el voltaje de compuerta sobrepasa el voltaje de umbral, es decir que $V_{GS} \geq V_{TH}$.

La ecuación (3.1.15) describe el comportamiento de la corriente del transistor NMOS en la región de tríodo mientras que la ecuación (3.1.16) nos describe el comportamiento del transistor PMOS en la misma región. Ambas ecuaciones son dependientes del voltaje entre el drenaje y la fuente, lo cuál será una característica de la región de tríodo.

En la figura 3.15 se muestra la gráfica la ecuación (3.1.15) donde el eje de las ordenadas representa el voltaje entre el drenaje y la fuente, y el eje de las abscisas representa la corriente en el drenaje. Las gráficas se hicieron para distintos valores de voltaje de compuerta. Como se puede observar en la figura, el punto máximo de cada curva representa el voltaje de compuerta menos el voltaje de umbral del transistor. A este voltaje se le llama voltaje de overdrive. Otra forma de calcular el voltaje de overdrive es derivando la ecuación (3.1.15) para obtener el punto máximo de esta forma se tiene:

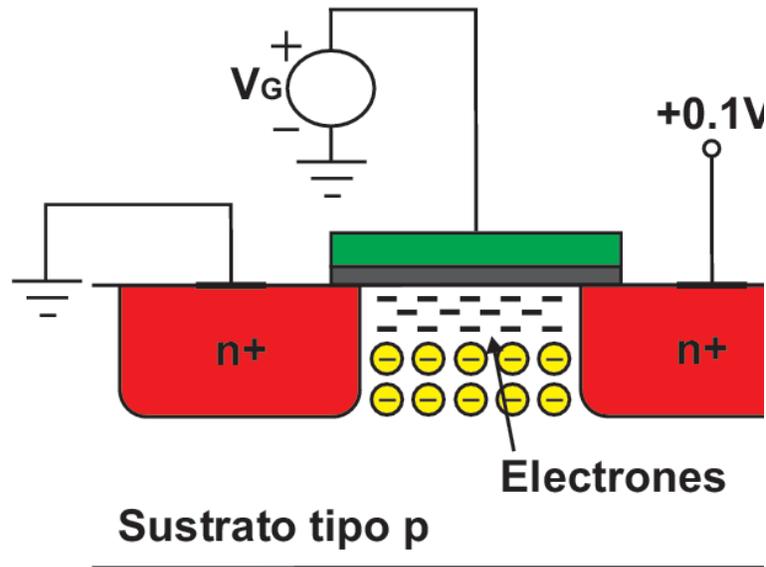


Figura 3.14: Corte transversal de un transistor con la región de agotamiento formándose.

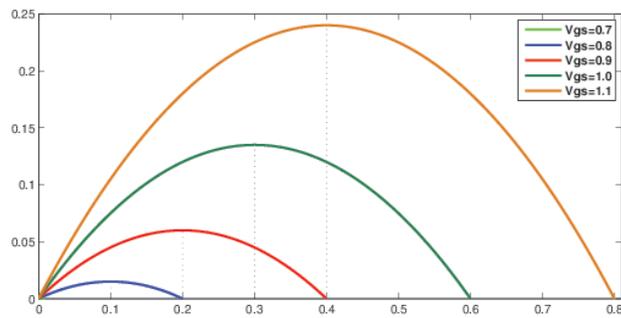


Figura 3.15: Gráfica de la corriente de drenaje en un transistor MOS en triodo.

$$\frac{\partial I_D}{\partial V_{DS}} = \mu_n C_{ox} \frac{W}{L} [(v_{GS} - v_{TH}) - v_{DS}] \quad (3.1.17)$$

Igualando (3.1.17) a cero para obtener el punto máximo y despejando se obtiene:

$$0 = \mu_n C_{ox} \frac{W}{L} [(v_G - v_{TH}) - v_{DS}]$$

$$0 = (v_{GS} - v_{TH}) - v_{DS}$$

$$v_{DS} = v_{GS} - v_{TH} \quad (3.1.18)$$

La ecuación (3.1.18) muestra que el punto máximo está cuando $v_{DS} = v_{GS} - v_{TH}$ tal como se muestra en la figura 3.15.

3.1.3.3. Saturación

En la realidad el comportamiento del transistor no es idéntico al de la figura 3.15, en la realidad cuando el voltaje entre el drenaje y la fuente alcanza el valor de $v_{DS} = v_{GS} - v_{TH}$ los cambios en el voltaje v_{DS} reflejan un cambio mínimo en la corriente de drenaje que para fines teóricos se puede despreciar y decir que la corriente de drenaje en la región de saturación es constante.

El dispositivo al estar encendido se encuentra como el de la figura 3.16, donde existe el canal formado por electrones entre la fuente y el drenaje.

Retomando la ecuación (3.1.10), si $v(x)$ se aproxima a $V_{GS} - V_{TH}$, entonces $Q_d(x)$ se vuelve cero, como se puede observar en la figura 3.17, si V_{DS} es mayor que $V_{GS} - V_{TH}$, entonces la capa de inversión se detiene en $x \leq L$ y se dice que el canal está pellizcado. Mientras V_{DS} incrementa aun más, el punto en el cual Q_d es igual a cero se mueve gradualmente hacia la fuente, entonces en algún punto a lo largo del canal la diferencia de potencial entre la compuerta y la interfaz de óxido de silicio no es suficiente para soportar una capa de inversión.

A partir de esto se retoma la ecuación (3.1.14) ahora para obtener la ecuación del dispositivo en la región de saturación, como Q_d es la densidad de carga móvil, la parte izquierda debe ser integrada desde $x = 0$ hasta $x = L'$, donde L' es el punto en el cual Q_d se vuelve cero. Entonces la parte izquierda deberá integrarse desde $v(x) = 0$ hasta $v(x) = V_{GS} - V_{TH}$ resultando en la ecuación siguiente:

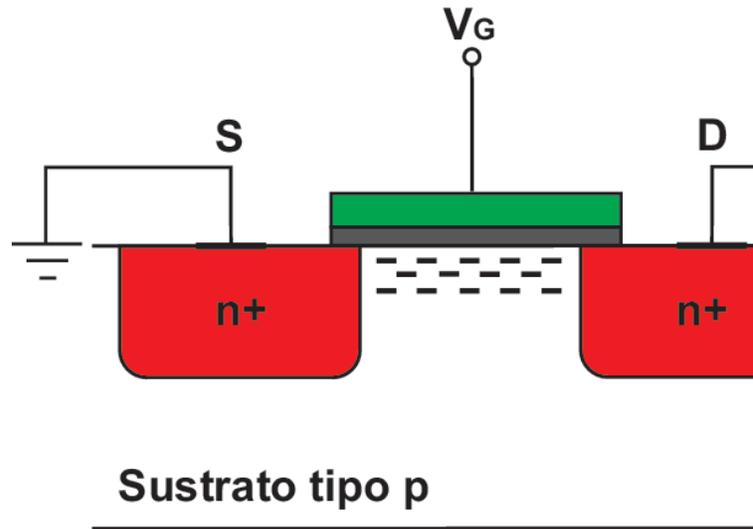


Figura 3.16: Transistor encendido con el canal formado.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - v_{TH})^2 \quad (3.1.19)$$

De forma análoga, para un transistor PMOS, la ecuación se describe como:

$$I_D = -\frac{1}{2} \mu_p C_{ox} \frac{W}{L} (v_{GS} - v_{TH})^2 \quad (3.1.20)$$

De las ecuaciones (3.1.19) y (3.1.20) se puede notar la independencia del valor de la corriente de drenaje con respecto al voltaje entre el drenaje y la fuente. Cabe mencionar que la movilidad de los huecos es aproximadamente de la mitad de la movilidad de los electrones, por lo tanto, los transistores PMOS tienen menor capacidad de manejo de corriente.

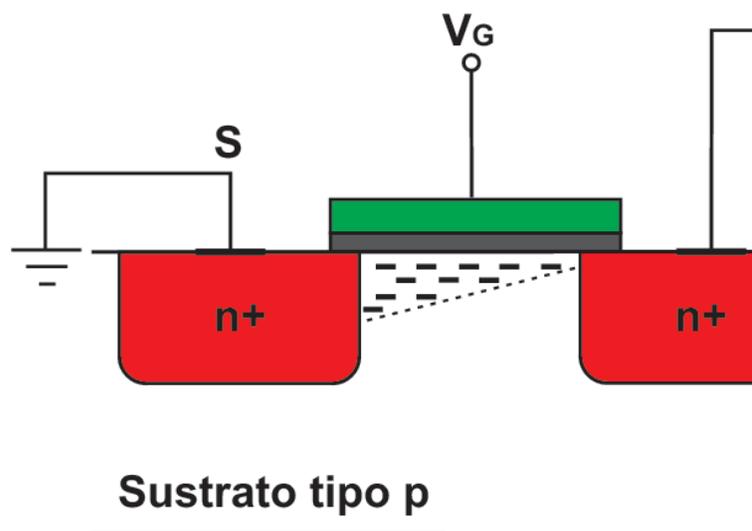


Figura 3.17: Comportamiento pinch-off en la región de saturación.

3.1.3.4. Operación subumbral

La región de subumbral entra en escena cuando el voltaje entre compuerta y fuente no es mayor que el voltaje de umbral, es decir, que $v_{GS} < V_{TH}$. Recordando que cuando esta condición se cumple se puede decir que esto no es del todo cierto pues se ha encontrado que para valores de v_{GS} menores pero cercanos a V_{TH} circula una pequeña corriente de drenaje. En esta región que es inferior al umbral, la corriente de drenaje está relacionada exponencialmente con v_{GS} en forma muy parecida a la relación $i_c - v_{BE}$ de un transistor bipolar.

3.1.3.5. Inversión fuerte e inversión débil

Para definir lo que es la región de inversión fuerte es necesario definir Ψ_s como el voltaje en la superficie, Q_{inv} como la carga de inversión y V_G como el voltaje en la compuerta. Entonces la relación entre estas 3 que es válida para todas las regiones de operación está dada por la ecuación (3.1.21).

$$V_G = V_{FB} + \Psi_s + \gamma\sqrt{\Psi_s} - \frac{Q_{inv}}{C_{ox}} \quad (3.1.21)$$

Donde N_{sub} es la concentración del dopado en el sustrato.

Ahora bien, en la región de inversión fuerte el voltaje en la superficie es dado por $\Psi_s = 2\Phi_F + mV_t + V_{ch}$ la cual se puede escribir como $\Psi_s = \Psi_0 + V_{ch}$ si $\Psi_0 = 2\Phi_F + mV_t$, entonces la ecuación (3.1.21) queda como

$$V_G = V_{FB} + \Psi_0 + V_{ch} + \gamma\sqrt{\Psi_0 + V_{ch}} - \frac{Q_{inv}}{C_{ox}} \quad (3.1.22)$$

Si se define el voltaje de umbral de la compuerta referido al sustrato como

$$V_{TB}(V_{ch}) = V_{FB} + \Psi_0 + V_{ch} + \gamma\sqrt{\Psi_0 + V_{ch}} \quad (3.1.23)$$

Entonces la carga de inversión se puede obtener sustituyendo (3.1.23) en (3.1.22) y despejando Q_{inv} obteniendo

$$Q_{inv} = -C_{ox}(V_G - V_{TB}(V_{ch})) \quad (3.1.24)$$

El nivel de inversión puede ser determinado a partir de la corriente de drenaje en directa I_F , que es directamente proporcional a la carga de inversión móvil a lo largo del canal e inversamente proporcional a la corriente de saturación del transistor. Este parámetro se llama factor de inversión (FI) y está dado por la expresión

$$FI = \frac{I_{Dsat}}{I_s} = \ln^2 \left[1 + e^{\frac{V_p - V_s}{2V_{th}}} \right] \quad (3.1.25)$$

Condición	Región
$FI < 0.1$	Inversión débil
$0.1 < FI < 10$	Inversión moderada
$FI > 10$	Inversión fuerte

Cuadro 3.1: Regiones de operación con respecto al factor de inversión.

donde:

V_p es el voltaje de pinch-off

V_s es el voltaje en la fuente

V_{th} es el voltaje de umbral del transistor

I_{Dsat} es la corriente con la que se polariza el transistor

I_s es la corriente específica dada por la expresión:

$$I_s = 2n\mu_0 C_{ox} \frac{W}{L} V_{th}^2 \quad (3.1.26)$$

donde n es el factor de pendiente denotado por la ecuación:

$$n = 1 + \frac{\gamma}{2\sqrt{\Psi_0 + V_p}} \quad (3.1.27)$$

donde γ es el factor de sustrato o factor de efecto cuerpo y está dado por la expresión:

$$\gamma = \frac{\sqrt{2qN_{sub}\epsilon_s}}{C_{ox}} \quad (3.1.28)$$

En el cuadro 3.1 se muestra una tabla donde se resume la región de operación de los transistores con respecto a su factor de inversión. Estos datos son útiles para cálculos a mano en el diseño analógico.

3.1.4. Modelos

El paso fundamental de cualquier procedimiento de diseño analógico es el diseño a nivel de transistor, es decir, dar el tamaño adecuado a cada transistor para lograr las especificaciones requeridas.

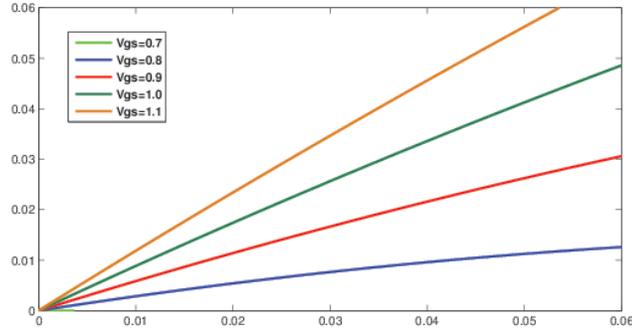


Figura 3.18: Zoom de la figura 3.15 que muestra la operación lineal en la región de inversión débil.

- Dado que el comportamiento del transistor es descrito por su modelo, es necesario tener un modelo analógico con buenas características.
- Las características más importantes que definen un buen modelo de transistor MOS son:
- Estar basado en el comportamiento físico que cubra efectos físicos significativos como los efectos de la no uniformidad de los dopantes, los efectos de movilidad, la velocidad de saturación, los efectos de canal angosto, la corriente de sustrato, el ruido térmico y los efectos de la temperatura.
- Ser compacto y global, preciso y con la menor cantidad posible de parámetros de ajuste.
- El procedimiento de extracción de parámetros no debe ser complicado ni debe consumir mucho tiempo.
- El modelo debe cubrir todos los rangos de geometría de interés y asegurar buen ajuste para las geometrías de dispositivo que no son usadas durante la extracción de parámetros. El modelo preciso significa no sólo características de I-V sino también las correctas derivaciones de corriente y conservación de energía.
- El requerimiento de operación a alta velocidad y alta frecuencia también impone un modelado preciso de las capacitancias intrínsecas. Por otro lado, para operación con

niveles reducidos de corriente, es obligatorio tener modelos de inversión moderada e inversión débil precisos.

- Debe ser implementado fácilmente y no presentar problemas de convergencia cuando se usan diferentes simuladores.

3.1.4.1. BSIM [47, 48]

El modelo BSIM es el acrónimo de Berkeley Short-channel IGFET Model y es un modelo del transistor MOS creado en la Universidad de Berkley. El modelo BSIM1 y BSIM2 son modelos empíricos basados en el voltaje de umbral con buena precisión. Sin embargo, la mayoría de sus parámetros no tienen algún significado físico y se introduce una gran cantidad de parámetros de ajuste (BSIM1 requiere aproximadamente 60 y BSIM2 90 parámetros para un análisis en DC). Por lo anterior estos modelos son más adecuados para diseñar circuitos digitales en lugar de circuitos analógicos.

Para subsanar las carencias de BSIM3 se utiliza una aproximación diferente basada en el comportamiento físico, es decir, tiene más parámetros relacionados con la física y menos parámetros de ajuste (este modelo requiere 40 parámetros para un análisis en DC). Las derivadas son continuas y hay una sola expresión para la corriente de drenaje. Respecto a los circuitos analógicos tiene dos desventajas: es poco preciso para simular el comportamiento en inversión débil y moderada y en algunas regiones las capacitancias intrínsecas son incorrectas.

Finalmente se desarrolló BSIM4, el cuál es una extensión de su predecesor BSIM3 pero modela más efectos físicos de los dispositivos debajo de $100nm$. Agrega también efectos parásitos de alta frecuencia con lo que el diseño de circuitos de radiofrecuencia mejora al hacer uso de este modelo.

3.1.4.2. EKV [46]

Este modelo obtiene su nombre de sus creadores Christian Enz, François Krummenacher y Eric Vittoz. El modelo EKV está basado en la física de la carga, su versión 2.6 (nivel 5)

está dedicada al diseño de circuitos de bajo voltaje y de baja potencia usando tecnologías CMOS submicrométricas. La versión 3.0 incluye efectos relevantes en el diseño de circuitos de radiofrecuencia.

Este modelo es continuo, compacto y tiene buena precisión a pesar de tener pocos parámetros (para DC utiliza nueve parámetros físicos, dos de temperatura y tres de ajuste). En este modelo se tiene simetría entre la fuente y el drenaje, se introduce el factor de inversión como un parámetro y se comporta correctamente en todas las regiones de inversión. La versión 3.0 está validada para tecnologías nanométricas por debajo de los 65nm.

Para este trabajo de tesis se eligió el modelo EKV ya que utiliza pocos parámetros y con este modelo es posible hacer cálculos a mano.

Una vez descrito el principio de operación de los transistores de tecnología CMOS, sus regiones de operación y los modelos para simulación de los mismos, en la siguiente sección se introducirán los principales bloques de diseño que ayudarán al desarrollo de este trabajo de tesis.

3.2. Bloques básicos de diseño analógico

Existen infinidad de bloques de diseño dentro de la electrónica analógica, en este capítulo se describen los bloques básicos utilizados en el desarrollo de este trabajo de tesis, en cada bloque se parte del diseño más sencillo y posteriormente se muestran versiones mejoradas del mismo. El primer bloque que se explica es el espejo de corriente.

3.2.1. Espejo de corriente

Un espejo de corriente es utilizado para generar una réplica de una corriente. De esta forma, un espejo de corriente es una fuente de corriente controlada por corriente.

El espejo de corriente simple se muestra en la figura 3.19, este está compuesto de dos transistores. El primer transistor M_1 está conectado como diodo. La caída de potencial V_{GS1} polariza la compuerta de M_2 . Asumiendo que ambos transistores trabajan en la región de saturación, las ecuaciones de la corriente son:

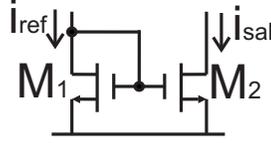


Figura 3.19: Espejo de corriente simple.

$$I_{ref} = I_1 = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_{GS1} - V_{th})^2 (1 + \lambda V_{DS1}) \quad (3.2.1)$$

$$I_{sal} = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right)_2 (V_{GS2} - V_{th})^2 (1 + \lambda V_{DS2}) \quad (3.2.2)$$

Para simplificar (3.2.1) y (3.2.2) se asume que el término $\lambda V_{DS1} \ll 1$. Después de la sustitución se obtiene:

$$I_{sal} = I_{ref} \frac{(W/L)_2}{(W/L)_1} / (1 + \lambda V_{sal}) \quad (3.2.3)$$

El término $(1 + \lambda V_{sal})$ de (3.2.3) toma en cuenta la resistencia finita de salida de M_2 , que para el caso de pequeña señal es:

$$r_{sal} = \frac{1}{\lambda I_{sal}} \quad (3.2.4)$$

Dada la ecuación anterior, se observa que la resistencia de salida no es lo suficientemente grande para asegurar que no se presenten pérdidas de inserción en algunas aplicaciones. Por lo tanto, dependiendo de la aplicación se requiere de configuraciones más complejas tales como espejos cascode [49], espejos cascode de bajo voltaje [51], espejos mejorados por gain boosting [50], entre otros. No obstante, el principio de operación es, en esencia, el mismo.

El comportamiento de los espejos de corriente se desvía del ideal debido a:

- Diferencias de tamaño de los transistores al momento de la fabricación.
- Mismatch de parámetros de la tecnología.
- Resistores parásitos.

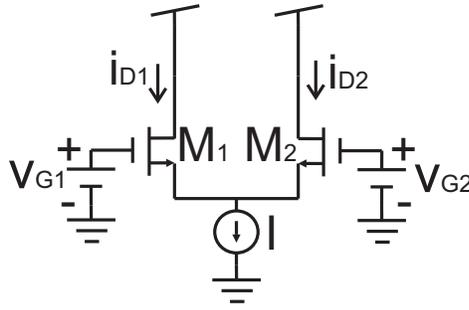


Figura 3.20: Par diferencial NMOS simple.

Para incrementar la impedancia de salida hay técnicas complejas que reducen el rango dinámico. Una de estas técnicas es hacer uso de inter-digitized o estructuras de centroide común para minimizar la distancia entre los transistores. Otra de las técnicas es separar un transistor en un número igual de partes para ser conectados en paralelo.

Cabe mencionar que el espejo de corriente suele ser una herramienta ideal para utilizar cuando el punto clave de un diseño es el rango dinámico. Para el rango dinámico en transistores tipo n, el límite superior de la salida se determina únicamente por limitantes de riel. El límite inferior lo da la condición de que M_2 debe estar en saturación.

3.2.2. Par diferencial

En la figura 3.20 se ilustra la configuración básica de un par diferencial MOS el cual consta de dos transistores acoplados M_1 y M_2 cuyas fuentes están unidas y polarizadas por una fuente I de corriente constante.

Es esencial que los circuitos de drenaje sean tales que M_1 y M_2 operen en saturación.

3.2.2.1. Voltaje en modo común

El par diferencial opera en modo común cuando

$$V_{G1} = V_{G2} = V_{CM} \quad (3.2.5)$$

Donde V_{CM} es el voltaje en modo común.

Debido a que M_1 y M_2 están acoplados, se puede deducir simetría, es decir, que la corriente I se dividirá igualmente entre ambos transistores. De esta forma se tiene que:

$$I_{D1} = I_{D2} = \frac{I}{2} \quad (3.2.6)$$

De igual modo el voltaje en las fuentes se denota por:

$$V_{CM} - V_{GS} \quad (3.2.7)$$

Donde V_{GS} es el voltaje entre la compuerta y la fuente.

Mientras M_1 y M_2 permanezcan en la región de saturación, los voltajes en los drenajes no cambian, es decir, el par diferencial no responde a las señales de entrada en modo común.

Para usar el par diferencial como amplificador lineal se aplica una señal diferencial muy pequeña (de unos cuantos milivolts) entre las compuertas de M_1 y M_2 . Uno de los transistores conduce una corriente de $\frac{I+\Delta I}{2}$ y el otro una corriente de $\frac{I-\Delta I}{2}$, con ΔI siendo proporcional al voltaje de entrada de diferencia y denotado por la expresión

$$\Delta I = gm\Delta V = \frac{2I}{V_{GS} - V_{TH}} \Delta V = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \Delta V \quad (3.2.8)$$

El voltaje de salida tomado entre los drenajes será proporcional a la señal diferencial de entrada.

3.2.3. Traspasador de corriente

Un current conyeror es un dispositivo de cuatro (o cinco) terminales el cual puede ser muy útil y simplificar el diseño de circuitos en gran medida. El traspasador de corriente ofrece un camino alternativo de abstraer funciones complejas de los circuitos. Una ventaja enorme de este dispositivo es que su comportamiento se asemeja mucho al descrito idealmente, por lo que constituye el bloque más importante de construcción de circuitos en el denominado “diseño en modo corriente”.

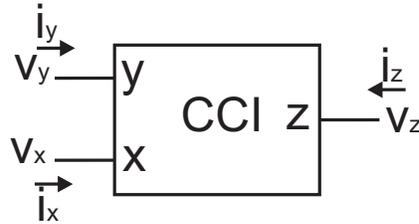


Figura 3.21: Diagrama de bloque del traspasador de corriente.

Al momento de que se introdujo el traspasador de corriente no se sabía exactamente las ventajas que ofrecía este dispositivo en relación con el amplificador operacional (op-amp). En los últimos años los diseñadores han descubierto dichas ventajas, por ejemplo, un traspasador de corriente puede proveer una ganancia de voltaje mayor en un ancho de banda mayor bajo condiciones de señal y de pequeña señal.

3.2.3.1. Traspasador de corriente tipo I (CCI)

El traspasador de corriente (CCI) es un dispositivo de tres puertos cuyo diagrama de bloques se muestra en la figura 3.21.

Si se aplica un voltaje a la terminal de entrada Y, un potencial idéntico aparecerá en la terminal de entrada X. De igual manera, una corriente de entrada I inducida a la terminal X resultará en una cantidad igual de corriente en la terminal Y. La corriente I será transportada a la terminal Z, la cual tiene las características de una fuente de corriente de valor I con impedancia de salida alta. El potencial de X, ajustado por el de Y, es independiente a la corriente inducida a X. De igual manera, la corriente en Y es independiente del voltaje aplicado en la misma terminal. Las características del traspasador de corriente se pueden ver en la ecuación (3.2.9).

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (3.2.9)$$

El signo + aplica para el CCI en donde las corrientes de Z y X van hacia el conveyor y es denotado CCI+. El signo – es usado para el caso contrario y se denota CCI-.

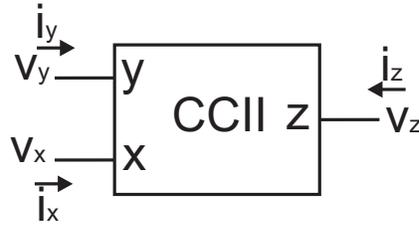


Figura 3.22: Diagrama de bloque del traspasador de corriente de segunda generación.

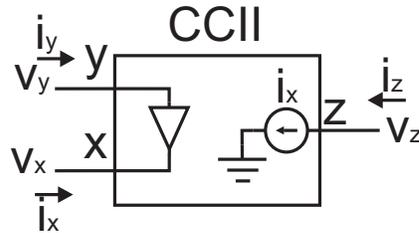


Figura 3.23: Diagrama a bloques para representar el funcionamiento del CCII+.

3.2.3.2. Traspasador de corriente de segunda generación (CCII)

El traspasador de corriente de segunda generación, denotado por CCII por sus siglas en inglés, es también un dispositivo de tres puertos como se muestra en la figura 3.22.

El CCII es un dispositivo diseñado para incrementar la versatilidad del CCI ya que no hay corriente en la terminal Y . Así como para el CCI, el CCII puede ser descrito con la ecuación (3.2.10) o bien con el circuito de la figura 3.23.

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (3.2.10)$$

De acuerdo con la ecuación (3.2.10) se tiene que la terminal Y tiene una impedancia de entrada infinita. Asimismo en la figura 3.23 se puede ver que el voltaje en la terminal X se copia del que se aplica en Y , entonces X tiene una impedancia de entrada igual a cero, esto representado con el seguidor de voltaje. La corriente aplicada a X es transportada a la salida Z que tiene alta impedancia donde se le da polaridad positiva (CCII+) o negativa (CCII-).

Parámetro	Valor ideal	Valor real
Z_i	∞	$1M\Omega$
Z_o	0	100Ω
Bw	∞	$1MHz$
Av	∞	100000
AC	0	

Cuadro 3.2: Características ideales y reales de un amplificador operacional.

3.2.4. Amplificador operacional

Un amplificador operacional es un dispositivo de dos entradas y una salida con las características mostradas en el cuadro 3.2.

En circuitos integrados este bloque es muy utilizado, una alternativa para diseñarlos se muestra a continuación.

3.2.4.1. Diseño de un amplificador de dos etapas

Una arquitectura comúnmente usada para el diseño de amplificadores operacionales se muestra en la figura 3.24 (se omite por simplicidad la etapa de salida de baja impedancia, característica de los amplificadores operacionales). Los transistores M_1 y M_2 forman un par diferencial de entrada que convierten el voltaje de entrada en corrientes de señal diferenciales. Los transistores M_3 y M_4 forman un espejo de corriente que operan como carga activa del par diferencial, convirtiendo nuevamente las corrientes diferenciales a voltaje mediante la expresión

$$V_{o1} = g_m r_{ds} \Delta V \quad (3.2.11)$$

Donde:

g_m es la transconductancia de los transistores del par diferencial.

r_{ds} es la resistencia de salida del espejo de corriente.

El transistor amplificador M_5 y su carga activa M_8 forman la segunda etapa de amplificación. Los transistores M_6 , M_7 y M_8 son espejos de corriente para polarizar al circuito. El Capacitor C_C y la resistencia R_C con elementos para compensación en frecuencia mediante la

Este parámetro se calcula a partir de la especificación del producto ganancia-ancho de banda y de la transconductancia encontrada en el paso 1, para esto se utilizará la ecuación (3.2.14).

$$C_c = \frac{1}{2\pi} \frac{g_{m1,2}}{f_{GBW}} \quad (3.2.14)$$

3. Cálculo de la relación de aspecto de los transistores M_1 y M_2 .

A partir de las especificaciones del Slew-Rate (SR) y de la capacitancia de carga C_L se calculan las corrientes que pasan por los transistores M_1 y M_2 (ecuación (3.2.15)) y la que pasa por el transistor M_8 (ecuación (3.2.16)).

$$I_{D1,2} = \frac{SR}{2} C_C \quad (3.2.15)$$

$$I_{D8} = SR(C_C + C_L) = 2\left(1 + \frac{C_L}{C_C}\right)I_{D1,2} \quad (3.2.16)$$

Con la corriente en el transistor M_1 y la transconductancia calculada en el paso 1 se obtiene la relación de aspecto de los transistores M_1 y M_2 despejando W/L de la ecuación de la transconductancia (3.2.17) obteniendo así la ecuación (3.2.18).

$$g_m = 2\sqrt{K_{n,p} \frac{W}{L} I_D} \quad (3.2.17)$$

$$\left(\frac{W}{L}\right)_{1,2} = \frac{g_{m1,2}^2}{4K_n I_{D1,2}} \quad (3.2.18)$$

4. Cálculo de la relación de aspecto del transistor M_5 .

A partir de la expresión del margen de fase M_ϕ (ecuación (3.2.19)), de la carga (ecuación (3.2.20)) y la del producto ganancia ancho de banda (ecuación (3.2.21)) se determina la transconductancia que deberá tener el transistor g_{m5} .

$$M_\phi = 90^\circ - \arctan\left(\frac{f_{GBW}}{f_{SP}}\right) \quad (3.2.19)$$

$$f_{SP} = \frac{g_{m5}}{2\pi C_L} \quad (3.2.20)$$

$$g_{m5} = 2\pi f_{GBW} C_L \tan(M_\phi) \quad (3.2.21)$$

Con dicha trans conductancia es posible obtener la relación de aspecto del transistor M_5 dada por

$$\left(\frac{W}{L}\right)_5 = \frac{g_{m5}^2}{4K_p I_{D8}} \quad (3.2.22)$$

5. Cálculo de la resistencia de compensación.

Siguiendo el procedimiento de nulling resistor, entonces el resistor R_c se calcula mediante la transconductancia de g_{m5} mediante

$$R_C = \frac{1}{g_{m5}} \quad (3.2.23)$$

Este resistor tiene la finalidad de cancelar el cero parásito

6. Cálculo de la relación de aspecto de los transistores M_3 y M_4 .

Con la finalidad de reducir el offset sistemático del amplificador se busca cumplir con la condición $V_{GS3} = V_{GS4} = V_{GS5}$ dicha condición se satisface mediante

$$\left(\frac{W}{L}\right)_{3,4} = \frac{I_{D3,4}}{I_{D5}} \left(\frac{W}{L}\right)_5 \quad (3.2.24)$$

Cuando se cumple la ecuación (3.2.24) el voltaje de salida se establece en DC en el nivel de tierra analógica. Si se quiere consumir poca área se elige una L pequeña pero si se quiere minimizar el ruido de baja frecuencia, entonces se eligen L grandes.

7. Cálculo de la relación de aspecto de los transistores M_6 , M_7 y M_8 y de la corriente de polarización.

Ahora que se conocen I_{D7} e I_{D8} se pueden determinar las relaciones de aspecto de los transistores M_7 y M_8 haciendo uso de la ecuación siguiente

$$\left(\frac{W}{L}\right) = \frac{g_m^2}{4K_n I_D} \quad (3.2.25)$$

De manera análoga la corriente de polarización se calcula en función de la corriente en el transistor M_7 haciendo uso de la expresión

$$I_B = \frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_7} I_{D7} \quad (3.2.26)$$

3.2.5. Elemento altamente resistivo

Hay diversas realizaciones de elementos altamente resistivos, la mayoría de ellas a partir de uniones de materiales tipo N y tipo P polarizadas inversamente. Entre estas realizaciones se encuentra la unión drenaje-pozo de un transistor PMOS como se muestra en la figura 3.25 [35]. Para un primer diseño se conecta el Voltaje V_C a V_{DD} .

El diseño de la figura 3.25 tiene un rango limitado de señal porque esta se ve limitada por debajo del voltaje de umbral para evitar que la unión PN comience a conducir, además de que aparece R_{fuga} como un segundo elemento altamente resistivo que provoca una caída de tensión entre las terminales A y B , y hace que el voltaje sea dependiente de la señal de entrada [35].

Con el fin de dar solución a estos inconvenientes se cambia el valor del voltaje V_C de tal forma que el transistor quede en la región de inversión débil. De esta forma se logra que R_G tenga un valor mucho menor que el de R_{fuga} y así la caída de potencial en el divisor sea despreciable. Esto permite variar la resistencia en un rango de hasta siete décadas.

Un tercer diseño de un elemento altamente resistivo presentado en [35] lleva a la combinación en serie de un transistor NMOS y un PMOS polarizados en inversión débil mediante una

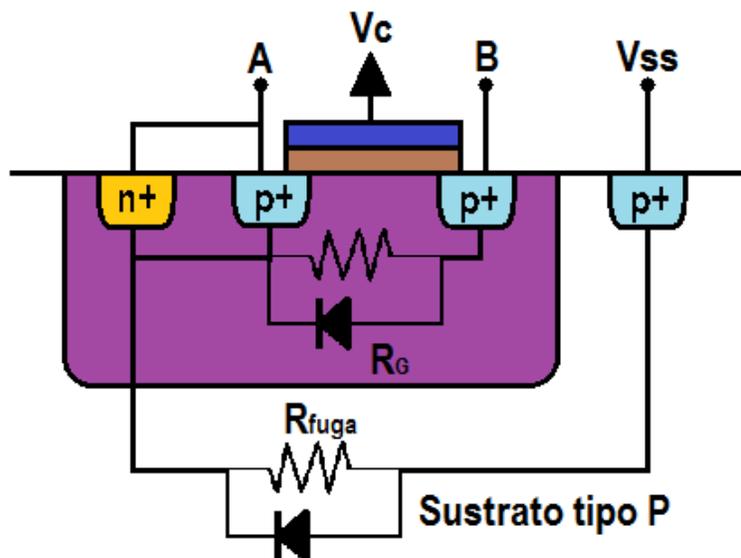


Figura 3.25: Elemento altamente resistivo a partir de la unión drenaje-pozo de un transistor.

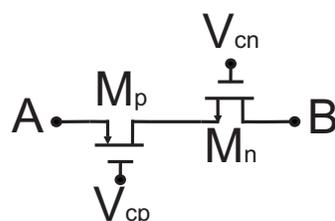


Figura 3.26: Elemento altamente resistivo a partir de un transistor NMOS en serie con un PMOS.

elección adecuada de los voltajes V_{cn} y V_{cp} como se muestra en la figura 3.26. En este diseño la resistencia efectiva permanece en el rango de los Giga Ohms sin importar la naturaleza de las fluctuaciones de señal entre las terminales A y B ya que estas tienden a encender a un transistor y apagar al otro al mismo tiempo dado que son transistores de tipo complementarios. El rango de variación de la resistencia es muy limitado debido a que un transistor “enciende” mientras el otro se “apaga”.

El diseño presentado en [36] se muestra en la figura 3.27, dicho circuito consta de transistores M_{p2} en serie operando en inversión débil, dado que son tres transistores se incrementa la resistencia efectiva y el rango de excursión de señal en relación con el de la figura 3.26. El transistor M_{p1} trabaja en la región de corte para establecer en las compuertas de M_{p2} un vol-

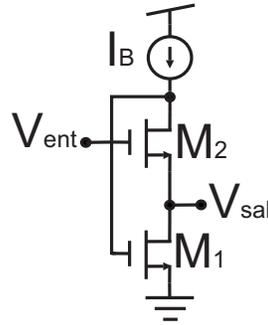


Figura 3.29: Seguidor de voltaje flipped voltage.

$$G_{SD} = \left(\frac{I_{SD}}{nU_T} \right) \left[\frac{n}{1 - e^{(-V_{SD}/U_T)} - 1} \right] \quad (3.2.27)$$

Donde:

$U_T = kT/q$ es el voltaje térmico.

n es el factor de pendiente de umbral.

3.2.6. Flipped voltage

En la figura 3.29 se muestra el seguidor de voltaje conocido como “flipped voltage” [39] (FVF por sus siglas en inglés de Flipped Voltage Follower). Este bloque de diseño está formado por un amplificador cascode con retroalimentación negativa y tiene las siguientes ventajas:

- Baja resistencia de salida $R_{sal} = 2/[g_m^2 r_o]$ la cual es mucho más baja que en un seguidor de voltaje convencional.
- Capacidad de extraer gran cantidad de corriente a la carga a través de M_1 .
- Voltaje de entrada reflejada a la salida.

El FVF tiene además ciertas desventajas que se enlistan a continuación:

- El nivel de salida está desfasado del de entrada por el voltaje $V_{GS_{M2}}$.
- La capacidad de entregar corriente de la carga está limitada al valor de I_B que es la corriente que pasa por M_2 .

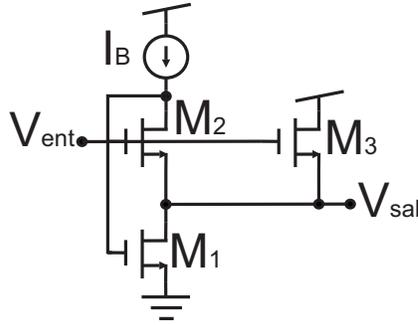


Figura 3.30: Seguidor de voltaje flipped voltage clase AB.

- Tiene un rango de voltaje limitado en el nodo de salida ($V_{sal}^{swing} = V_{TH} - V_{DS_{M2}}^{sat}$).
- Hay una atenuación debido al efecto cuerpo del transistor M_2 .

3.2.6.1. Seguidor de voltaje clase AB

Una posible solución se propone en [40] para eliminar la capacidad limitada de entregar corriente del FVF se muestra en la figura 3.30. Para este diseño el transistor M_3 provee corriente adicional siempre que lo requiera la carga, de esta forma es posible entregar y extraer corrientes grandes. Sin embargo, mientras se entregue más corriente, el voltaje $V_{GS_{M3}}$ será más parecido al voltaje $V_{GS_{M2}}$ y por lo tanto el voltaje de salida se desviará de la entrada. Dado que el circuito es un seguidor de voltaje, esta condición de dependencia es una característica no deseada.

3.2.6.2. Seguidor de voltaje clase AB con comparador de corriente

Para llevar a cabo la operación AB, el transistor M_3 del circuito de la figura 3.30 tiene que mantenerse, sin embargo, se debe eliminar la dependencia de la salida de voltaje con respecto a la corriente extraída para poder mantener el voltaje reflejado a la salida y que el nivel de salida esté desfasado por un valor constante ($V_{GS_{M2}}$) determinado por I_B . Lo que se puede hacer para lograrlo es controlar el voltaje de la compuerta de M_3 de una forma diferente.

En la figura 3.31 se muestra la solución a este problema propuesta por [41]. En este esquema la corriente del transistor M_1 es reflejada en M_4 y comparada con I_B en la compuerta

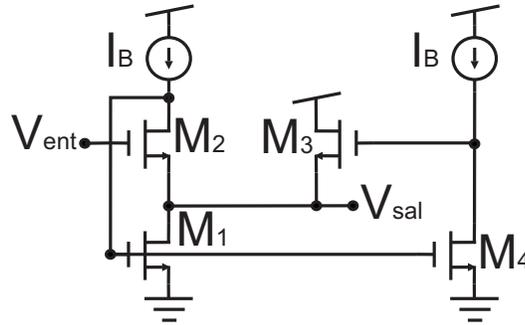


Figura 3.31: Seguidor de voltaje flipped voltage clase AB con comparador de corriente.

del transistor M_3 (nodo de alta impedancia). Si la corriente en M_1 cae por debajo de I_B , entonces el voltaje en la compuerta del transistor M_3 causa que este transistor entregue más corriente. En el caso de que la corriente en el transistor M_1 sea mayor que I_B , el voltaje en la compuerta del transistor M_3 provoca que dicho transistor trabaje en corte y toda la corriente que viene de la carga se extrae a través del transistor M_1 . La operación AB se logra porque solamente M_3 entrega corriente y M_1 solamente extrae corriente. Desafortunadamente este circuito presenta atenuación por efecto cuerpo del transistor M_2 , un desfase de voltaje de salida de $V_{GS_{M_2}}$ y un rango de voltaje de señal limitado [41].

3.2.6.3. Seguidor de voltaje diferencial

En la figura 3.32 se muestra el seguidor de voltaje diferencial (Differential Flipped Voltage Follower, DFVD)[43], este circuito se caracteriza por tener las ventajas del FVF, pero sin atenuación causada por el efecto cuerpo y sin tener un desfase de DC. El DFVF se deriva del FVF de la figura 3.29 dividiendo el transistor M_2 en un par diferencial formado por $M_{2A} - M_{2B}$ con una corriente de polarización de $2I_B$ y el transistor M_{2B} conectado como diodo, además al transistor M_1 se le hace “fold” o doblado y se utiliza un transistor PMOS en lugar de NMOS. Este cambio aumenta el rango de voltaje de salida a $V_{swing} = V_{DD} - V_{SS} - V_{TH} - 3V_{DS}^{sat}$.

En este diseño, el transistor M_1 puede entregar corrientes grandes a la carga, pero el máximo que se puede recibir de la carga está limitado al valor de la fuente de corriente $2I_B$.

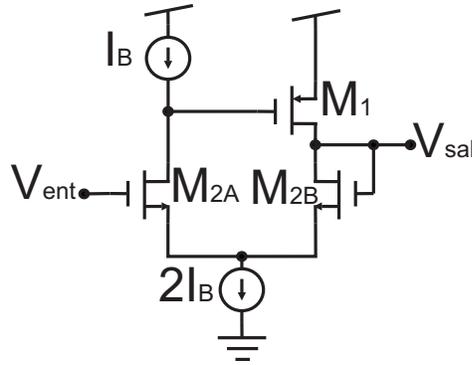


Figura 3.32: Seguidor de voltaje flipped voltage diferencial.

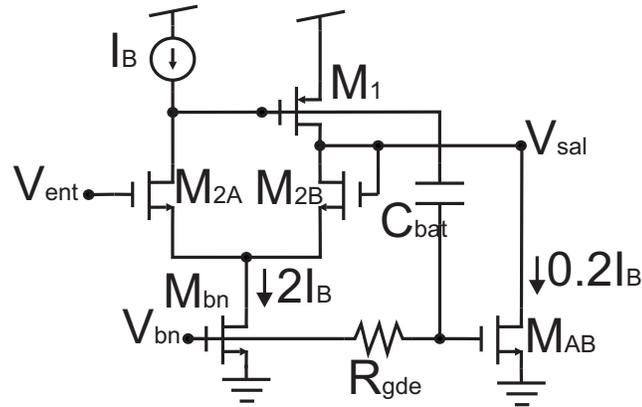


Figura 3.33: Seguidor de voltaje flipped voltage diferencial clase AB.

3.2.6.4. Seguidor de voltaje diferencial clase AB

Este circuito presentado en [44] se muestra en la figura 3.33, dicho circuito es una modificación del DFVF pero basado en la técnica de compuerta casi flotante. La compuerta del transistor M_{AB} se conecta al nodo V_{bn} a través de una resistencia de valor muy grande ($R_{gde} \approx 100G\Omega$, un elemento altamente resistivo) y a la compuerta del transistor M_1 a través del capacitor $C_{bat} = 1pF$. La relación de aspecto del espejo de corriente es de 0.2 por lo que el transistor M_{AB} lleva a una corriente de $0.2I_B$ a través del transistor M_{AB} . Debido al filtro pasa altas que forman R_{gde} y C_{bat} , la compuerta de M_{AB} sigue las variaciones en señal en la compuerta de M_1 a través de C_{bat} . Durante el ciclo positivo del voltaje de salida V_{sal} la compuerta de M_1 presenta un ciclo negativo y M_{AB} se apaga. Mientras V_0 está en un ciclo negativo, la compuerta

de M_1 presenta ciclos positivos y M_{AB} incrementa su corriente de drenaje de forma significativa sobre su valor de $0.2I_b$ proveyendo la clase AB deseada.

3.3. Escaladores de impedancia

3.3.1. Definición

Un escalador de impedancia es un dispositivo utilizado para modificar el valor de la impedancia de un componente electrónico, esta modificación puede implicar tanto un aumento en la impedancia como una disminución en la misma. Los escaladores de impedancia tienen una salida de la forma:

$$Z_o = kZ_i \quad (3.3.1)$$

Donde Z_o es la impedancia de salida o impedancia equivalente del escalador, k es la ganancia o el factor de multiplicación del escalador y Z_i es la impedancia del componente electrónico que se quiere escalar.

En la figura 3.34 se muestran los diagramas a bloques de los modos en que un escalador de impedancia puede funcionar. El escalador de la figura *a*) acepta a la entrada un componente flotante para escalar y la impedancia de salida que entrega es también flotante, el escalador de la figura *b*) acepta también un componente flotante a la entrada, sin embargo la impedancia de salida está aterrizada, por lo que solo se utiliza la terminal Z_o+ , en contraste, el escalador de la figura *c*) puede aceptar el elemento de entrada aterrizado y entrega una salida flotante. El último escalador que se muestra en la figura *d*) puede aceptar un elemento aterrizado pero entrega una salida aterrizada también.

3.3.2. Multiplicación de capacitancia

Un multiplicador de capacitancia es un escalador de impedancia para el cuál el elemento electrónico que se escalará es un capacitor. Este tipo de circuitos puede ser utilizado para ahorrar

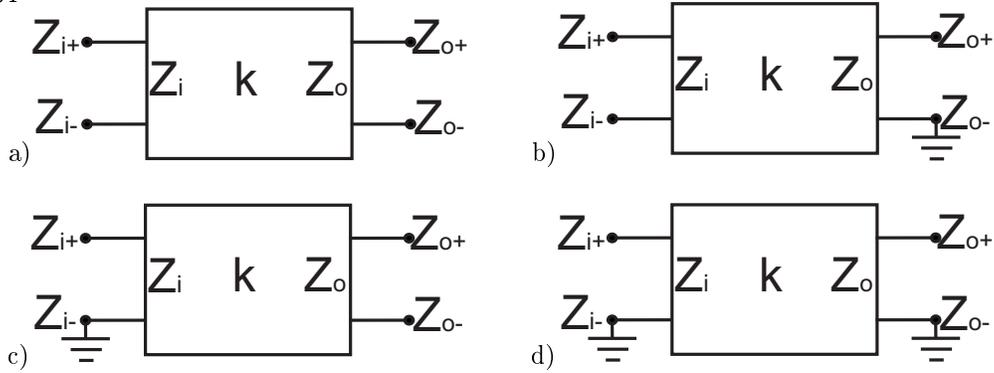


Figura 3.34: Diagrama a bloques de los tipos de escaladores de impedancia.

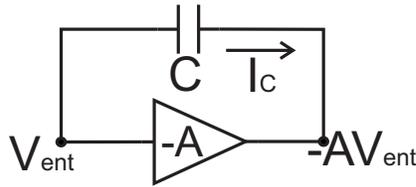


Figura 3.35: Circuito multiplicador de capacitancia en modo voltaje.

área en caso de que un capacitor de alto valor sea requerido para algún diseño, amplificar la capacitancia proveniente de un sensor, ajustar el mismatch del proceso de fabricación en caso de que se requiera un capacitor de un valor muy preciso, entre otras.

La multiplicación de capacitancia se puede lograr tanto en modo corriente como en modo voltaje. Para el modo voltaje se emplea el efecto Miller [52] mediante el circuito mostrado en la figura 3.35. Analizando detenidamente este circuito ideal se pueden deducir las ecuaciones (3.3.2) y (3.3.3).

$$V_{sal} = -AV_{ent} \quad (3.3.2)$$

$$I_c = \frac{V_{ent} - V_{sal}}{Z_c} \quad (3.3.3)$$

Sustituyendo (3.3.2) en (3.3.3) se obtiene:

$$I_c = \frac{V_{ent} - (-AV_{ent})}{Z_c} \quad (3.3.4)$$

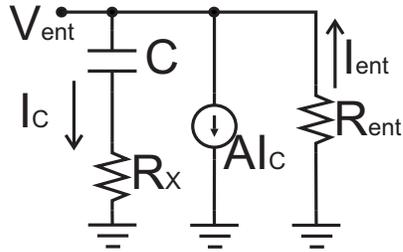


Figura 3.36: Circuito multiplicador de capacitancia en modo corriente.

Dado que la entrada del amplificador operacional tiene una resistencia infinita, entonces $I_{ent}=I_{sal} = I_c$, además sustituyendo Z_c por $\frac{1}{SC}$ se obtiene la expresión

$$I_{ent} = \frac{V_{ent} + AV_{ent}}{\frac{1}{SC}} \quad (3.3.5)$$

Como la impedancia de entrada se define como $\frac{V_{ent}}{I_{ent}}$ entonces la impedancia de entrada (despejando de (3.3.5)) resulta

$$Z_{ent} = \frac{V_{ent}}{I_{ent}} = \frac{1}{SC(1 + A)} \quad (3.3.6)$$

De (3.3.6) se obtiene que la capacitancia equivalente a la entrada del amplificador operacional se ve multiplicada por el factor de ganancia del amplificador más 1, es decir:

$$C_{ent} = C(1 + A) \quad (3.3.7)$$

De (3.3.7) se puede observar la multiplicación de la capacitancia haciendo uso de un circuito escalador de impedancia y del efecto Miller.

Para el caso de la multiplicación de capacitancia en modo corriente se utiliza el esquema mostrado en la figura 3.36, este circuito hace uso de una fuente de corriente dependiente que puede ser diseñada con un transistor. La resistencia R_{ent} es la impedancia del circuito al que esté conectado este bloque.

Analizando por leyes de corrientes de Kirchoff en el nodo V_{ent} se obtiene la ecuación:

$$I_c + AI_c = I_{ent} \quad (3.3.8)$$

De la figura 3.36 también puede observarse que

$$V_{ent} = I_c \left(\frac{1}{SC} + R_x \right) \quad (3.3.9)$$

Para calcular la impedancia equivalente del circuito de la figura 3.36 obtenemos $\frac{V_{ent}}{I_{ent}}$ dividiendo (3.3.9) entre (3.3.8) obteniendo así

$$Z_{eq} = \frac{I_c \left(\frac{1}{SC} + R_x \right)}{I_c(1 + A)} \quad (3.3.10)$$

Si consideramos que $R_x \ll \frac{1}{SC}$ y eliminando la I_c de la ecuación (3.3.10) se obtiene

$$Z_{eq} = \frac{1}{SC(1 + A)} \quad (3.3.11)$$

De la ecuación (3.3.11) se obtiene la capacitancia equivalente obteniendo de esta forma

$$C_{eq} = (1 + A)C \quad (3.3.12)$$

La ecuación (3.3.12) describe la capacitancia que mostrará el circuito multiplicador de capacitancia de la figura 3.36, como se puede observar, la capacitancia aumenta en función de la ganancia que tenga la fuente de corriente controlada y este factor puede ser ajustado variando dicha ganancia.

Capítulo 4

Diseño de multiplicadores de capacitancia

En este capítulo se presentan tres nuevos diseños de multiplicadores de capacitancia sintonizables; un multiplicador de capacitancia en modo corriente a partir de espejos programables en tiempo continuo; un multiplicador de capacitancia en modo voltaje a partir de elementos altamente resistivos controlados por voltaje y finalmente, un multiplicador de capacitancia a partir de un *CCII* con programación digital del factor de multiplicación. En cada caso se describe la topología correspondiente para posteriormente se presentará los resultados de simulación obtenidos en HSPICE a partir de parámetros de una tecnología de $0.5\mu m$ proporcionados por el fabricante ON semiconductor.

4.1. Multiplicador de capacitancia en modo corriente

El primer diseño de multiplicador de capacitancia que se describirá está basado en el esquema de la figura 4.1 cuyo principio de operación se explicó en el capítulo anterior y cuya capacitancia equivalente está dada por la expresión

$$C_{eq} = (1 + A)C \quad (4.1.1)$$

La expresión (4.1.1) muestra que el valor de la capacitancia se ve multiplicado por un factor de ganancia A , en caso de que $A \gg 1$. En este diseño la fuente de corriente controlada se realiza con espejos de corriente programables. Estos espejos de corriente funcionan a base de variaciones diferenciales en el voltaje de compuerta de ambos lados de un espejo de corriente.

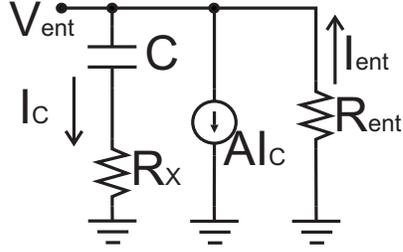


Figura 4.1: a) Circuito multiplicador de capacitancia con elementos altamente resistivos. b) circuito equivalente al multiplicador de capacitancia con elementos altamente resistivos.

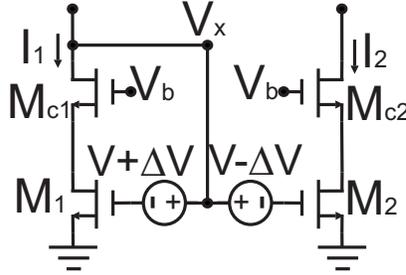


Figura 4.2: Principio de operación del espejo de corriente programable.

Para la programación de los espejos se hace uso de fuentes de voltajes y un esquema como el mostrado en la figura 4.2. Para su funcionamiento hay que recordar que un espejo programable simple realiza la copia de corriente debido a que los voltajes entre la compuerta y la fuente son los mismos, sin embargo en este caso se cambiarán dichos voltajes de forma diferencial, de tal forma que las ecuaciones (4.1.2) y (4.1.3) quedan como (4.1.4) y (4.1.5) respectivamente.

$$I_1 = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_{GS1} - V_{th})^2 \quad (4.1.2)$$

$$I_2 = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right)_2 (V_{GS2} - V_{th})^2 \quad (4.1.3)$$

$$I_1 = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_x + V - \Delta V - V_{th})^2 \quad (4.1.4)$$

$$I_2 = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right)_2 (V_x + V + \Delta V - V_{th})^2 \quad (4.1.5)$$

Parámetro	Valor
$M_1, M_5, M_6, M_7, M_9, M_{1b}, M_{5b}, M_{6b}, M_{7b}, M_{9b}, M_{11b}$	$\frac{30}{1.2} \frac{\mu m}{\mu m}$
M_3, M_4, M_{3b}, M_{4b}	$\frac{60}{1.2} \frac{\mu m}{\mu m}$
$M_2, M_{2b}, M_8, M_{8b}, M_{10}, M_{10b}, M_{11b}, M_{12b},$	$\frac{300}{1.2} \frac{\mu m}{\mu m}$
C_a	$0.2pF$
C_{mul}	$10pF$
I_B	$1\mu A$
r_f	$100k\Omega$
C_f	$10pF$
C_{mul}	$10pF$

Cuadro 4.1: Valores utilizados en el diseño del multiplicador de capacitancia con espejos programables.

Para obtener la ganancia de corriente se divide (4.1.5) y (4.1.4) obteniendo

$$A_i = \frac{I_2}{I_1} = \frac{\left(\frac{W}{L}\right)_2 (V_x + V + \Delta V - V_{th})^2}{\left(\frac{W}{L}\right)_1 (V_x + V - \Delta V - V_{th})^2} \quad (4.1.6)$$

Si se define $V_A = V_x + V - V_{th}$ y $R = \left(\frac{W}{L}\right)_2 / \left(\frac{W}{L}\right)_1$ entonces (4.1.6) queda como

$$A_i = R \left(\frac{V_A + \Delta V}{V_A - \Delta V} \right)^2 \quad (4.1.7)$$

Si se expande (4.1.7) en series de Taylor al rededor de 0, se obtiene

$$A_i = R \left(1 + \frac{4}{V_A} \Delta V + \frac{8}{V_A^2} \Delta V^2 + \frac{12}{V_A^3} \Delta V^3 + \dots \right) \quad (4.1.8)$$

De la ecuación (4.1.8) se puede observar que para reducir la distorsión del espejo programable es necesario hacer que $\Delta V \ll V_A$ aunque esto lleve a una reducción en la ganancia de corriente del espejo, de esta forma se obtiene

$$A_i = R \left(1 + \frac{4}{V_A} \Delta V \right) \quad (4.1.9)$$

La ecuación (4.1.9) muestra la ganancia del espejo programable cuando quedan únicamente términos lineales, esto es deseable para mejorar la programación del espejo de corriente.

Haciendo uso del espejo de corriente programable y etapas de multiplicación de corriente adicionales se llega a la propuesta para este multiplicador mostrada en la figura 4.3. Los

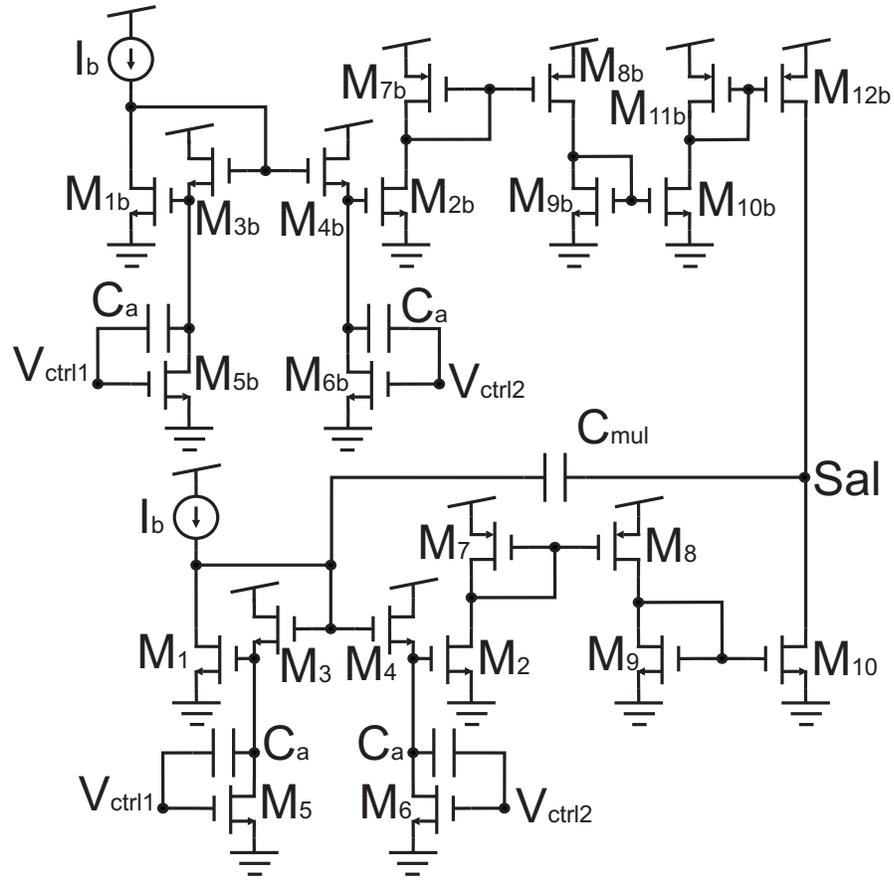


Figura 4.3: Esquemático del multiplicador de capacitancia en modo corriente con espejos programables.

transistores M_1 y M_2 forman el espejo de corriente programable, los voltajes de programación se logran con los transistores M_3 - M_6 y los capacitores C_a . La fuente de voltaje se determina por el voltaje entre compuerta y fuente de los transistores M_3 y M_4 . Los transistores M_7 - M_{10} son espejos de corriente cascode con relación de aspecto 1:10, es decir, multiplican la corriente 10 veces cada etapa logrando así una ganancia fija de 100. Dado que la fuente de polarización también es multiplicada por el circuito, todos los transistores se repiten en la parte de arriba y se invierte la corriente para restarla en el nodo de salida (Transistores M_{1b} - M_{12b}). El capacitor que se multiplicará se conecta entre la compuerta del primer espejo y el nodo de salida. Los parámetros de diseño para el circuito de la figura 4.3 se muestran en la tabla 4.1.

Otro parámetro que se puede calcular del circuito de la figura 4.3 es la impedancia de

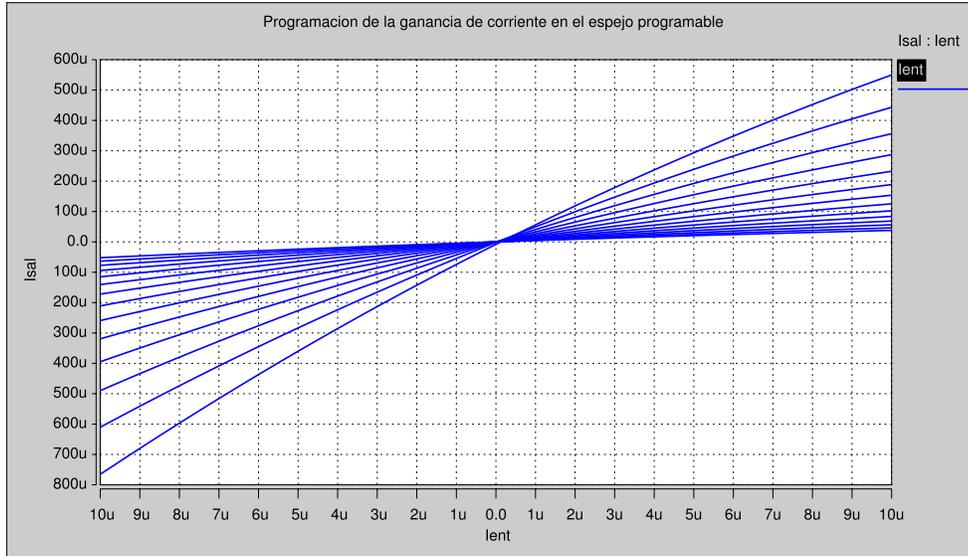


Figura 4.4: Análisis DC de la multiplicación de corriente con el espejo programable.

salida. Dado que los transistores M_7 - M_{10} son cascode y en especial M_{10} y M_{12b} tienen tres transistores cascode, entonces la resistencia de salida está dada por

$$R_{sal} = r_{ds10}^3 g_{m10} \parallel r_{ds12b}^3 g_{m12b} \quad (4.1.10)$$

De la ecuación 4.1.10[4] dado que la r_{ds} típica es del orden de $1.5k\Omega$ y la transconductancia del orden de $3m$, entonces la R_{sal} es del orden de $10M\Omega$.

La programación del espejo se probó introduciendo una señal en lugar del capacitor, de esta forma se obtuvo la gráfica de la figura 4.4 haciendo un barrido de DC desde $-10\mu A$ hasta $10\mu A$ (dado que al multiplicarse quedan corrientes de hasta cientos de μA) con voltajes de programación que van desde $-560mV$ hasta $-300mV$ con pasos de $20mV$. Los voltajes de programación se eligieron haciendo pruebas del rango en el que el elemento altamente resistivo funciona de manera más o menos lineal. Como se observa en la figura 4.4, la programación de la corriente no es lineal con respecto a la variación del voltaje de programación.

Para poder probar el funcionamiento del multiplicador de capacitancia se realizó un filtro pasa bajos cuyas características se describen en la tabla 4.1

En la gráfica de la figura (4.5) se observan las curvas del filtro pasa bajos realizado

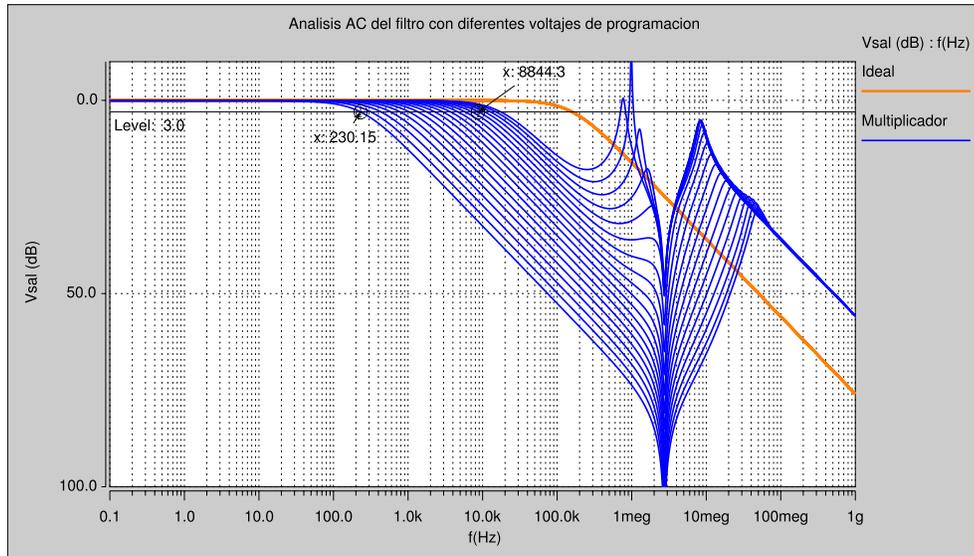


Figura 4.5: Análisis de AC del filtro con diferentes voltajes de programación en los espejos.

con distintas frecuencias de corte programadas con el voltaje V_{ctrl2} en un rango de $-775mV$ a $400mV$ (ya que en las pruebas con más voltajes estos tuvieron sobretiros mayores en el análisis de AC) con pasos de $20mV$ y un V_{ctrl1} fijo en $-0.8V$. En la figura se pueden observar casi dos décadas de programación de la frecuencia de corte limitadas por el cero parásito que aparece a los $3MHz$.

Este primer circuito tiene las ventajas de ser programable en tiempo continuo y con voltaje, lo que hace más precisa la programación del factor de ganancia, sin embargo al ser no lineal este se vuelve más difícil de programar.

4.2. Multiplicador de capacitancia en modo voltaje

El multiplicador de capacitancia en modo voltaje se sustenta en el efecto Miller [52] como se describió en el capítulo anterior y en los elementos altamente resistivos programables explicados también en la sección anterior.

El diagrama del circuito se muestra en la figura 4.6(a). La ganancia en baja frecuencia del amplificador en lazo cerrado está dada por la relación $A_V = 1 + \frac{R_2}{R_1}$. De este modo, la capacitancia equivalente de este circuito, mostrada en la figura 4.6(b), está dada por la expresión:

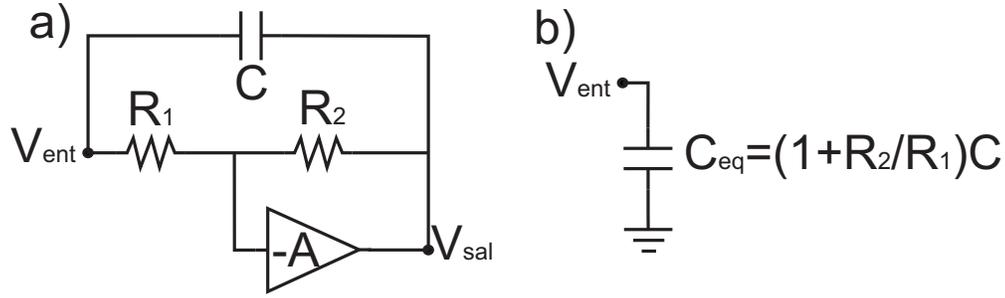


Figura 4.6: a) Circuito multiplicador de capacitancia con elementos altamente resistivos. b) circuito equivalente al multiplicador de capacitancia con elementos altamente resistivos.

$$C_{eq} = \left(1 + \frac{R_2}{R_1}\right) C \quad (4.2.1)$$

Las resistencias activas R_1 y R_2 se diseñan a partir de elementos altamente resistivos. De los elementos altamente resistivos analizados en el capítulo anterior se eligió el propuesto por Muñiz et al. en [36] ilustrado nuevamente en la figura 4.7. Esta elección se debe a que el valor de estas resistencias activas se controla por medio del voltaje en la compuerta del transistor M_{p1} , el cual aparece directamente en el nodo n_x . Los capacitores conectados entre el nodo n_x y las terminales A y B forman filtros pasa-altas, por lo tanto, el voltaje en el nodo n_x resulta

$$V_{n_x} = V_{n_x}|_{DC} + \frac{V_a + V_b}{2} = V_{prog} + \frac{V_a + V_b}{2} \quad (4.2.2)$$

Se ha demostrado que al promediar los voltajes en los nodos A y B y retornar este voltaje al nodo n_x se linealiza la resistencia total del elemento altamente resistivo, reduciendo la distorsión [38].

En la figura 4.8 se muestra la variación de la impedancia del elemento altamente resistivo cuando se varía el voltaje de programación V_{prog} . Como se puede observar en la figura, la programación es aproximadamente lineal en casi todo el rango de programación de $-2V$ a $-0.4V$ (elegido por esta misma característica de linealidad), además, se observa que la impedancia varía desde $225G\Omega$ hasta los $390G\Omega$. Para la simulación de este elemento altamente resistivo se utilizaron transistores de $1.2\mu m$ de largo y $6\mu m$ de ancho, así como capacitores de tan sólo

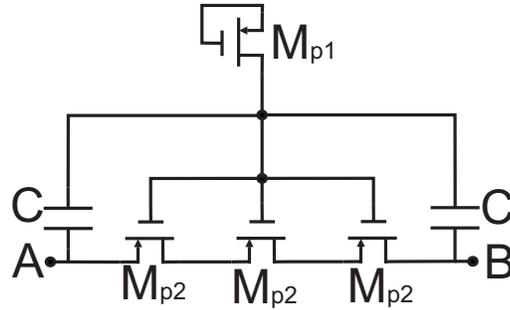


Figura 4.7: Elemento altamente resistivo con tres transistores tipo P.

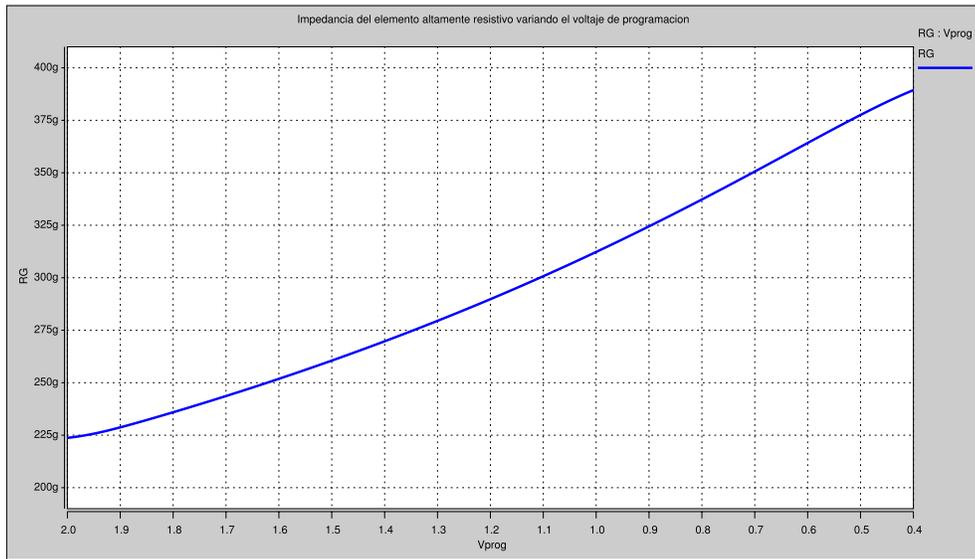


Figura 4.8: Impedancia del elemento altamente resistivo cuando se varía el voltaje de programación.

$50fF$. Los capacitores se eligen pequeños para ahorrar área de silicio y para enviar los ceros parásitos correspondientes a altas frecuencias [36].

Ya que se tiene el elemento altamente resistivo, se procede a describir el amplificador operacional utilizado en el multiplicador de capacitancia mostrado en la figura 4.6. Siguiendo la metodología del capítulo anterior se obtuvo el amplificador operacional con los detalles de diseño mostrados en la tabla 4.2 para el amplificador de la figura 4.9

La resistencia equivalente del circuito es la de un amplificador operacional con retroalimentación negativa, esto es, $R_{eq} = R_1$ de modo que R_{eq} es del orden de los $300G\Omega$.

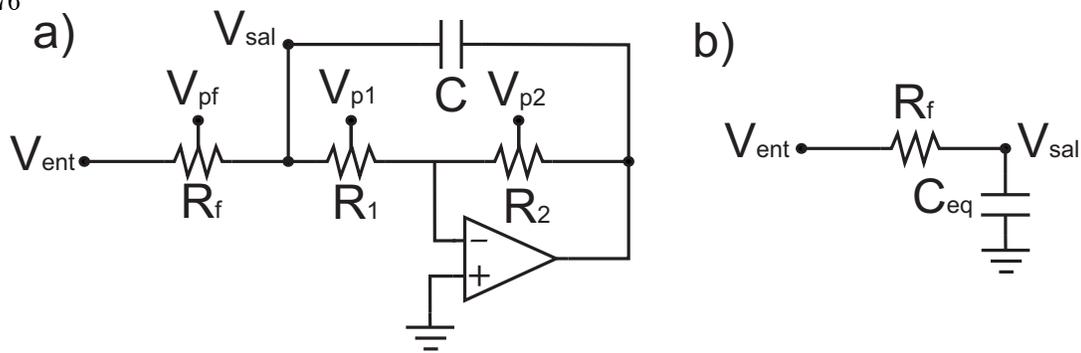


Figura 4.10: a) Esquemático del filtro pasa bajos formado con el multiplicador de capacitancia. b) Circuito equivalente al filtro pasa bajos formado con el multiplicador de capacitancia.

Parámetro	Valor
C	$10pF$
V_{dd}	$1.5V$
V_{ss}	$-1.5V$
V_{p1}	$-1V$
V_{pf}	$-0.9V$
V_{p2}	$(-0.65V, -0.85V)$

Cuadro 4.3: Valores utilizados en el filtro pasa bajos con el multiplicador de capacitancia.

intervalo en el que la resistencia se comporta de una manera más lineal. En la figura 4.10 están marcadas las frecuencias de corte para los valores máximo y mínimos de programación lo que indica que el rango de programación, variando únicamente R_2 , es de casi 2 décadas.

Con la finalidad de obtener el valor máximo de programación se varía R_1 y R_2 al mismo tiempo, con el fin de modificar ambos parámetros en la ecuación de ganancia de la ecuación (4.2.1), los resultados se muestran en la figura 4.12 donde se puede observar que la frecuencia de corte tiene un rango de sintonización de 3 décadas.

Dado que las simulaciones del esquemático y del layout no cambiaron significativamente, las gráficas de las figuras 4.11 y 4.12 fueron realizadas a partir del layout del circuito cuyo diseño se muestra en la figura 4.13. A la izquierda de la figura se observa el capacitor C , a la izquierda el amplificador utilizado para este diseño y en el centro se muestran los elementos altamente resistivos. Como lo muestra la figura, las dimensiones del circuito son de $360\mu m \times 130\mu m$ lo que implica que el diseño total del filtro requiere un área de $0.0468mm^2$ de donde el capacitor

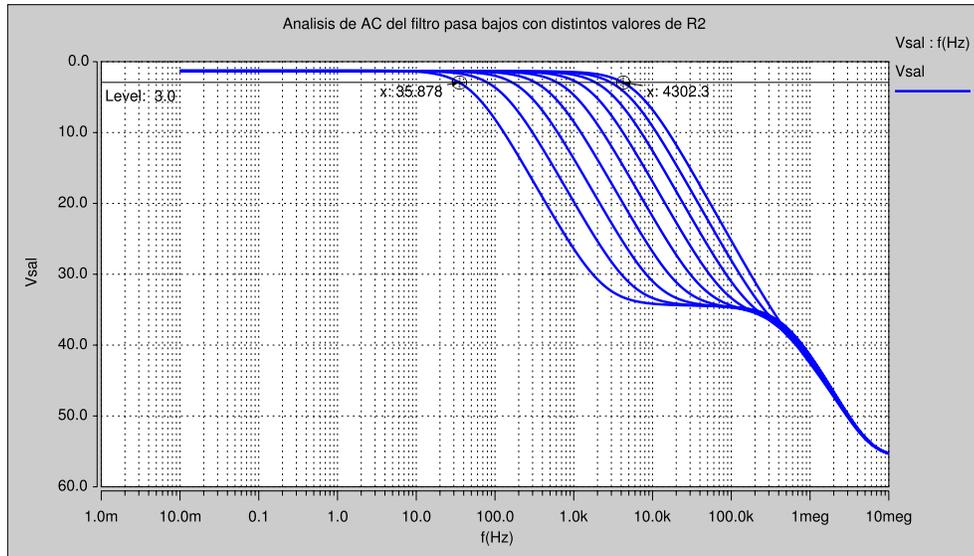


Figura 4.11: Análisis AC del filtro con el multiplicador de capacitancia (post-layout).

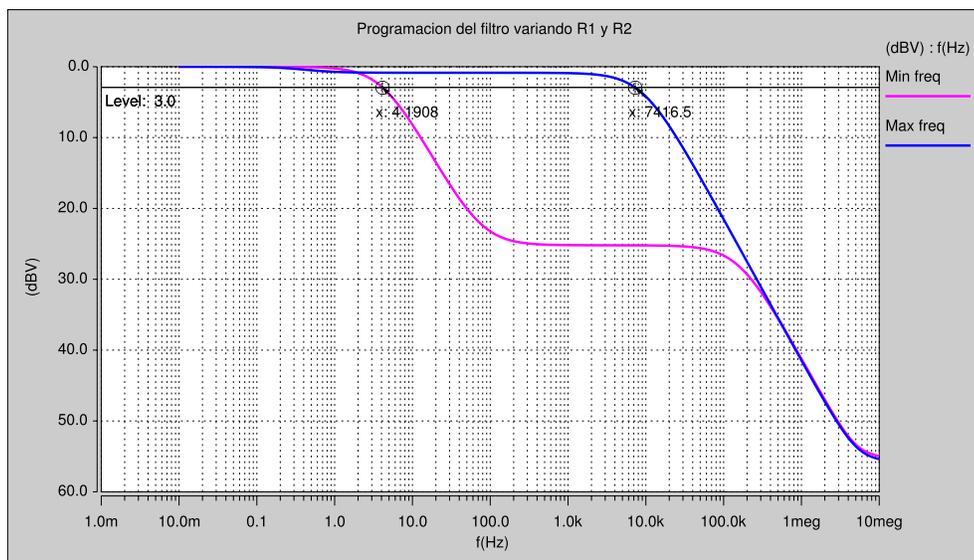


Figura 4.12: Análisis AC del filtro con el multiplicador de capacitancia variando R_1 y R_2 (post-layout).

a multiplicar ocupa casi el 40% del total del área.

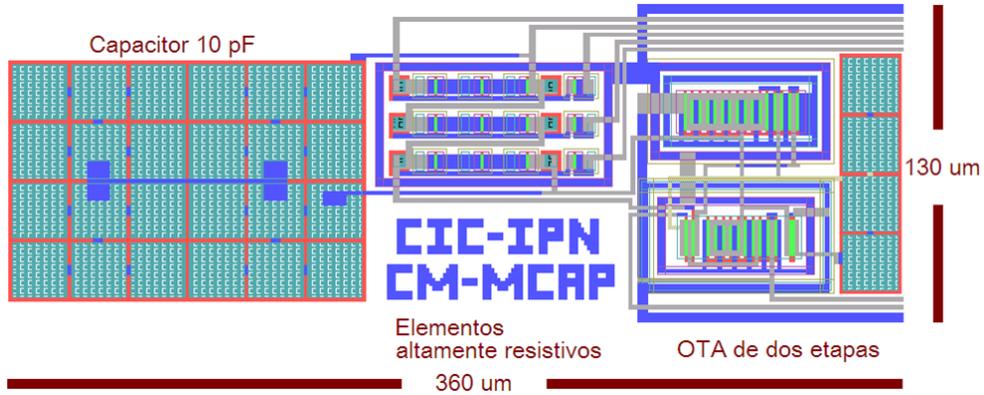


Figura 4.13: Layout del filtro pasa bajos utilizando multiplicador de capacitancia con elementos altamente resistivos.

4.3. Multiplicador de capacitancia en modo corriente a partir de CCII

Hasta ahora se han descrito un multiplicador de capacitancia en modo voltaje y un multiplicador de capacitancia en modo corriente. En el primer caso la corriente de polarización limita la capacitancia máxima y la frecuencia máxima de trabajo, mientras que en el segundo caso la corriente de polarización limita el ancho de banda del amplificador, además, el valor del capacitor de compensación C_c del amplificador debe ser similar al capacitor que se multiplica C (de acuerdo a la técnica de compensación de Miller), por lo que manejar capacitores C de alto valor implica un gasto considerable en el área de silicio. Como alternativa, en esta sección se presenta un multiplicador de capacitancia programable clase AB que permite manejar capacitores C de alto valor y que requiere corrientes de polarización muy pequeñas, reduciendo el consumo de potencia.

Como se describió en el capítulo anterior, otra forma de realizar un escalador de impedancia es con un traspasador de corriente de segunda generación con un factor de ganancia k en la copia de corriente de la terminal X a la terminal Z . Para la realización de este escalador se comenzará por describir la realización del traspasador de corriente.

Recordando la estructura del traspasador de corriente de segunda generación (figura

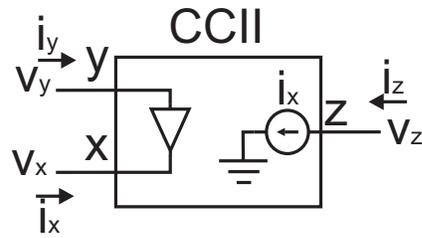


Figura 4.14: Diagrama a bloques para representar el funcionamiento del CCII.

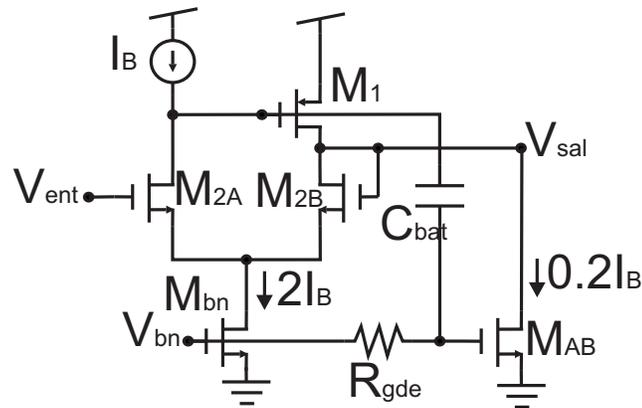


Figura 4.15: Seguidor de voltaje flipped voltage diferencial clase AB presentado en [44].

4.14) se observa que un CCII está formado por un seguidor de voltaje y una fuente de corriente controlada. De esta forma, la primer etapa a describir es el seguidor de voltaje.

Para el seguidor de voltaje se tienen dos propuestas: un seguidor clase AB con un transistor auxiliar para el manejo de corriente y un seguidor clase AB con polarización adaptativa. Cabe mencionar que ambos requieren aproximadamente el mismo número de transistores.

Como se discutió en el capítulo anterior, el seguidor de voltaje presentado en [44] (mostrado en la figura 4.15) es clase AB y tiene un buen rango de excursión de señal. No obstante este circuito requiere de transistores de compuerta flotante y no puede ser compensado mediante la técnica de Miller debido a la ausencia de un nodo de alta impedancia, por lo que los capacitores C_c y C_{bat} requieren de mucha área. Los seguidores de voltaje diseñados en este trabajo se basan en este diseño, pero teniendo como prioridad reducir los requerimientos de área.

El primer diseño de seguidor de voltaje es mostrado en la figura 4.16. Este diseño hace

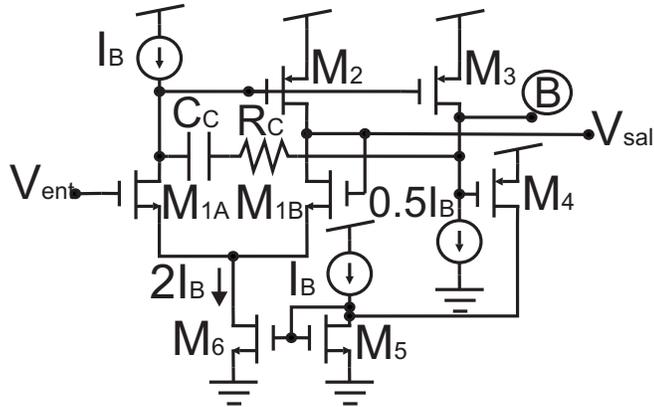


Figura 4.17: Diseño propuesto de seguidor de voltaje clase AB con polarización adaptativa.

Parámetro	Valor
M_{2A}, M_{2B}	$\frac{48}{0.6} \mu m$
M_1	$\frac{24}{1.2} \mu m$
M_{AB}	$\frac{9.6}{1.2} \mu m$
M_{Bn}	$\frac{48}{1.2} \mu m$
C_{bat}	$1pF$
R_{gde}	$100k\Omega$
C_c	$2pF$
R_c	$100k\Omega$

Cuadro 4.5: Parámetros utilizados para las simulaciones del seguidor propuesto en [41].

el transistor M_4 no contará con el voltaje entre compuerta y fuente suficiente para encenderse, entonces se hace una segunda propuesta mostrada en la figura 4.17. Dado que en este diseño el voltaje de fuente del transistor M_4 y el voltaje de salida son independientes, entonces este diseño puede trabajar con voltajes más negativos que la primer propuesta.

En este segundo diseño, a la polarización I_B del par diferencial se añade la corriente entregada por la carga al transistor M_4 cuando se activa el comparador de corriente. Esta corriente se copia a la polarización del par diferencial proveyendo a dicha fuente la capacidad de extraer la corriente de la carga que sea requerida.

Para las simulaciones de estos dos circuitos se utilizaron los detalles de diseño mostrados en la tabla 4.4.

Los dos seguidores propuestos y el seguidor de voltaje reportado en [41] fueron simulados

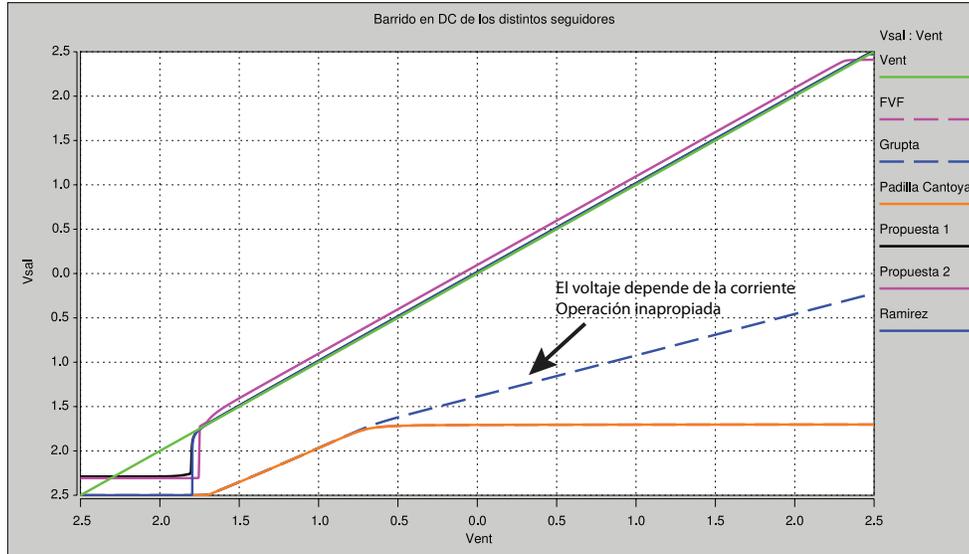


Figura 4.18: Barrido en DC del voltaje de entrada en los distintos seguidores.

en HSPICE usando los detalles de diseño de las tablas 4.4 y 4.5 y los parámetros de la tecnología ON-SEMI proporcionados por el consorcio de fabricación de MOSIS.

La primera prueba realizada para los seguidores de voltaje es un barrido en DC del voltaje de entrada, obteniendo la gráfica mostrada en la figura 4.18. Como se puede observar en dicha gráfica, las propuestas de Padilla [41] y el FVF [39] muestran un rango de excursión de señal reducido que va de $-1.7V$ a $0.75V$, además de presentar un corrimiento de voltaje con respecto a la entrada. En la gráfica también se observa que las propuestas hechas en este trabajo de tesis así como la propuesta de Ramírez [44] presentan rangos de excursión de señal amplios que van de $-1.8V$ a $2.4V$.

Con la finalidad de conocer la precisión del seguidor de voltaje se realizó la gráfica del error del voltaje de salida contra el voltaje de entrada resultando en la gráfica mostrada en la figura 4.19. Como se puede observar el seguidor del primer circuito tiene menos error en un rango más amplio, sin embargo, en los dos casos el circuito funciona mejor para voltajes mayores a 0. Es posible hacer corrección del offset sistemático para reducir el error en el rango funcional de los dos circuitos.

Para demostrar la operación clase AB de los circuitos propuestos se presentan las gráficas

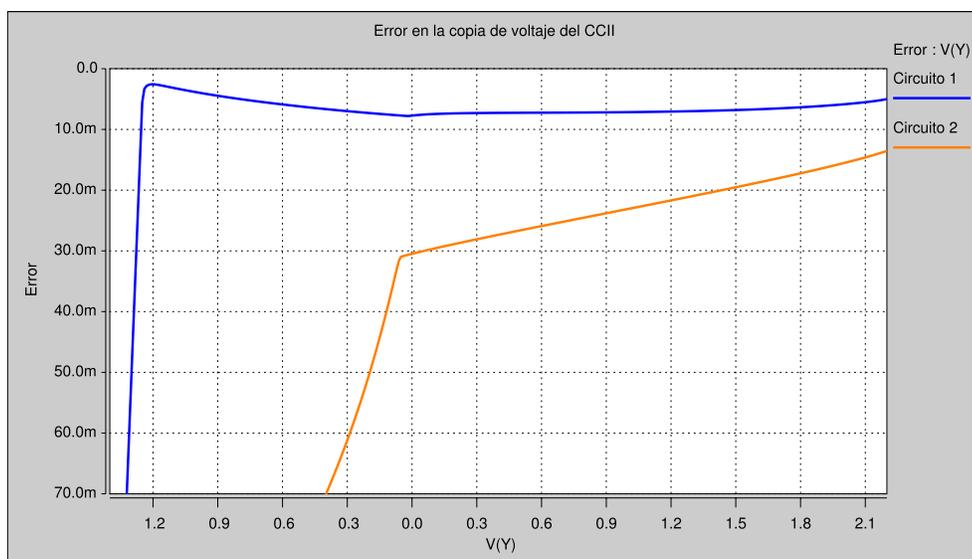


Figura 4.19: Error en la copia de voltaje de los distintos seguidores

de las figuras 4.20 y 4.21. En la figura 4.20 se realiza un barrido en DC de la corriente de salida del circuito de la primera propuesta mostrado en la figura 4.16. En esta gráfica se puede ver que cuando la carga entrega corriente al circuito entra en funcionamiento el transistor M_4 , de igual forma, cuando la carga extrae corriente del circuito lo hace a través del transistor M_2 . Cabe mencionar que el sentido de la corriente en la gráfica se debe a que ambos transistores son tipo P.

En la figura 4.21 se muestra un barrido en DC de la corriente de salida del circuito de la segunda propuesta mostrado en la figura 4.17. En dicha gráfica se observa que, análogo a los resultados del circuito anterior, en este caso el transistor que entrega corriente a la carga es también el M_2 , sin embargo la corriente se extrae de la carga por medio del transistor M_6 , que es la fuente de corriente adaptativa.

Con las simulaciones presentadas se demuestra la clase AB de los dos circuitos propuestos ya que manejando corrientes de polarización de $5\mu A$ la carga puede extraer o entregar corrientes de hasta $1mA$, esto beneficia en el desempeño del circuito y reduce el consumo estático de potencia ya que no se extrae corriente adicional de las fuentes de polarización V_{DD} y V_{SS} a menos que las condiciones de la carga o las transiciones de la señal de entrada lo requieran.

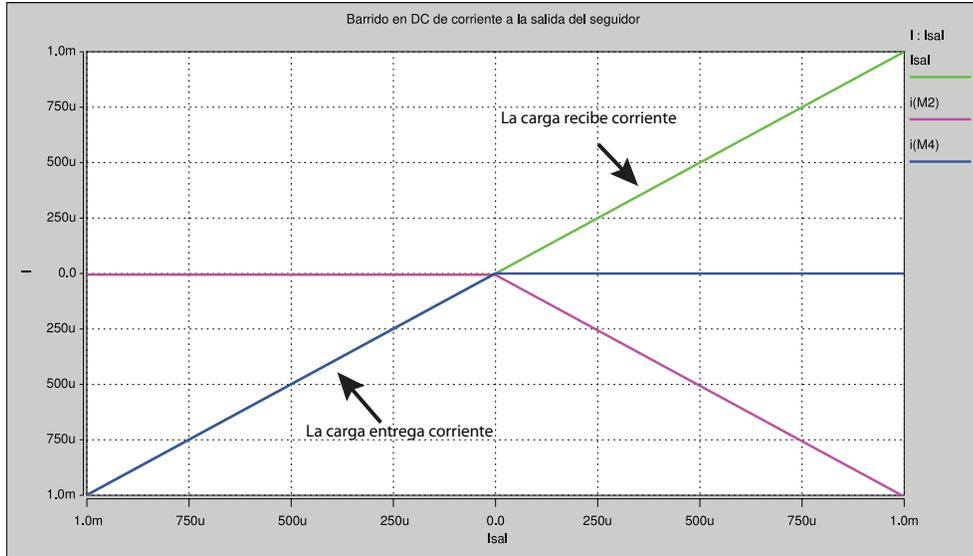


Figura 4.20: Barrido en DC de la corriente de salida del seguidor de la propuesta 1.

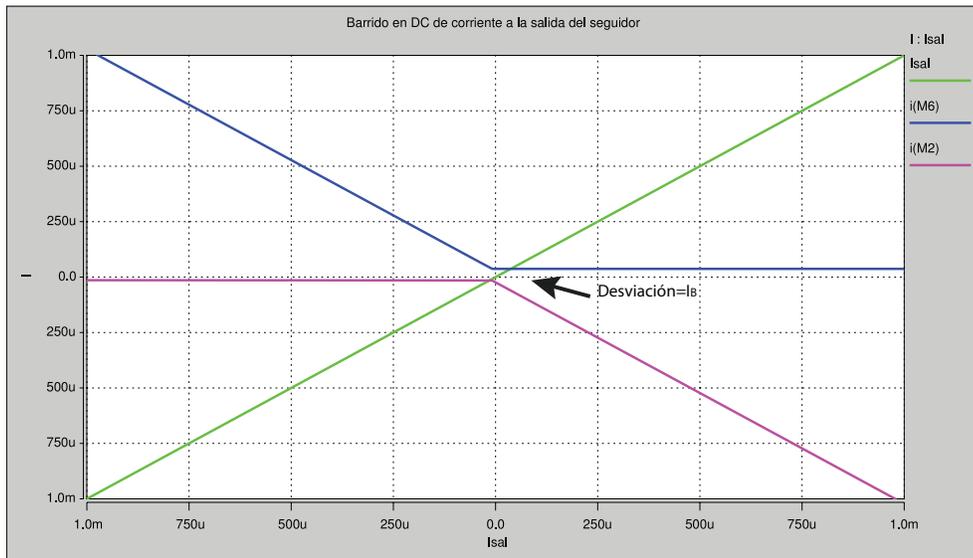


Figura 4.21: Barrido en DC de la corriente de salida del seguidor de la propuesta 2.

Una vez descrito el buffer seguidor de voltaje se procede a describir la copia de corriente para realizar el traspasador de corriente, recordando que en traspasador de corriente de segunda generación se hace una copia de la corriente en la terminal X para reflejarla la terminal Z . Además, el traspasador de corriente necesario para el escalamiento de impedancias debe ser negativo para garantizar estabilidad al retroalimentar, por lo que la corriente deberá invertirse

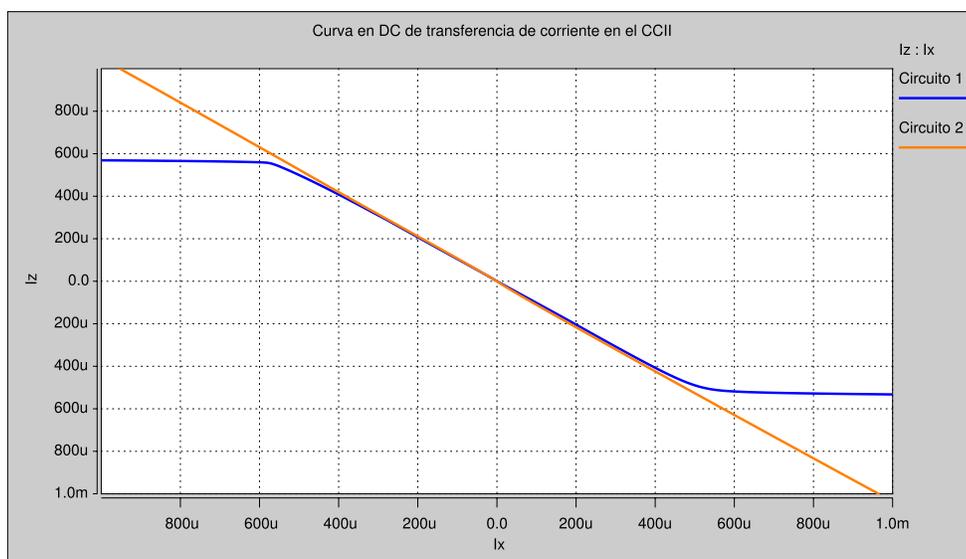


Figura 4.24: Análisis en DC de la copia de corriente de la terminal X a la terminal Z en el $CCII-$ de los circuitos propuestos.

en la fuente de M_4 generado por la r_0 del mismo y la corriente copiada es tal que el voltaje V_{GS} de M_4 no deja encender al mismo. En contraparte, el circuito de la segunda propuesta no presenta este error dado que en este circuito no se presenta este efecto y aumenta el rango en el que se copian las corrientes.

Para poder evaluar la precisión de la copia de corriente en la figura 4.25 se muestra la gráfica del error en la copia de la corriente. Como se mencionaba anteriormente, el primer circuito adquiere una pendiente muy pronunciada en valores menores a $-600\mu A$ y superiores $600\mu A$ no así en el caso de la segunda propuesta cuyo error aumenta de forma constante en este rango de corrientes.

Ahora que se tienen los diseños descritos se pueden explicar las pruebas hechas a los circuitos de $CCII-$ propuestos. Las primeras pruebas son respuestas en AC que corresponden a la impedancia en la terminal X y en la terminal Y . En la gráfica de la figura 4.26 se muestra el resultado de simulación de la impedancia en la terminal X . Se puede observar que dado que el nodo X es la salida de un flipped voltage follower, entonces la resistencia de la terminal X estará dada por la expresión (4.3.3) [42].

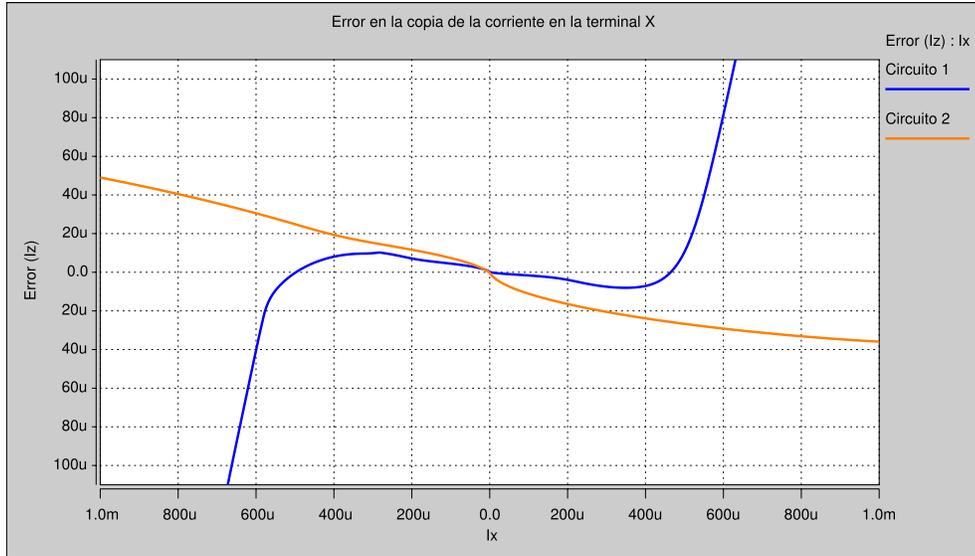


Figura 4.25: Análisis en DC de la copia de corriente de la terminal X a la terminal Z en el $CCII-$ de los circuitos propuestos.

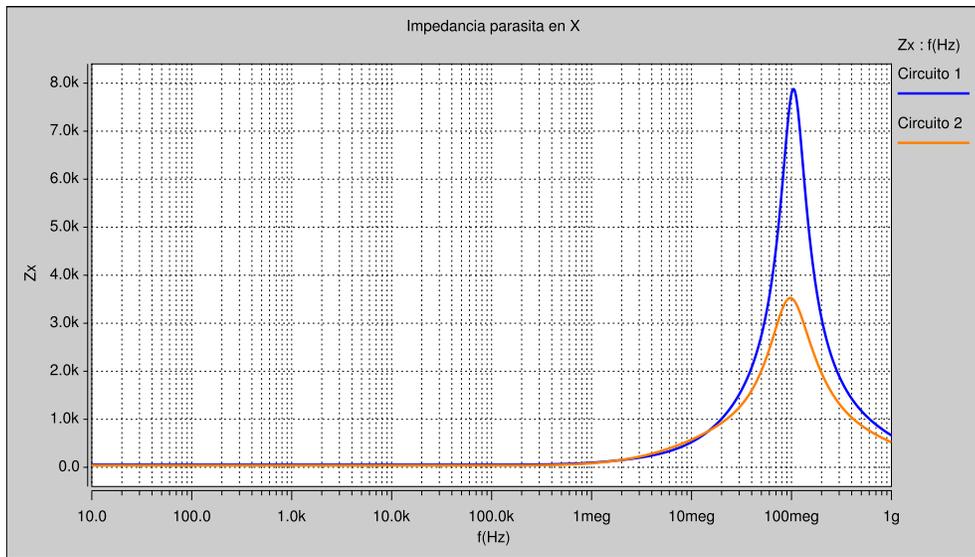


Figura 4.26: Análisis en AC de la impedancia parásita en la terminal X .

$$R_X \cong \frac{g_{d1B} + 2g_{db2}}{g_{m1B}g_{m2}} \quad (4.3.2)$$

De 4.3.3 se observa que la impedancia en la terminal X será de valor pequeño, lo cual se verifica en la gráfica de la figura 4.26 para ambos circuitos. En esta gráfica se muestra que la

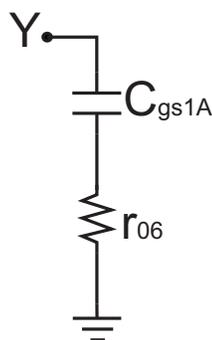


Figura 4.27: Circuito equivalente de la terminal Y .

impedancia es mucho menor a $1k\Omega$ en bajas frecuencias y en el caso de los dos circuitos tiene un pico que comienza en $1MHz$, frecuencia a la cual las capacitancias parásitas comienzan a ser significativas.

La impedancia de la terminal Y se calcula obteniendo el circuito equivalente mostrado en la figura 4.27 donde C_{gs1A} es la capacitancia entre compuerta y fuente del transistor M_{1A} y r_{o6} es la impedancia de salida del transistor que polariza al par diferencial. De esta figura se obtiene que

$$Z_Y = \frac{1}{sC_{gs1A}} + r_{o6} \quad (4.3.3)$$

De la ecuación (4.3.3) se observa que para niveles cercanos a DC la impedancia en Y será muy grande, sin embargo mientras la frecuencia va aumentando, dicha impedancia va disminuyendo hasta acercarse al valor de r_0 , lo anterior puede verse en la gráfica de la figura 4.28 donde de $10Hz$ hasta $1kHz$ la impedancia en la terminal Y es del orden de $G\Omega$ y después de $1kHz$ la impedancia se estabiliza en valores pequeños.

Después se prosigue a evaluar la respuesta en frecuencia de la ganancia del voltaje el cual es mostrado en la figura 4.29. En dicha figura se puede observar que la ganancia en voltaje es de $0dB$ en bajas frecuencias y hasta los $11MHz$ a partir de donde la ganancia muestra un pequeño sobretiro que puede quitarse aumentando el capacitor de compensación del seguidor de voltaje pero sacrificando ancho de banda. Por último se ve una caída de la corriente en ambos circuitos.

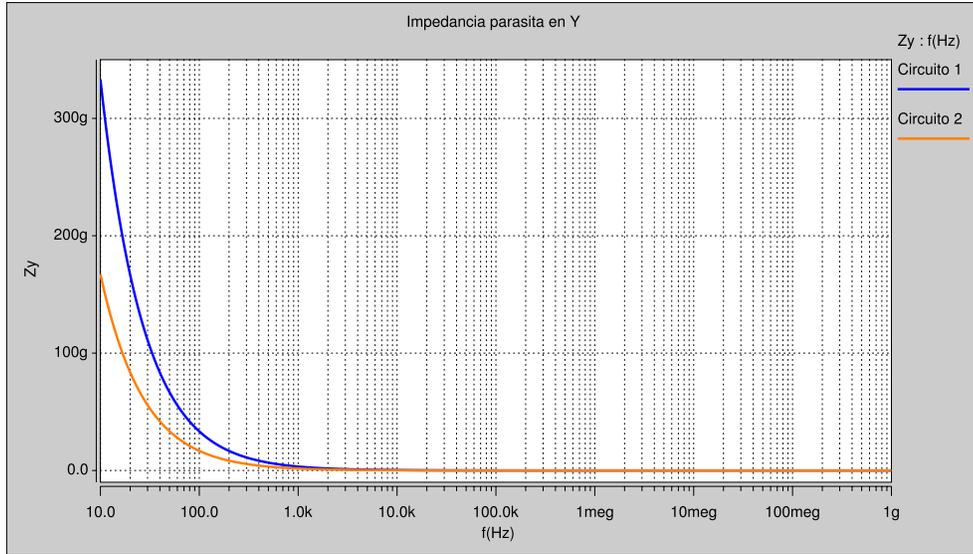


Figura 4.28: Análisis en AC de la impedancia parásita en la terminal Y.

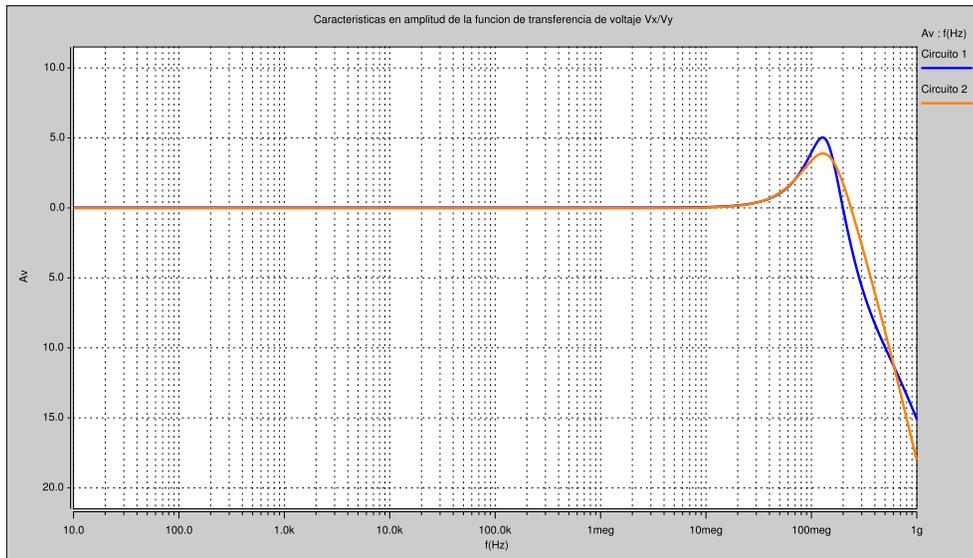


Figura 4.29: Análisis en AC de la ganancia de voltaje del $CCII^-$.

Otro valor que es importante describir es la ganancia de corriente del $CCII^-$ dicho análisis se encuentra graficado en la figura 4.30 de este análisis se puede notar que ambos circuitos funcionan con una buena copia de corriente hasta aproximadamente 5MHz , a partir de dónde la ganancia cae. En el caso del circuito de la primer propuesta se observa un cero aproximadamente a los 13MHz pero dado que la ganancia a esa frecuencia ya está por debajo

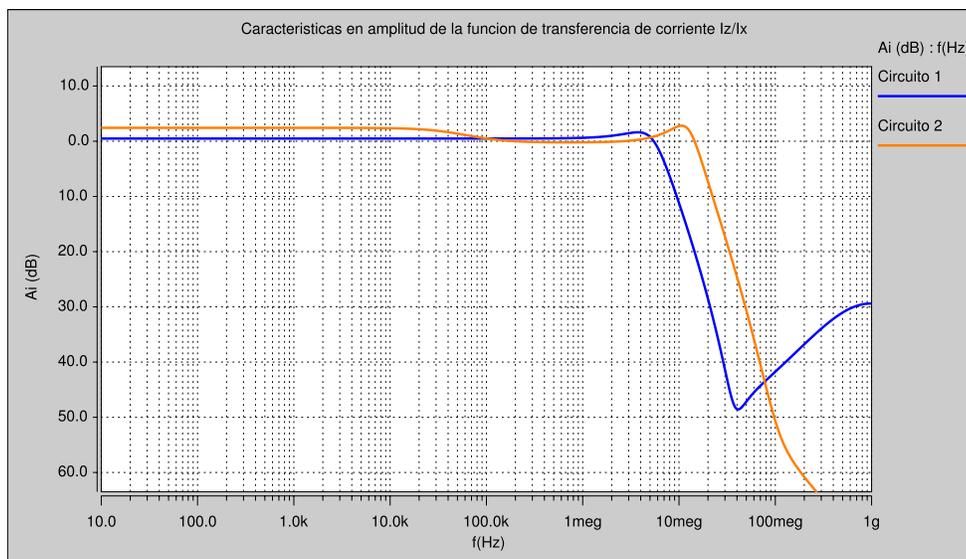


Figura 4.30: Análisis en AC de la ganancia de corriente del $CCII-$.

de los $30dB$ es posible ignorar el efecto del mismo.

Ya que se encuentra descrito el comportamiento del circuito en AC se procedió a realizar un análisis transitorio del circuito tomando como señal de entrada una cuadrada dado que es la prueba más difícil a la que se puede someter al circuito pues esta señal tiene componentes en todas las frecuencias. En la figura 4.31 se muestra el resultado de la copia de voltaje desde la terminal Y a la terminal X con una señal cuadrada de $200kHz$ y cuya amplitud va desde $-0.5V$ hasta $0.5V$. Como la gráfica muestra, la realización con comparadores de corriente es más lenta en ambos ciclos aunque no presenta sobretiro de ningún tipo, de igual forma se observa la propuesta 2 es más rápida tanto en el ciclo positivo como en el ciclo negativo, aunque esto también produce un sobretiro que no reduce sustancialmente aumentando el capacitor de compensación, además la propuesta realizada con polarización adaptativa muestra un offset de aproximadamente $60mV$ que no muestra la otra propuesta.

Una opción para aumentar la velocidad del circuito de la propuesta que utiliza comparadores de corriente es disminuir el valor del capacitor de compensación aunque esto llevará tener un sobretiro indeseable.

También se muestra en la figura 4.32 el análisis transitorio, para el caso del inciso a) se

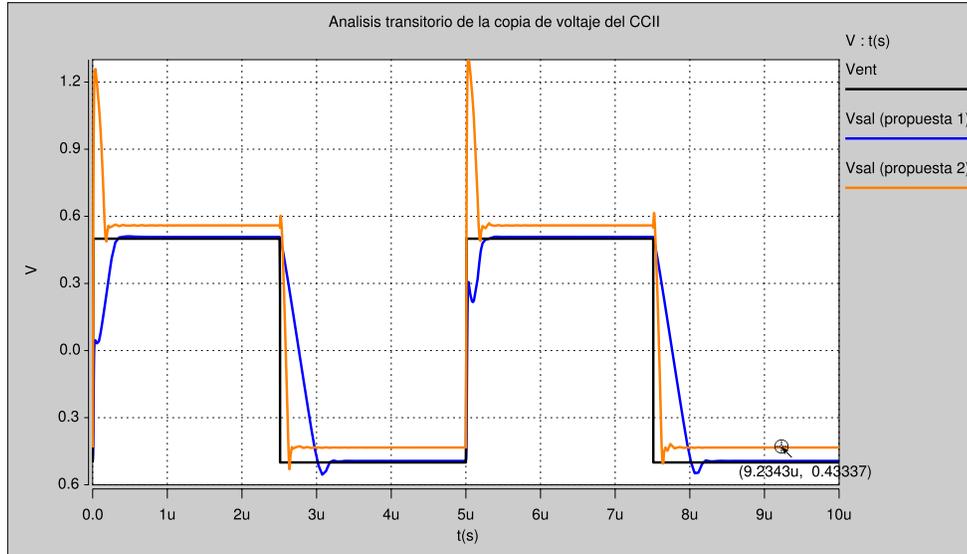


Figura 4.31: Análisis transitorio del CCII utilizando como entrada una señal cuadrada en la terminal Y.

utilizó una señal cuadrada de $2\mu A$ de amplitud. Como la gráfica muestra existe una desviación de la copia ideal debida mayormente a que las copias de corriente en los espejos no son tan exactas y ya que se está utilizando una corriente de amplitud muy pequeña como entrada esto produce que el error sea muy notorio. En el inciso b) se utiliza una amplitud de corriente de $20\mu A$ lo que origina en el caso de ambas propuestas una disminución en el error en la copia de corriente, sin embargo en ambos casos genera un sobretiro causado por la necesidad de incrementar a corrientes más grandes en tiempos pequeños.

La última prueba realizada de análisis transitorios es mostrada en la figura 4.33. En dicha figura se observa que las variaciones de la ganancia se reflejan correctamente en la terminal Z, para dicho análisis se utilizó como entrada una señal cuadrada de $2\mu A$ de amplitud, dado que la señal es pequeña, el error en el ciclo negativo es grande, sin embargo en el ciclo positivo se puede observar que la señal tiene poco error después de haberse estabilizado. Los valores de ganancia que se tomaron corresponden a cada uno de los bits que se pueden encender.

Ya que se encuentra descrito el comportamiento del traspasador de corriente, en la figura 4.34 se muestra el diseño en layout realizado en L-EDIT de la suite de Tanner V13.0. Es impor-

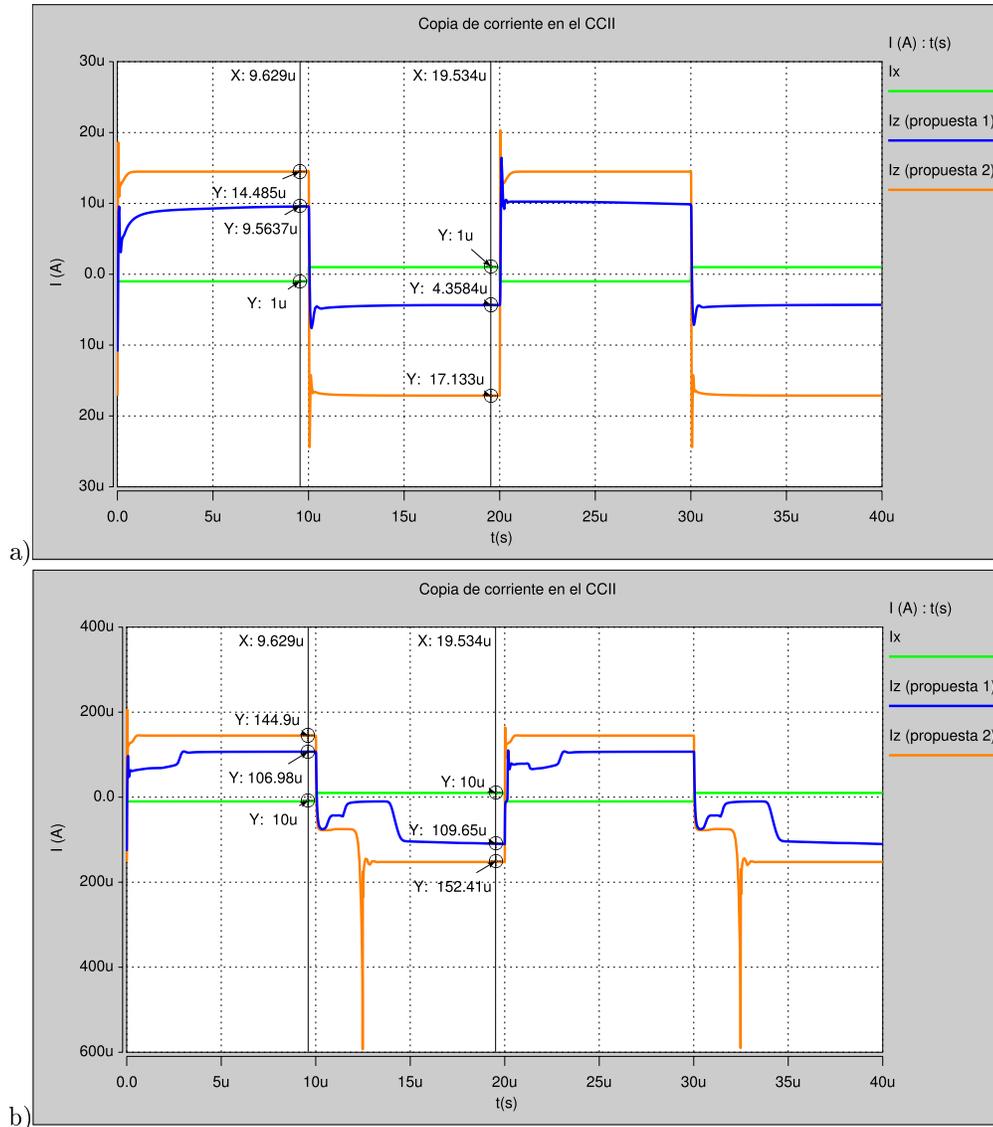


Figura 4.32: Análisis transitorio del CCII utilizando como entrada una señal cuadrada en la terminal X a) con amplitud $2\mu A$ b) con amplitud $20\mu A$.

tante recalcar el tamaño del circuito que como se observa en la figura es de $460\lambda \times 380\lambda$, como la tecnología utilizada es de $0.5\mu m$, entonces se tiene que $\lambda = 0.3\mu m$. Convirtiendo el tamaño del circuito a micras se tiene que el tamaño del circuito es de $138\mu m \times 114\mu m$ y por tanto el área que ocupa es de $0.015732mm^2$.

Una vez presentado el traspasador de corriente clase AB, la programación de la ganancia

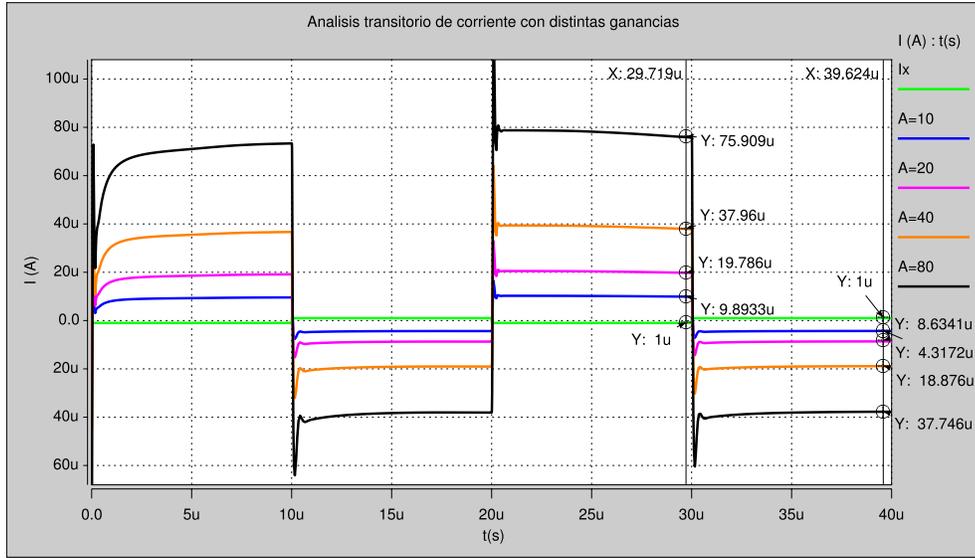


Figura 4.33: Análisis transitorio del CCII variando la ganancia del CCII.

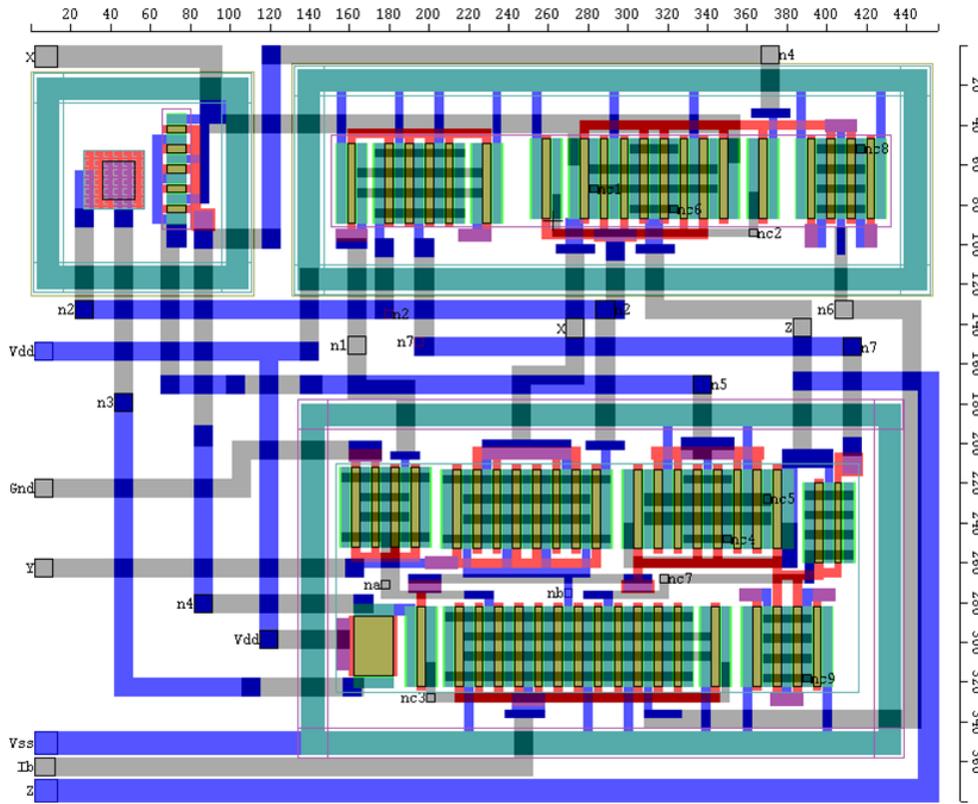


Figura 4.34: Layout del CCII de la propuesta 1.

se realizará digitalmente utilizando transistores como interruptores como se muestra en la figura

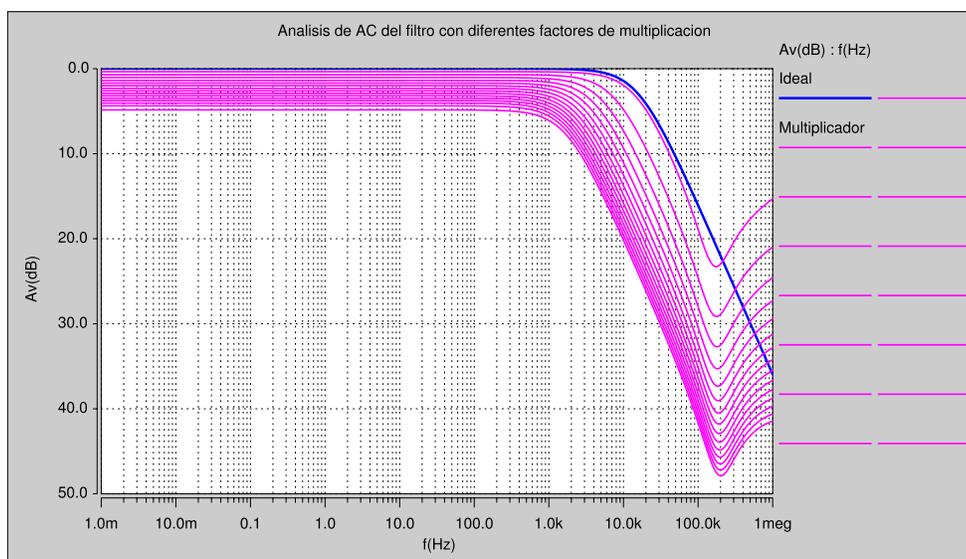


Figura 4.37: Programación del filtro con CCII-.

literatura. La segunda realización opera con señales en modo voltaje utilizando elementos altamente resistivos y aprovechando el efecto Miller. En comparación con las otras dos realizaciones, este multiplicador presenta un rango de programación mayor, que va por encima de las 3 décadas en el caso en que se varíen ambos resistores del amplificador. No obstante, la ganancia del multiplicador de impedancia no presenta un comportamiento lineal con respecto a las señales de control. La última realización está dividida en dos propuestas de $CCII-$, la primera de ellas con un comparador de corriente y la segunda con polarización adaptativa. Las realizaciones tienen un voltaje de polarización de $\pm 2.5V$. La copia de voltaje de la terminal Y a la terminal X muestra un error de $10mV$ en el rango de $-1.2V$ a $2.2V$ para la realización del circuito con comparador de corriente y de $30mV$ de $0V$ a $2.2V$ para la realización del circuito con polarización adaptativa. En el análisis en DC el primer circuito copia la corriente en un rango de $-600\mu A$ a $600\mu A$ y para el segundo circuito se copia desde $-1mA$ hasta $1mA$ con un error máximo de $50\mu A$. La impedancia en la terminal X tiene valores menores a $1k\Omega$ en bajas frecuencias y alta impedancia en la terminal Y, comportamiento que es deseable en un $CCII$. El análisis de AC del voltaje muestra ganancia unitaria hasta los $11MHz$ y en corriente hasta los $3MHz$ a partir de donde la ganancia cae. El análisis transitorio muestra que la onda cuadrada se sigue

bien aunque con un offset en el caso de la segunda realización. Ambas realizaciones muestran un sobretiro producto que se puede quitar sacrificando la velocidad del circuito. El análisis del filtro pasa bajos realizado muestra un factor de programación de una década el cuál se sintoniza digitalmente.

Capítulo 5

Conclusiones

5.1. Resumen

Tres propuestas novedosas de escaladores de impedancia fueron presentadas en esta tesis. La primera propuesta se realizó con espejos de corriente programables analógicamente a partir de señales de control en modo voltaje. Esto incrementa la precisión de la programación aunque ésta es no-lineal. El rango de programación obtenido fue de una década, permitiendo multiplicar capacitores por un factor máximo de 10 y teniendo una resistencia equivalente del orden de $10M\Omega$ definida por la salida cascode con la ecuación $R_{sal} = r_{ds10}^3 g_{m10} \parallel r_{ds12b}^3 g_{m12b}$. La segunda propuesta permitió lograr más de 4 décadas de programación con un consumo de potencia de tan solo $360\mu W$ ya que utiliza elementos altamente resistivos programados electrónicamente por medio de voltajes analógicos. La resistencia equivalente del circuito es del orden de $300G\Omega$ que es el valor promedio del elemento altamente resistivo. La programación obtenida resultó no lineal. Esta no linealidad se mejoró por medio de la tercera propuesta a partir de *CCII*– con retroalimentación negativa. Estos circuitos tienen la ventaja de ser programados digitalmente, lo cual los vuelve fáciles de programar a expensas de una programación únicamente en valores discretos. Estas realizaciones cuentan con 4 bits de programación, lo que da un factor de multiplicación de hasta 15. La resistencia equivalente de este circuito está dada por la salida cascode de la terminal *Z* en paralelo con la entrada de un flipped voltage de la terminal *Y*, es decir

$$R_X \cong \frac{g_{d1B} + 2g_{db2}}{g_{m1B} g_{m2}} \text{ donde } R_x \text{ es del orden de } 30\Omega$$

Escalador	Operación	P estática	$V_{DD} - V_{SS}$	Factor de prog.	ΔC mínima	No. Transist.
Modo corriente	Clase A	$550\mu W$	5V	10 – 1000	1fF	24 (4 C)
Modo voltaje	Clase A	$360\mu W$	3V	0.0005 – 1800	1fF	21 (7 C)
Modo corriente CCII	Clase AB	$87.5\mu W$	5V	1 – 15	1fF	19 (1 C)

Cuadro 5.1: Resultados obtenidos en el trabajo de tesis.

Entre los bloques funcionales propuestos para el diseño de los multiplicadores de capacitancia se propusieron dos seguidores de voltaje clase AB y dos CCII clase AB. Todos estos diseños se sustentan en un principio de comparación de corriente, lo que se refleja en reducidos consumos de potencia y requerimientos de área de silicio.

Se presentaron en este trabajo de tesis dos diseños innovadores de *CCII*– clase AB, lo que resulta en un aumento en el ancho de banda y en una disminución en la potencia utilizada. El primer diseño hace uso de un comparador de corriente para activar la clase B del seguidor de voltaje y el segundo diseño hace uso de polarización adaptativa con el mismo fin. Ambas propuestas mostraron buenos resultados en las pruebas realizadas y pueden ser utilizados en diferentes aplicaciones gracias a las características que tienen. En la tabla 5.1 se muestra un resumen de las características de los escaladores presentados en esta tesis.

Otra aportación de este trabajo es la traducción del término *current conveyor* como “traspasador de corriente”. Este término no se encuentra reportado en la literatura en español.

5.2. Discusión

Los diseños propuestos en este trabajo de tesis son alternativas novedosas para el escalamiento de impedancia. La propuesta del multiplicador con espejos programables se asemeja a las presentadas en [24, 28, 30]. La propuesta mostrada en este trabajo es programable electrónicamente a diferencia de los trabajos presentados en [28, 30]. Además logra factores de multiplicación de 100 a diferencia del factor de 10 que reporta [30] o el factor de 1000 que reporta [24].

El diseño con el amplificador operacional se puede comparar con los trabajos presentados

en [21, 26], sin embargo [21] utiliza transistores BJT por lo que sus características mejoran. El circuito presentado permite un factor de multiplicación de 10^4 mientras que [21] logra 10^5 y en [26] se logra un factor de 525. Sin embargo [21] no permite sintonización más que con la corriente de polarización y [26] con una corriente de regulación. Comparado con ambos, el circuito presentado en este trabajo es programado mediante voltaje, lo que hace mucho más sencillo de programar.

Para poder compara el tercer diseño se realiza contra las propuestas de [19, 20, 23]. En el caso del circuito de [23] la realización con BJT no permite realizar una comparativa más precisa, en el caso de los circuitos propuestos en [19, 20] la sintonización se hace por medio de elementos pasivos, lo cual lo hace impráctico después de fabricado el chip. En estos dos circuitos que es posible programar el factor de escalamiento esto se lleva a cabo en tiempo continuo lo que dificulta la precisión del ajuste de dicho factor, en el caso de la propuesta presentado en este trabajo la sintonización se logra por medio de switches que facilita la programación. Además las tres propuestas [19, 20, 23] utilizan CCII clase A, lo que dificultaría el escalamiento de resistores pues dichos elementos manejan corrientes mayores que las que maneja un capacitor, en contraparte, el circuito propuesto en este trabajo al ser clase AB permite escalamiento de resistores e incluso la realización de resistores negativos.

Las cuatro propuestas presentadas en este trabajo tienen sus ventajas y desventajas frente a otras realizaciones debido al compromiso que existe entre ganar sobre alguna característica y perder en otra, sin embargo todas forman una alternativa diferente para lograr escalamiento de impedancia.

5.3. Trabajo a futuro

Existen diversas posibles modificaciones que se pueden hacer a este trabajo de tesis con el fin de mejorar algunos resultados, entre los que se pueden citar:

- Agregar más etapas de multiplicación de corriente en el multiplicador en modo corriente

realizado con espejos de corriente programables (con relaciones de aspecto mayores a 1) para incrementar el factor de multiplicación.

- Diseñar un amplificador operacional de bajo ruido para mejorar la salida del multiplicador en modo voltaje. También es posible diseñar un amplificador con mayor ganancia que permita obtener factores de sintonización mayores.
- Diseñar un elemento altamente resistivo programable con control lineal del resistor con la finalidad de simplificar el circuito de control de sintonización.
- Caracterizar los circuitos propuestos en este trabajo de tesis.
- Probar otras topologías de escaladores de impedancia con el *CCII*– que pudieran mejorar el desempeño del multiplicador de capacitancia y que incluso podrían llevar a conseguir realizaciones que no sean aterrizadas.
- Escalar los diseños presentados en esta trabajo a tecnologías más modernas.
- Diseñar un *CCII*– cuya programación sea analógica con la finalidad de obtener mayor precisión al momento de hacer la programación del factor de multiplicación.
- Compensar el cero parásito de alta frecuencia que aparece en todos los multiplicadores de capacitancia para mejorar la respuesta en frecuencia e incrementar el rango de programación.

Bibliografía

- [1] B. Razavi, "Design of Analog CMOS Integrated Circuits," Ed. Mc Graw Hill, 2001.
- [2] F. Maloberti, "Analog Design for CMOS VLSI Systems," Ed. Kluwer Academic Publishers.
- [3] A. S. Sedra y G. W. Roberts, "Analogue IC Design: The Current-Mode Approach," Ed. Institution of Engineering and Technology, 1993.
- [4] D. Stefanovic y M Kayal, "Structured Analog CMOS Design," Ed. Springer, 2008.
- [5] Y. Yang, M. Ismail y S. Bibyk, "Adaptive Miller capacitor multiplier for compact on-chip PLL filter," *Electronics Letters*, vol. 39, no. 1, pp 43-45, Enero 2003.
- [6] G. Palmisano, G. Palumbo y S. Pennisi "Design Procedure for Two-Stage CMOS Transconductance Operational Amplifiers: A Tutorial," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 27, no. 3, Junio 2001.
- [7] M. J. M. Pelgrom, H. P. Tuinhout y M. Vertregt, "Transistor matching in analog CMOS applications," *International Electron Devices Meeting, 1998. IEDM '98 Technical Digest*, San Francisco, CA , USA , pp. 915-918, Diciembre 1998.
- [8] E. Sanchez-Sinecio y J. Silva-Martínez, "CMOS transconductance amplifiers, architectures and active filters: a tutorial," *IEE Proceedings - Circuits, Devices and Systems*, vol. 147, no. 1, pp 3-12, Febrero 2000.
- [9] C. Muñoz-Montero, H. Molina-Lozano, V. Ponce-Ponce y M. Ramírez-Salinas, "Wide-range linear-controlled CMOS current scalars," en revisión, *IEICE Transactional, Electronic*, Enero 2010.
- [10] G. Moore, "The Future of Integrated Electronics," Fairchild Semiconductor internal publication, 1964.
- [11] G. Moore, "Cramming more components onto integrated circuits," *Electronics*, vol. 38, no. 8, pp. 114-117, Abril 1965.
- [12] G. Moore, "Progress in Digital Integrated Electronics," *IEEE, IEDM Tech Digest*, pp.11-13, 1975.
- [13] G. Moore, "Lithography and the Future of Moore's Law," *Proceedings of the SPIE Optical/Laser Microlithography VIII*, vol. 2440, pp. 2-17, 1995.
- [14] R. Kumar, "The Business of Scaling," *IEEE Solid-State Circuits Newsletter*, vol. 12, no. 1, pp 22-26, invierno 2007.

- [15] J. F. Witte, K. A. A. Makinwa, y J. H. Huijsing, "A CMOS Chopper Offset-Stabilized Opamp," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 7, pp 1529-1535, Julio 2007.
- [16] M. Bhushan y R. Newcomb, "Grounding of capacitors in integrated circuits," *Electronics Letters*, vol. 3, no. 4, pp. 148-149, Abril 1967.
- [17] J. Arcamone, B. Misischi, F. Serra-Graells, M. A. F., van den Boogaart, J. Brugger, F. Torres, G. Abadal, N. Barniol, y F. Pérez-Murano, "A compact and low-power CMOS circuit for fully integrated NEMS resonators," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 54, no. 5, pp. 377-381, Mayo 2007.
- [18] P. Sheng-Yu, M. S. Qureshi, P. E. Hasler, A. Basu y F. L. Degertekin, "A Charge-Based Low-Power High-SNR Capacitive Sensing Interface Circuit," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, no. 7, pp. 1863-1872, Agosto 2008.
- [19] G. Ferri y S. Pennisi, "A 1.5-V Current-Mode Capacitance Multiplier," *Proceedings of the Tenth International Conference on Microelectronics, 1998. ICM '98, Monastir*, pp. 9-12. Diciembre 1998.
- [20] G. Di Cataldo, G. Ferri y S. Pennisi, "Active capacitance multipliers using traspasadores de corriente," *Proceedings of the 1998 IEEE International Symposium on Circuits and Systems, 1998. ISCAS '98, vol. 2. Monterrey CA*, pp. 343-346, Junio 1998.
- [21] W. Jaikla y M. Siripruchyanan, "An Electronically Controllable Capacitance Multiplier with Temperature Compensation," *International Symposium on Communications and Information Technologies, 2006. ISCIT '06, Bangkok*, pp. 356-359, Septiembre 2006.
- [22] P. Silapan, C. Tanaphatsiri y M. Siripruchyanun, "Current Controlled CCTA Based-Novel Grounded Capacitance Multiplier with Temperature Compensation," *IEEE Asia Pacific Conference on Circuits and Systems, 2008. APCCAS 2008, Macao*, pp. 1490-1493, Diciembre 2008.
- [23] M. Siripruchyanan y W. Jaikla, "Floating Capacitance Multiplier using DVCC and CCCIs," *International Symposium on Communications and Information Technologies, 2007. ISCIT '07, Sydney, NSW*, pp. 218-221, Octubre 2007.
- [24] S. Pennisi, "High Accuracy CMOS Capacitance Multiplier," *9th International Conference on Electronics, Circuits and Systems, 2002, vol. 1*. pp. 389-392, Diciembre 2002.
- [25] H. Y. Darweesh, F. A. Farag, y Y. A. Khalaf, "New Active Capacitance Multiplier For Low Cutoff Frequency Filter Design," presentado en *International Conference on Microelectronics, Cairo, Egipto, 2007*.
- [26] T. Kulej, "Regulated Capacitance Multiplier in CMOS Technology," presentado en *MIXDES-16th International Conference on Mixed Design of Integrated Circuits & Systems, Lodz, Polonia, 2009*.
- [27] W. Jaikla, A. Lahiri y M. Siripruchyanan, "Capacitance Multipliers Using Tunable Four Terminal Floating Nullors," presentado en *2010 International Conference on Electrical Engineering/Electronics Computer Telecommunications and Information Technology (ECTI-CON), Chaing Mai, Tailandia, Mayo 2010*.

- [28] J. Choi, J. Park, W. Kim, K. Lim y J. Laskar, "High multiplication factor capacitor multiplier for an on-chip PLL loop filter," *Electronics Letters*, vol. 45, no. 5, pp 239-240, Febrero 2009.
- [29] P. Brînzoi, A. Cracan y N. Cojan, "A new approach in designing electrically controlled capacitance multipliers," presentado en 2011 10th International Symposium on Signals, Circuits and Systems (ISSCS), Iasi, Rumania, Julio 2011.
- [30] J. Silva-Martínez y A. Vázquez-González, "Impedance Scalers for IC Active Filters," presentado en Proceedings of the 1998 IEEE International Symposium on Circuits and Systems (ISCAS '98), California, Estados Unidos, Junio 1998.
- [31] J. Ramírez, C. A. Urquidi, R. González, A. Torralba, y A. López, "A New Family of Very-Low-Voltage Analog Circuits Based on Quasi-Floating-Gate Transistors," *IEEE transactions on circuits and systems-II: analog and digital signal processing*, vol. 50, no. 5, pp. 214-220, Mayo 2003.
- [32] J. Ramírez, S. C. Choi, y G. González, "Low-Voltage Circuits Building Blocks Using Multiple-Input Floating-Gate Transistors," *IEEE transactions on circuits and systems-I: fundamental theory and applications*, vol. 42, no. 11, pp. 971-974, Noviembre 1995.
- [33] J. Ramírez, G. Gonzalez, y S. C. Choi, "Modelling multiple-input floating-gate transistors for analog signal processing," presentado en 1997 IEEE International Symposium on Circuits and Systems, Hong Kong, China, Junio 1997.
- [34] C. Muñoz, V. H. Ponce, M. E. Jáuregui, y O. Espinosa, "Analog computing based on quasi-infinite resistors," en revisión, *revista computación y sistemas*, Diciembre 2010.
- [35] M. Bikumandla, J. Ramírez-Angulo, C. Urquidi, R. G. Carvajal y A. J. López-Martin, "Biasing CMOS amplifiers using MOS transistors in subthreshold region," *IEICE Electron. Express*, vol. 1, no. 12, pp. 339-345, 2004.
- [36] C. Muñoz-Montero, R. González-Carvajal, A. Díaz y M. Rocha, "New strategies to improve offset and the speed-accuracy-power tradeoff in CMOS amplifiers," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 53 no. 2-3, pp. 81-95, 2007.
- [37] A. Tajalli, Y. Leblebici, y E. J. Brauer, "Implementing ultra-high-value floating tunable CMOS resistors," *Electronics Letters*, vol. 44, no. 5, pp. 349-350, Febrero 2008.
- [38] A. Torralba, C. Lujan-Martinez, R. G. Carvajal, J. Galan, M. Pennisi, J. Ramirez-Angulo, A. Lopez-Martin, "Tunable Linear MOS Resistors Using Quasi-Floating-Gate Techniques," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, no. 1, Enero 2009, pp. 41-45.
- [39] R. G. Carvajal, J. Ramírez-Angulo, A. López-Martin, A. Torralba, J. Galán, A. Carlosena y F. Muñoz, "The Flipped Voltage Follower: A useful cell for low-voltage low-power circuit design," *IEEE Transactions on Circuits and Systems II* vol. 52, no. 7, 2005, Julio 2005, pp. 1276-1291.
- [40] S. Gupta, I. R. Padilla, J. Ramírez-Angulo, A. Torralba y M. Jiménez, "Comparison of Conventional and New Flipped Voltage Follower Structures," *IEEE Midwest Symposium on Circuits and Systems*, Cincinnati, OH, Agosto 21-23 2005.

- [41] I. Padilla-Cantoya, J. E. Molinar-Solís y G. O. Ducoudary, "Class AB low-voltage CMOS Voltage Follower," IEEE 50th Midwest Symposium on Circuits and Systems MWSCAS, Montreal, Quebec, Agosto 5-8 2007.
- [42] G. Palmisano, G. Palumbo y S. Pennisi, "High-Performance and Simple CMOS Unity-Gain Amplifier," IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 47, no. 3, Marzo 2000, pp. 406-410.
- [43] B. Razavi, "Principles of Data Conversion System Design," IEEE Wiley Interscience, 1995, sección 7.1.2 pp. 160-165.
- [44] J. Ramírez-Angulo, S. Gupta, R. G. Carvajal, y A. López-Martin, "New improved CMOS class AB buffers based on differential flipped voltage followers," in Proc. IEEE International Symposium on Circuits and Systems, Kos, Grecia, Mayo 2006, pp. V3914-V3917.
- [45] J. E. Lilienfeld, "Method and Apparatus for Controlling Electric Currents," U.S. Patent 1 745 175, Ene. 28, 1930.
- [46] C. C. Enz, F. Krummenacher y E. A. Vittoz, "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications," Analog Integrated Circuits and Signal Processing, vol. 8 no. 1, Julio 1995, pp. 83-114.
- [47] Y. Cheng y C. Hu, "MOSFET Modeling and BSIM3 User Guide," Kluwer Academic Publishers, 1999.
- [48] W. Liu. y C. Hu, "BSIM4 and MOSFET Modeling for IC Simulation," World Scientific Publishing, Singapore, 2011.
- [49] J. N. Babanezhad y R. Gregorian, "A Programmable Gain/Loss Circuit," IEEE Journal of Solid-State Circuits, vol. 22, no. 6, Diciembre1987, pp. 1082-1090.
- [50] K. Bult y G. J. G. M. Geelen, "The CMOS gain-boosting technique," Analog Integrated Circuits and Signal Processing, vol. 1, no. 2, Octubre 1991, pp. 119-135.
- [51] B.J. Blalock y P.E. Allen "A low-voltage, bulk-driven MOSFET current mirror for CMOS technology," 1995 IEEE International Symposium on Circuits and Systems, 1995. ISCAS '95, vol. 3, Seattle , Washington , USA, Mayo 1995, pp. 1972-1975.
- [52] J. M. Miller, "Dependence of the input impedance of a three-electrode vacuum tube upon the load in the plate circuit," Scientific Papers of the Bureau of Standards, vol. 15, no. 351, Washington, USA, Noviembre 1919, pp 367-385.

Glosario

NMOS: (Negative-channel Metal-Oxide Semiconductor) Es un tipo de semiconductor que se carga negativamente de modo que los transistores se enciendan o apaguen con el movimiento de los electrones.

PMOS: (Positive-channel Metal-Oxide Semiconductor) Es un tipo de semiconductor que se carga positivamente de modo que los transistores se enciendan o apaguen moviendo las valencias de electrones.

CMOS: (Complementary metal-oxide-semiconductor) Es una de las familias lógicas empleadas en la fabricación de circuitos integrados. Su principal característica consiste en la utilización conjunta de transistores de tipo PMOS y tipo NMOS configurados de tal forma que, en estado de reposo, el consumo de energía es únicamente el debido a las corrientes parásitas.

Capacitor: Dispositivo pasivo capaz de almacenar energía sustentando un campo eléctrico. Está formado por un par de superficies conductoras en situación de influencia total (esto es, que todas las líneas de campo eléctrico que parten de una van a parar a la otra) separadas por un material dieléctrico o por el vacío. Las placas, sometidas a una diferencia de potencial, adquieren una determinada carga eléctrica, positiva en una de ellas y negativa en la otra, siendo nula la variación de carga total.

Capacitancia: Es la propiedad que tienen los cuerpos para mantener una carga eléctrica. La capacitancia también es una medida de la cantidad de energía eléctrica almacenada para un potencial eléctrico dado.

Cantilever: Tipo de viga denominado más comúnmente voladizo (en inglés cantilever)

que se caracteriza por estar apoyada en sólo uno de sus extremos mediante un empotramiento.

Impedancia: Magnitud que establece la relación (cociente) entre la tensión y la intensidad de corriente. Es la oposición total (Resistencia, Reactancia inductiva, Reactancia capacitiva) sobre la corriente.

Polarización: Es el campo vectorial que expresa la densidad de los momentos eléctricos dipolares permanentes o inducidos en un material dieléctrico

Trasconductancia: Es el cociente entre la corriente de placa (I_a) y la tensión de rejilla (V_g), manteniendo la tensión de placa (V_a) constante. En realidad es la variación que experimenta la corriente de placa cuando variamos 1 voltio la polarización de la rejilla.

Oblea de silicio: Plancha de material semiconductor sobre la que se construyen microcircuitos mediante técnicas de dopado, grabado químico y deposición de varios materiales.

Polo: Valor(es) para z donde el denominador de la función de transferencia $H(z)$ es igual a cero.

Nodo: Punto de conexión entre dos o más elementos de un circuito.

Offset: Diferencia en DC entre dos señales que deberían ser iguales (corriente, voltaje, etc).

Traspasador de corriente: Dispositivo electrónico de tres o cuatro terminales que tiene características de voltaje y corriente en cada una de sus terminales, este dispositivo hace copias de corriente de una terminal a otra además de copias de voltaje de igual forma. También posible denotarlo con las siglas CC provenientes de su nombre en inglés current conveyor.

Mismatch: Error al momento de la fabricación por motivos del mismo proceso. Es el error en cuanto a dimensiones que existe entre el circuito que se manda a fabricar y el circuito que realmente se fabrica.

Layout: Representación de un circuito integrado en términos de formas geométricas planas que corresponden a las capas de metal, óxido y semiconductor que componen dicho circuito integrado.

Parásita: Todas aquellas señales y efectos, de origen eléctrico, no deseadas y que están

unidas a la señal principal, de manera que la pueden alterar produciendo efectos no deseados.

Circuito sintonizable: Circuito que posee la capacidad de adaptar sus características por medio de variaciones de alguno de sus elementos.

Dieléctrico: Material mal conductor de electricidad que puede ser utilizado como aislante y además si es sometido a un campo eléctrico externo, puede establecerse en él un campo eléctrico interno.

Transistor de compuerta flotante: Transistor MOS cuya compuerta está aislada eléctricamente creando un nodo flotante en DC y añadiendo compuertas adicionales al mismo transistor.

Resistor: Componente electrónico diseñado para impedir el paso de corriente entre dos puntos de un circuito.

Voltaje: Magnitud física que cuantifica la diferencia de potencial eléctrico entre dos puntos. También se puede definir como el trabajo por unidad de carga ejercido por el campo eléctrico sobre una partícula cargada para moverla entre dos posiciones determinadas.

Anulador: Dispositivo electrónico que tiene como fin eliminar la corriente inducida en circuitos con voltajes bajos.

Slew-Rate: Velocidad de cambio del voltaje de salida con respecto a las variaciones en el voltaje de entrada.