



Instituto Politécnico Nacional

Centro de Investigación en Computación

Secretaría de Investigación y Posgrado

**DISEÑO DE BLOQUES FUNCIONALES DE UN
MODULADOR SIGMA-DELTA CMOS PARA UN
CONVERTIDOR DE SOBREMUESTREO DE
SEGUNDO ORDEN**

T E S I S

QUE PARA OBTENER EL GRADO DE

MAESTRO EN CIENCIAS EN INGENIERÍA DE CÓMPUTO
CON OPCIÓN EN SISTEMAS DIGITALES

P R E S E N T A

ING. CASTILLO CERVANTES JUAN ANTONIO

DIRECTOR (ES) DE TESIS:



Dr. Carlos Muñiz Montero

Dr. Herón Molina Lozano

MÉXICO, D.F. a 19 de Junio de 2013



INSTITUTO POLITÉCNICO NACIONAL SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

ACTA DE REVISIÓN DE TESIS

En la Ciudad de México, D.F. siendo las 11:00 horas del día 19 del mes de junio de 2013 se reunieron los miembros de la Comisión Revisora de la Tesis, designada por el Colegio de Profesores de Estudios de Posgrado e Investigación del:

Centro de Investigación en Computación

para examinar la tesis titulada:

"Diseño de bloques funcionales de un modulador sigma-delta CMOS para un convertidor de sobremuestreo de segundo orden"

Presentada por el alumno:

CASTILLO

Apellido paterno

CERVANTES

Apellido materno

JUAN ANTONIO

Nombre(s)

Con registro:

A	1	1	0	8	6	9
---	---	---	---	---	---	---

aspirante de: **MAESTRÍA EN CIENCIAS EN INGENIERÍA DE CÓMPUTO CON OPCIÓN EN SISTEMAS DIGITALES**

Después de intercambiar opiniones los miembros de la Comisión manifestaron **APROBAR LA TESIS**, en virtud de que satisface los requisitos señalados por las disposiciones reglamentarias vigentes.

LA COMISIÓN REVISORA

Directores de Tesis

Dr. Herón Molina Lozano

Dr. Carlos Muñiz Montero

Dr. Víctor Hugo Ponce Ponce

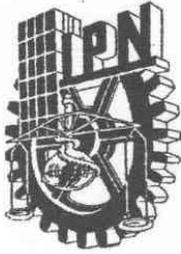
Dr. Hector Báez Medina

Dr. Alfonso Gutiérrez Aldana

PRESIDENTE DEL COLEGIO DE PROFESORES



INSTITUTO POLITÉCNICO NACIONAL
CENTRO DE INVESTIGACION
COMPUTACION
DIRECCION



INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

CARTA CESIÓN DE DERECHOS

En la Ciudad de México el día 19 del mes de junio del año 2013 el (la) que suscribe Juan Antonio Castillo Cervantes alumno (a) del Programa de Maestría en Ciencias en Ingeniería de Computo con Opcion en Sistemas Digitales con número de registro A110869, adscrito al Laboratorio de Microtecnología y Sistemas Embebidos, manifiesta que es autor (a) intelectual del presente trabajo de Tesis bajo la dirección de Dr. Carlos Muñiz Montero y Dr. Herón Molina Lozano y cede los derechos del trabajo intitulado “Diseño de bloques funcionales de un modulador sigma-delta CMOS para un convertidor de sobremuestreo de segundo orden”, al Instituto Politécnico Nacional para su difusión, con fines académicos y de investigación.

Los usuarios de la información no deben reproducir el contenido textual, gráficas o datos del trabajo sin el permiso expreso del autor y/o director del trabajo. Este puede ser obtenido escribiendo a la siguiente dirección jacastillo@tlaloclabs.com. Si el permiso se otorga, el usuario deberá dar el agradecimiento correspondiente y citar la fuente del mismo.

Juan Antonio Castillo Cervantes

Nombre y firma



Resumen

En este trabajo se presenta el diseño del modulador $\Sigma\Delta$ de segundo orden con una fuente de voltaje de 3 volts riel a riel para señales de 40 kHz con una relación de sobremuestreo de 128, la reducción de ruido se estima sobre los 90 dB teóricos en una tecnología CMOS de 0.5 μ con un consumo de 1800 μ W. Se implementan los criterios de estabilidad convencionales y se diseñan los AOT de los integradores en dos etapas con compensación de Miller. Este diseño es de carácter general para señales de sensores requiriendo un acondicionamiento de señal entre 100 y 500 mV.

Abstract

In this work the design of a second order $\Sigma\Delta$ modulator with 3 v power supply rail to rail to 40 kHz signals with an oversampling ratio of 128 is presented, the signal to noise ratio is theoretical estimated over 90 dB over a 0.5 μ CMOS technology with 1800 μ W of power consumption. The conventional stability criteria are implemented and the OAT's integrator is designed in two stages with Miller compensation. This is a general design to sensors that requires signal condition with between 100 and 500 mV.



Dedicatorias

Dedico este trabajo a mi familia que me acompaña en el espléndido viaje de la vida y a mis amigos que no son otra cosa que una extensión de la familia. De igual forma dedico este trabajo a quienes día a día obran para que las cosas sucedan mejor.



Agradecimientos

Agradezco al Centro de Investigación en Computación (CIC) del Instituto Politécnico Nacional (IPN), personal administrativo y docente por darme cabida para la formación y desarrollo de este trabajo.

Agradezco especialmente al Dr. Carlos Muñiz Montero y Dr. Herón Molina Lozano por la guía personal y mentaría académica que me han proporcionado durante la estadía en el programa de maestría

Agradezco al Consejo Nacional de Ciencia y Tecnología por (CONACYT) por su valioso apoyo con la beca número 321505 con número de registro 260624, y por su soporte a través del proyecto número 181201-Y.

Agradezco al Instituto Politécnico Nacional por la beca institucional “Beca Tesis Maestría” folio 305 del periodo 2012- 2013 y la beca del Programa Institucional de Formación de Investigadores (PIFI) con folio 2485 del periodo PIFI-02-2012.

Finalmente agradezco a la Secretaría de Investigación y Posgrado – IPN por el apoyo recibido a través del proyecto SIP 20131047.



Índice general

Acta de revisión de tesis	i.
Carta de Cesión de derechos	ii.
Resumen	iii.
Abstract.....	iv.
Dedicatorias.....	v.
Agradecimientos	vi.
Índice de tablas	vii.
Índice de figuras.....	viii.
Glosario de términos	ix.
CAPÍTULO 1 Introducción.	1
1.1 Antecedentes	2
1.2 Planteamiento del problema.....	6
1.3 Justificación de la tesis.....	6
1.4 Objetivo general	7
1.4.1 Objetivos particulares	8
1.5 Alcances del trabajo.....	8
1.6 Contribuciones	8
1.7 Método de investigación y desarrollo utilizado	9
1.8 Organización del trabajo.....	9
CAPÍTULO 2 Estado del Arte.....	11
2.1 Modulación sigma delta.....	12
2.1.1 Orden de la arquitectura.....	14
2.1.2 Reducción de ruido.....	15
2.2 Trabajos relacionados	19
2.2.1 Simulación de macromodelos.....	21
2.2.2 Arquitecturas propuestas.....	22



CAPÍTULO 3 Marco Teórico	24
3.1 <i>Sobremuestreo y reducción de ruido</i>	25
3.2 <i>Moduladores $\Sigma\Delta$ con capacitores conmutados</i>	27
3.3 <i>Moduladores $\Sigma\Delta$ de segundo orden con capacitores conmutados</i>	29
3.3.1 <i>Integrador con capacitores conmutados</i>	30
3.3.2 <i>Convertidor AD de 1bit con capacitores conmutados</i>	34
3.3.3 <i>Convertidor DA de 1bit con capacitores conmutados y retroalimentación</i>	36
CAPÍTULO 4 Modelo propuesto	38
4.1 <i>Arquitectura propuesta</i>	39
4.2 <i>Integrador diferencial</i>	42
4.3 <i>Comparador diferencial</i>	46
4.4 <i>Convertidor DA diferencial con interruptores y retroalimentación</i>	47
CAPÍTULO 5 Pruebas y resultados	49
5.1 <i>Simulación del modulador $\Sigma\Delta$ de segundo orden</i>	50
5.2 <i>Resultados de simulación</i>	51
5.2.1 <i>Integrador</i>	51
5.2.1 <i>Convertidores</i>	53
CAPÍTULO 6 Conclusiones y trabajo futuro	55
6.1 <i>Conclusiones</i>	56
6.2 <i>Trabajo futuro</i>	57
ANEXO A	59
A.1. <i>Simulación con Simulink de Matlab</i>	59
ANEXO B	60
B.1. <i>Simulación con LTSPice</i>	60
B.2. <i>Modelo MOSIS para transistores AMIS 0.5</i>	63
ANEXO C	65
C.1. <i>Diseño topológico de los bloques</i>	65
Referencias	68
<i>Libros y monografías</i>	68
<i>Revistas y actas de congresos</i>	68



Índice de tablas

<i>Tabla 1-1 – Tabla comparativa entre convertidores AD.</i>	<i>7</i>
<i>Tabla 5-1 - Valores de los capacitores del integrador respecto a la ganancia del lazo y los valores adecuados para implementación.....</i>	<i>51</i>
<i>Tabla 5-2 - Parámetros de diseño del AOT.....</i>	<i>52</i>
<i>Tabla 5-3 – Corrientes en el amplificador AOT y la relaciones de aspecto para 0.5 μ.</i>	<i>52</i>
<i>Tabla 5-4 - Relación de aspecto de los transistores del AOT.....</i>	<i>53</i>
<i>Tabla 5-5 - Relación de aspecto de los transistores del comparador.....</i>	<i>53</i>
<i>Tabla 5-6 - Relación de aspecto de los transistores del convertidor DA de 1 bit.....</i>	<i>54</i>
<i>Tabla 6-1 - Tabla comparativa entre trabajos publicados y el presentado.</i>	<i>57</i>



Índice de figuras

Figura 1-1 Diagrama a bloques de un convertidor analógico a digital.....	2
Figura 1-2 – Diagrama a bloques de un convertidor AD $\Sigma\Delta$	4
Figura 1-3 - Comparativa entre los tipos de convertidores.....	5
Figura 2-1 - Modulador delta sigma.....	12
Figura 2-2 - Modulador $\Sigma\Delta$ (sigma delta).....	13
Figura 2-3 - Diagrama a bloques del modulador $\Delta\Sigma$ del segundo orden.....	14
Figura 2-4 - Diagrama a bloques del modulador $\Delta\Sigma$ de tercer orden.....	15
Figura 2-5 - Error de cuantificación.....	16
Figura 2-6 - Distribución del error sobre un paso.....	16
Figura 2-7 - Distribución del ruido en un convertidor Nyquist y sobremuestreo.....	17
Figura 2-8 - Respuesta FTR para modulador de primer y segundo orden.....	19
Figura 2-9 - Taxonomía de publicaciones base para el trabajo de tesis de moduladores $\Sigma\Delta$	20
Figura 2-10 - Modelo de segundo orden que incluye ruido térmico y defasamiento de reloj.....	22
Figura 2-11 - Diagrama a bloques de modulador $\Sigma\Delta$ segundo orden con ganancias en el lazo de retroalimentación.....	23
Figura 3-1 - Diagrama a bloques del modulador sigma delta de primer orden.....	28
Figura 3-2 - Esquema de reloj sin traslapamiento para circuitos con capacitores conmutados.....	29
Figura 3-3 - Modelo para la emulación de resistores con capacitores conmutados.....	30
Figura 3-4 - Circuito equivalente a la emulación del resistor.....	31
Figura 3-5 - Emulación de transresistencia negativa.....	32
Figura 3-6 - Circuito integrador no inversor con resistencia emulada.....	33
Figura 3-7 - Circuito equivalente al circuito integrador no inversor de la figura 3-5.....	33
Figura 3-8 - Respuesta del comparador ideal.....	35
Figura 3-9 - Respuesta del comparador real.....	35
Figura 3-10 - Suma de voltajes para el integrador (implementación de la retroalimentación).....	36
Figura 4-1 – a) Arquitectura propuesta del modulador sigma delta de segundo orden, y b) esquema de reloj.....	41
Figura 4-2 - Integrador simétrico destacando la ganancia K1.....	43
Figura 4-3 - Integrador simétrico destacando K2.....	43
Figura 4-4 - Esquemático del AOT de los integradores.....	44
Figura 4-5 - Esquemático del comparador con entrada diferencial (V_p , V_n).....	46
Figura 4-6 - Diagrama del convertidor DA de 1 bit.....	47
Figura 4-7 - Esquemático del convertidor diferencial 1 bit.....	48
Figura 5-1 – Diagrama a bloques del modulador de segundo orden (Simulink).....	50
Figura 5-2 – Bloque que implementa el convertidor DA.....	50
Figura A-1 – Gráfica de salida del modulador, el integrador 2 y el integrador 1 (descendente).....	59
Figura B-1 - Simulación AC y DC del AOT que implementa los integradores.....	60
Figura B-2 - Respuesta en frecuencia del AOT.....	61
Figura B-3 - Respuesta en frecuencia a lazo cerrado.....	61
Figura B-4 - Simulación del convertidor AD de 1 bit (comparador).....	62
Figura B-5 - Salida del convertidor DA de 1 bit y esquema de reloj.....	62
Figura C-1 – Esquemático topológico del AOT totalmente diferencial.....	66
Figura C-2 - Esquemático topológico del comparador.....	67
Figura C-3 - Esquemático topológico del convertidor AD de 1 bit.....	67



Glosario de términos

AD *Analog-to-Digital*, Analógico a Digital, abreviación utilizada para referirse a un convertidor de señales eléctricas analógicas a digitales.

Antialias Filtro que permite el paso de frecuencias que no excedan el criterio de Nyquist

AOT Amplificador Operacional de Transconductancia, amplificador capaz de manejar cargas capacitivas.

Compuerta de transmisión Configuración de transistores que operan como interruptores, permiten el paso de una señal digital cuando los transistores saturan y presentan decenas de kilohms de resistencia cuando están apagados.

DA *Digital-to-Analog*, Digital a Analógico, abreviación ampliamente utilizada para un convertidor de señales digitales a analógicas.

Down-Sampler Disminución del muestreo, circuito empleado para disminuir la tasa de muestreo de una señal o para disminuir por decimación el tamaño de un conjunto de datos.

Flash Convertidor analógico a digital cuya conversión realiza un número de comparaciones igual al número de niveles de cuantificación.

FTR Función de transferencia de ruido, se refiere a la reducción de ruido que proveen los moduladores $\Sigma\Delta$.



LPF *Low Pass Filter*, Filtro Digital Pasabajas, circuito digital que permite cambiar aspectos de la señal digital de entrada, interpretándolos como la atenuación de señales con frecuencias superiores a la frecuencia de corte.

MEMS Micro-Electro-Mechanical Systems, Sistemas Micro-Electro-Mecanicos, se refiere a la tecnología de microfabricación de dispositivos y estructuras mecánicas y electromecánicas.

OSR *Oversampling Ratio*, Relación de Sobremuestreo, abreviación para hacer referencia a la relación que existe entre el número de muestras tomadas respecto al mínimo teórico de Nyquist.

Pipeline Convertidor analógico digital que converge a través de un conjunto de convertidores segmentados de baja resolución, realizando con ellos búsquedas binarias o multibit en rangos de voltaje que permiten refinar con mayor precisión la conversión final en cada etapa de la segmentación.

RSR Relación señal a ruido, relación que existe entre la potencia de una señal y el ruido contenido.

SAR *Successive Approximation Register*, Registro de Aproximaciones Sucesivas, convertidor analógico digital cuya conversión se realiza por la comparación de la señal de entrada y el valor asociado de todos los posibles niveles de cuantificación a través de una búsqueda binaria.

SR *Slew Rate*, Tasa de cambio en voltaje máximo en un circuito, usualmente se expresa en unidades de $V/\mu s$



CAPÍTULO 1 Introducción.

En este capítulo se describe el funcionamiento a bloques de los convertidores AD, los cuales permiten transformar una señal eléctrica continua en tiempo y amplitud a un conjunto de señales eléctricas discretas en tiempo y de amplitud cuantificada, binaria generalmente. Esto permite describir un convertidor AD de sobremuestreo y el funcionamiento de uno de sus bloques principales llamado modulador $\Sigma\Delta$, el cual es objeto de estudio de este trabajo. En seguida se plantea el problema abordado, justificándolo y estableciendo los objetivos así como los alcances y contribuciones de esta tesis. Finalmente, se presenta la metodología empleada en la investigación y la organización del resto de los capítulos del presente documento.

1.1 Antecedentes

1.2 Planteamiento del problema

1.3 Justificación de la tesis

1.4 Objetivo general

1.4.1 Objetivos particulares

1.5 Alcances del trabajo

1.6 Contribuciones

1.7 Método de investigación y desarrollo utilizado

1.8 Organización del trabajo

1.1 Antecedentes

Resulta fundamental en el procesamiento de información o sistemas de control la medición de cantidades físicas mediante el uso de sensores o transductores, estos transductores generalmente convierten estas cantidades físicas en señales eléctricas. Las señales eléctricas contienen información que debe procesarse para ser almacenada y/o para tomar decisiones. Debido a que el almacenamiento y el procesamiento se realizan de forma digital principalmente, resulta conveniente poder almacenar o procesar una señal eléctrica en una cantidad o código digital para su posterior uso o tratamiento.

Un convertidor AD permite interpretar de manera discreta una señal eléctrica continua $x(t)$ en un conjunto finito de valores o códigos digitales $x(n)$, donde t es algún instante de tiempo y n un número entero. En la figura 1-1 se muestra el diagrama a bloques de un convertidor AD en el cual se pueden identificar cuatro bloques consecutivos con un flujo de la información de derecha a izquierda, en donde se recibe a la entrada una señal eléctrica analógica $x(t)$ y se obtiene como resultado un código o palabra digital $x(n)$. A continuación, se describe brevemente cada elemento para poder señalar las particularidades de estos bloques en un convertidor AD $\Sigma\Delta$.

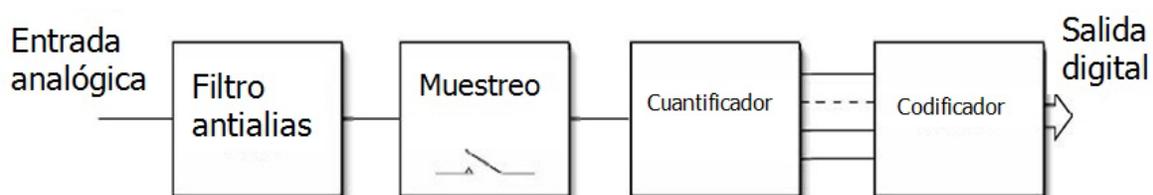


Figura 1-1 Diagrama a bloques de un convertidor analógico a digital.

En primer lugar el filtro antialias permite solamente el paso de frecuencias que pertenezcan al conjunto de frecuencias de la señal analógica de entrada, la omisión de este filtro puede originar ruido en el convertidor AD si la señal de entrada posee componentes de frecuencia superiores a la mitad de la frecuencia de muestreo, este filtro es generalmente de tiempo continuo, es decir, se implementa en forma analógica. El



bloque de muestreo permite tomar muestras de la señal continua de entrada de forma periódica convirtiendo así una señal continua en tiempo a discreta en tiempo.

El cuantificador define un rango de valores de entrada permitidos y asocia la señal muestreada a uno de los rangos de valores definidos. El codificador interpreta o codifica de forma única cada rango de valor del cuantificador, teniendo así una interpretación digital del valor continuo de entrada. A continuación, se describen los convertidores de acuerdo a la frecuencia de muestreo, que es una de las formas más comunes para clasificarlos.

Los convertidores, pueden ser clasificados de forma general por su frecuencia de muestreo en convertidores de Nyquist y convertidores de sobremuestreo. Los convertidores Nyquist son llamados así con relación al teorema de Nyquist, estos convertidores toman muestras a una tasa $F_N = 2F$, donde F es la máxima frecuencia de la señal de interés, mientras que los convertidores de sobremuestreo toman muestras a una frecuencia f_s mucho mayor que la frecuencia máxima F , la relación de sobremuestreo $OSR = f_s / F_N$ es típicamente 128, 256 o 512 [Boser].

Los convertidores de sobremuestreo permiten una resolución igual o superior en la conversión de señales analógicas comparado a los convertidores Nyquist, pero con la ventaja de consumir menos potencia y tener restricciones de diseño menos precisas en los componentes analógicos que lo constituyen [Schreier]. Esta característica se debe a que se utilizan técnicas de procesamiento digital en lugar de componentes analógicos complejos y precisos [Baker01].

En la figura 1-2 se muestra el diagrama a bloques de un convertidor AD de sobremuestreo tipo $\Sigma\Delta$ en su concepción más simple o de primer orden, donde se asume previamente un filtro antialias, el cual además de proveer de las características ya citadas, posee la propiedad de reducir el ruido respecto a la señal de entrada en la banda de interés como se verá en el marco teórico. Este convertidor, se encuentra constituido por dos bloques, el modulador y el decimador que a continuación se describen.

El modulador compuesto por cuatro bloques: un sumador, un integrador, un convertidor AD, y un convertidor DA, sobremuestra la señal de entrada $x(t)$ y la cuantifica en un conjunto de muestras moduladas con cardinalidad OSR $y'(n)$, mientras que el decimador compuesto por un filtro LPF y un circuito reductor de muestreo *Down-Sampler*, permite interpretar el conjunto estadísticamente para cuantificarlo y codificarlo de forma unívoca. Es decir, que la relación OSR define el tamaño de la muestra para una interpretación estadística de un conjunto de muestras de la señal de entrada $x(t)$ para convertirla a un solo valor $y(n)$.

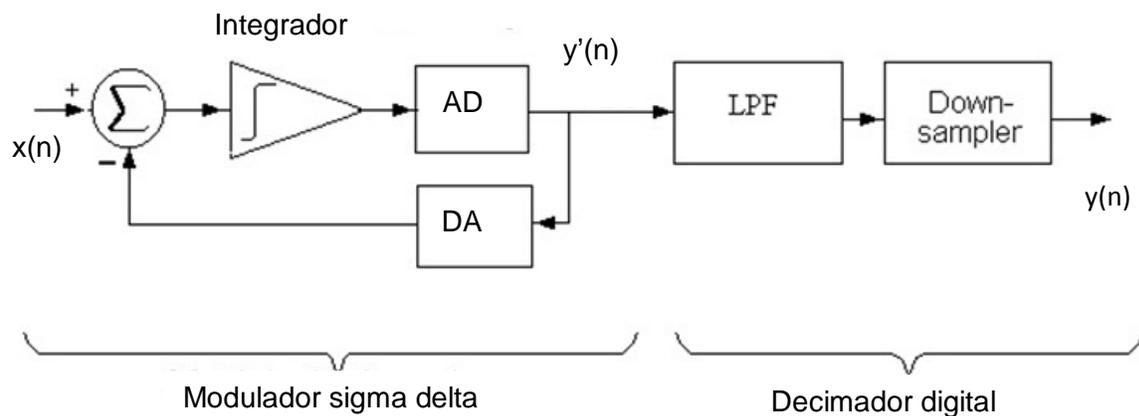


Figura 1-2 – Diagrama a bloques de un convertidor AD $\Sigma\Delta$.

El convertidor AD $\Sigma\Delta$ es un circuito de sobremuestreo cuyas características ya mencionadas pero aún no detalladas, son la principal razón por las cuales ha sido ampliamente usado en sistemas de microsensors en implementación de micromódulos o de microsistema [Korvink-Maloberti].

Existen diversas arquitecturas y modos de operación, no obstante podemos adelantar que en este trabajo de tesis se abordara el diseño de los bloques sumador, integrador, convertidor AD y convertidor DA de un modulador $\Sigma\Delta$ para una arquitectura de segundo orden.

Para tener una mejor apreciación del desempeño y del campo de aplicación de los tipos de convertidores flash, pipeline, SAR y $\Sigma\Delta$, en la figura 1-3 se puede observar una gráfica donde se comparan estos convertidores [de la Rosa]. Para comparar distintos tipos o topologías de convertidores no basta comparar el número bits contra la rapidez de conversión, es necesario comparar el rango dinámico contra la tasa de muestras por segundo de la salida digital [Plassche], donde el rango dinámico es la relación que entre el número efectivo de bits en un convertidor $\Sigma\Delta$ respectivamente de bits de un convertidor Nyquist, y la tasa de muestras por segundo es medida después de la decimación en el convertidor $\Sigma\Delta$.

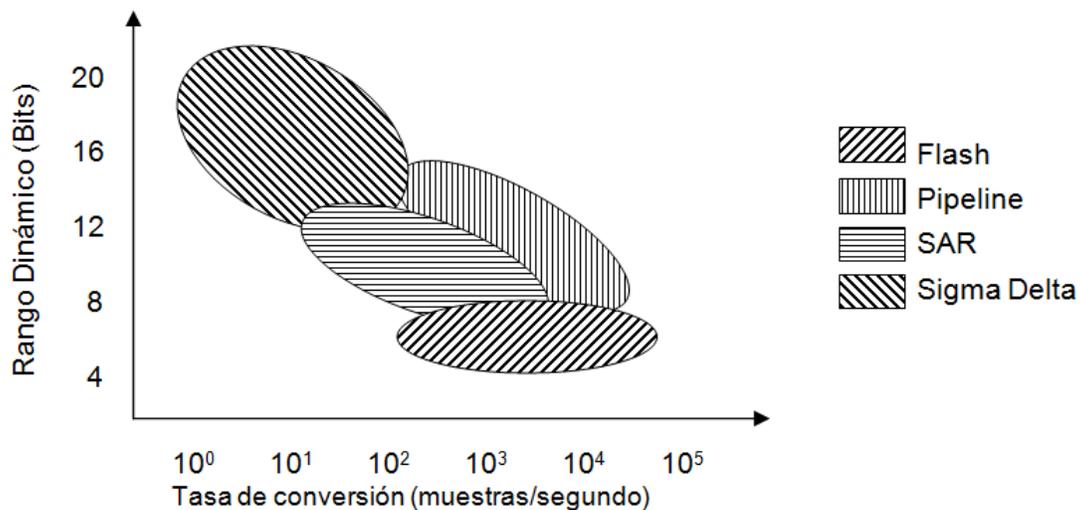


Figura 1-3 - Comparativa entre los tipos de convertidores.
Taza de muestras por segundo VS Rango Dinámico.

De la figura 1-3 se puede concluir que los convertidores $\Sigma\Delta$, por su alto desempeño en rango dinámico, se prefieren para aplicaciones donde se requiere mayor precisión en la conversión, ya que provee una mayor resolución para frecuencias de conversión medias o bajas, mientras que para a tasas de conversión mayores a 100 kHz y resoluciones menores a 10 bits se prefiere utilizar convertidores tipo *flash*, SAR o *pipeline*. La tendencia observada en los años recientes es extender las características de los convertidores sigma delta para finamente incrementar la tasa de conversión a costa del sacrificio del



rango dinámico debido a la inherente reducción de ruido en la banda de interés sin grandes exigencias en la exactitud en los circuitos electrónicos CMOS.

1.2 Planteamiento del problema

En la literatura se han propuesto distintas arquitecturas y diseños para moduladores $\Sigma\Delta$, así mismo, se ha reportado la implementación y pruebas de funcionamiento de los circuitos integrados de moduladores, no obstante la tecnología en que se fabrica y las características impuestas por la señal a medir establecen restricciones particulares como la frecuencia de sobremuestreo, voltajes de polarización, consumo, entre otras [Brigati]. En este trabajo de tesis se requiere diseñar bloques funcionales de un modulador sigma delta de segundo orden, y proveer de una metodología para las restricciones de diseño sujetas a la tecnología CMOS de fabricación en 0.5 micras [MOSIS], la cual provee ventajas y retos para el diseño del circuito modulador en el cual, junto con la etapa de acondicionamiento de la señal recae la mayor parte del esfuerzo de diseño analógico de un sistema de procesamiento de señales provenientes de sensores.

1.3 Justificación de la tesis

En las últimas décadas se han desarrollado sensores en tecnología MEMS, típicamente las señales entregadas por los sensores requieren de acondicionamiento electrónico, conversión AD y procesamiento para extraer información que sea útil. Es por esta razón que se necesita diseñar convertidores AD que permitan la conversión de señales analógicas a señales digitales para su posterior procesamiento. Los convertidores AD $\Sigma\Delta$ como ya se ha discutido, han probado ser los más adecuados para la mayoría de las aplicaciones donde se quiere un diseño simple y una conversión precisa [de la Rosa] [Baker02], la tabla 1-1 presenta la relación entre los convertidores más empleados para aplicaciones con sensores MEMS donde se concluye que aunque el convertidor AD $\Sigma\Delta$ no es el más rápido ni el que provee de mayor ancho de banda en la señal de interés, se



trata del convertidor que permite alcanzar una gran linealidad y alta resolución con un diseño simple del filtro antialias, y gran tolerancia a imperfecciones en los circuitos que constituyen el modulador $\Sigma\Delta$.

Tipos de ADC	Flash	Pipeline	SAR	Sigma-Delta
Desempeño				
Ancho de banda:	Excelente	Excelente	Muy bueno	Medio
Resolución:	Pobre	Bueno	Muy bueno	Excelente
Latencia:	Excelente	Medio	Muy bueno	Medio
Multiplexaje:	Excelente	Pobre	Muy bueno	Pobre
Linealidad:	Muy bueno	Bueno	Medio	Muy bueno

Tabla 1-1 – Tabla comparativa entre convertidores AD.

Como ya se mencionó, hay convertidores de $\Sigma\Delta$ de diversas arquitecturas, en este trabajo se aborda el análisis y diseño de una arquitectura con capacitores conmutados de segundo orden, la cual posee una relación de precisión-consumo aceptable [de la Rosa] en comparación con otros tipos de convertidores.

La diversidad de materiales, estructuras y efectos físicos en los sensores, definen en cada caso un problema particular para el acondicionamiento y conversión de señales. Es por esta razón que se requiere conocer los criterios generales para el diseño de convertidores de sobremuestreo de segundo orden, y ajustar los parámetros que más impacten en cada situación como el consumo, área, ancho de banda, entre otros.

1.4 Objetivo general

Analizar y diseñar los bloques funcionales de un circuito modulador de un convertidor AD $\Sigma\Delta$ implementado con circuitos de capacitores conmutados con entradas y salidas diferenciales en tecnología CMOS de 0.5 micras con frecuencia de operación máxima de 10 MHz.



1.4.1 Objetivos particulares

1. Definir una arquitectura para el modulador $\Sigma\Delta$ a diseñar.
2. Definir los bloques funcionales que constituyen el circuito modulador $\Sigma\Delta$ de la arquitectura seleccionada con entradas y salidas diferenciales.
3. Diseñar los bloques funcionales que constituyen el circuito modulador $\Sigma\Delta$ para una tecnología CMOS de 0.5 micras con un ancho de banda de 40 kHz y una OSR de 128.
4. Analizar y comparar los resultados obtenidos del desempeño de los bloques diseñados.

1.5 Alcances del trabajo

En este trabajo de investigación se pretende identificar la arquitectura de un convertidor $\Sigma\Delta$ para señales de hasta 40 kHz, así como analizar y diseñar un modulador $\Sigma\Delta$ para la arquitectura elegida en tecnología CMOS de 0.5 micras. Para tal propósito se realizó un análisis de las arquitecturas y tipos de convertidores [de la Rosa], así como el análisis y diseño de los componentes de un modulador de segundo orden con las restricciones citadas.

1.6 Contribuciones

Las principales contribuciones que este trabajo de tesis aporta son:

- I) Se seleccionó una arquitectura adecuada del modulador $\Sigma\Delta$ en tiempo discreto del para señales de hasta 40 kHz.
- II) Se diseñó el conjunto de circuitos que constituyen el modulador para una tecnología CMOS de 0.5 micras.



III) Se definió una guía de diseño para convertidores de segundo orden al identificar y proponer solución a las restricciones de diseño.

También, cabe mencionar que, previo a la realización de esta tesis, se llevó a cabo un análisis de los convertidores en tiempo continuo y tiempo discreto con base en la guía proporcionada por José Manuel de la Rosa [de la Rosa].

1.7 Método de investigación y desarrollo utilizado

Se realizaron simulaciones a bloques con macromodelos que validan el funcionamiento del sistema modulador $\Sigma\Delta$ de primer y segundo orden, seguido del análisis de las restricciones de diseño para la implementación en tecnología CMOS de 0.5 micras, finalmente se reprodujeron los diseños con base a la metodología de diseño de circuitos OTA propuestas en la literatura [Palmisano] la cual permite un diseño simple basado en las restricciones de ruido del circuito. Las adecuaciones hechas a la arquitectura con base en la metodología propuesta por Palmisano para alcanzar los requerimientos de nuestro diseño, siguen el método estándar de diseño de circuitos como los expuestos en la literatura de diseño de circuitos [Razavi] [Allen].

1.8 Organización del trabajo

El presente trabajo de tesis, se divide en 6 capítulos que a continuación se describen brevemente:

Capítulo 1. Introducción. En este capítulo se presenta una breve introducción a los convertidores AD $\Sigma\Delta$, así como los antecedentes que permiten desarrollar el planteamiento del problema, justificación, los objetivos generales y particulares, además, de los alcances de la tesis.



Capítulo 2. Estado del arte. En este capítulo se brinda una vista general de los tipos de convertidores AD $\Sigma\Delta$ y algunos de los trabajos publicados que se relacionan con el presente trabajo de tesis.

Capítulo 3. Marco teórico. En este capítulo se presenta el conjunto de aspectos que establecen las restricciones de diseño y trabajos previos de moduladores $\Sigma\Delta$ de segundo orden que se utilizaron para desarrollar esta tesis.

Capítulo 4. Modelo propuesto. En este capítulo se desarrolla el modelo propuesto y se diseñan los bloques del modulador de segundo orden para tecnología CMOS de 0.5 micras.

Capítulo 5. Pruebas y resultados. En este capítulo se muestran los resultados obtenidos de las simulaciones y se detalla el diagrama del esquemático de la arquitectura propuesta, además se muestra la verificación del *layout* (diseño topológico) para las reglas de diseño AMI 0.5 del fabricante MOSIS.

Capítulo 6. Aspectos finales. En este capítulo se analizan los resultados obtenidos y se realizan recomendaciones a cerca de los parámetros que más impactan en el diseño de la arquitectura propuesta. Finalmente, se proponen trabajos futuros en relación al presente trabajo de tesis.



CAPÍTULO 2 Estado del Arte.

En este capítulo se muestra brevemente el desarrollo que el convertidor AD $\Sigma\Delta$ ha tenido a través del paso del tiempo, desde la concepción de la idea de la modulación de una señal hasta la implementación de bajo consumo para tecnologías manométricas. Por otra parte se abordan las características de las arquitecturas y la relación que tienen respecto a la reducción de ruido en la banda de interés. Finalmente se presentan los resultados de los trabajos relacionados de simulaciones macromodeladas y de arquitecturas propuestas.

2.1 Modulación $\Sigma\Delta$

2.1.1 Orden de una arquitectura

2.1.2 Reducción de ruido

2.2 Trabajos relacionados

2.2.1 Simulación y macromodelos

2.2.2 Arquitecturas propuestas

2.1 Modulación sigma delta

La primera concepción del modulador $\Sigma\Delta$ de la que se tiene registro, es la patente presentada en 1960 por C. Cuttler llamada "Sistema de transmisión empleando cuantificación" [Cuttler], en ella se describe un sistema de codificación empleando codificación como modulación para transmisión y otro sistema de decodificación para la recepción. En esta idea se resalta la reducción de error de cuantificación en sistemas de transmisión/recepción que emplean la codificación de la información empleando cuantificación. Aunque ya existían este tipo de circuitos, en ninguno de ellos implementaba esta técnica con la intención de reducir el error de cuantificación o reducción de ruido.

Posteriormente, en 1962 Inose presenta un sistema de telemetría dónde se emplea el término $\Sigma\Delta$ [Inose], Cutler no lo había denominado de esa forma. Hasta antes de Inose era bien conocido el modulador delta que se muestra en la figura 2-1, donde la salida digital y en un tiempo n dada una entrada $x(n)$ es:

$$y(n) = x(n) - x(n-1) + e(n) - e(n-1) \quad (2.1)$$

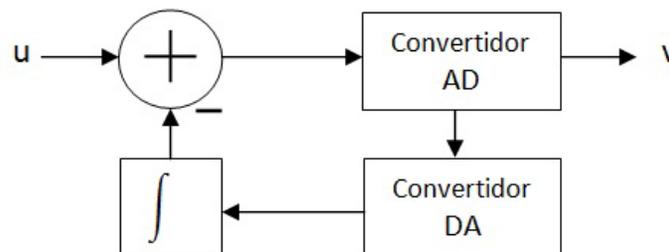


Figura 2-1 - Modulador delta sigma.

Donde $e(n)$ es el error de cuantificación del convertidor AD en un tiempo n tal que $t = n/f_s$. La ecuación 2.1 es resultado del análisis de la retroalimentación de figura 2-1. En este modelo el convertidor DA es considerado ideal debido a la implementación en 1 bit.

El nuevo modelo de modulación presentado por Inose se muestra en la figura 2-2 donde se puede observar que el integrador se elimina de la trayectoria de retroalimentación y se reubica en la trayectoria de salida, esto da como resultado que $y(n)$ sea igual a:

$$y(n) = x(n-1) + e(n) - e(n-1) \quad (2.2)$$

Este nuevo modelo de modulación provee de una salida retrasada un ciclo de reloj más la diferencia del error de cuantificación, esto es se tiene un error de cuantificación que llamaremos atenuación del error [Scherier01]. Esta es una de las propiedades ya mencionadas que han hecho tan popular esta arquitectura para emplearla como convertidor AD. Por otro lado, si se emplea como sistema de transmisión no requiere del integrador en la decodificación, es decir, no requiere eliminar el nivel de DC para la modulación [Inose].

El nombre que parece natural para la arquitectura del modulador sería $\Delta\Sigma$ como es propuesto por Inose pero en la literatura es empleado indistintamente $\Sigma\Delta$ o $\Delta\Sigma$ como la publicación de un modulador sigma delta con doble integración [Candy02].

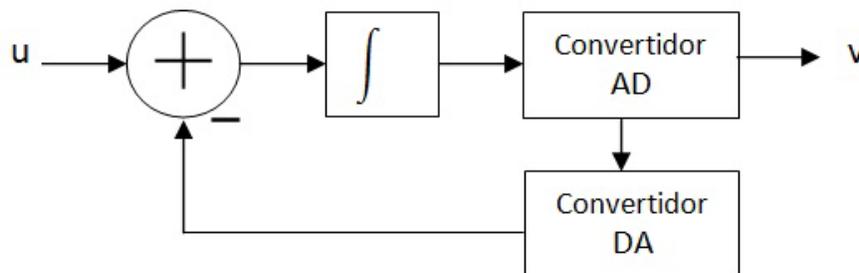


Figura 2-2 - Modulador $\Sigma\Delta$ (sigma delta).

La arquitectura mostrada en la figura 2-2 es llamada modulador $\Delta\Sigma$ de primer orden ya que posee una sola ruta de retroalimentación, existen arquitecturas con más de una ruta de retroalimentación como a continuación se expone.

2.1.1 Orden de la arquitectura

Como se ha podido observar la arquitectura propuesta en la figura 2-1 provee de reducción de ruido debido a la retroalimentación $n_i = e(n) - e(n-1)$, para aumentar esta propiedad del modulador en la banda de interés podemos modificar la arquitectura agregado otro integrador y otra ruta de retroalimentación como se puede ver en la figura 2-3.

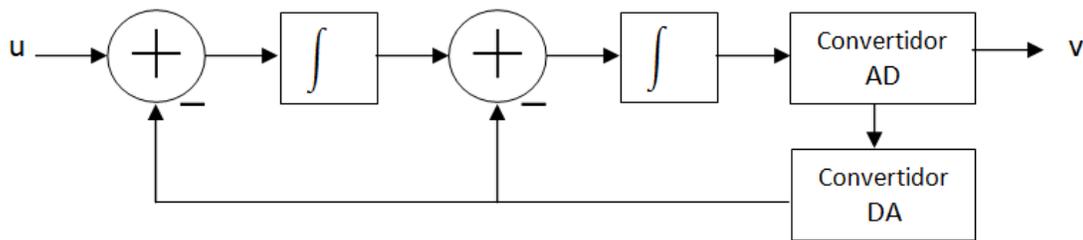


Figura 2-3 - Diagrama a bloques del modulador $\Delta\Sigma$ del segundo orden.

Resultado del análisis de la retroalimentación en el modelo del modular de segundo orden, tenemos:

$$y(n) = x(n-1) + e(n) - 2 e(n-1) - e(n-2) \quad (2.3)$$

En este modulador de segundo orden podemos ver que se resta el error de cuantificación de la muestra actual, la muestra de un tiempo anterior y una muestra anterior a esta última. Este proceso de reducción de error de cuantificación conduce a una densidad espectral del ruido de modulación como se mostrará en la sección 2.1.2.

Más modificaciones a la arquitectura pueden realizarse para incrementar el orden o número de rutas de retroalimentación en la arquitectura del modulador, en la figura 2-4 se muestra una arquitectura de tercer orden donde se ha agregado otro integrador y otra ruta de retroalimentación, de manera similar se pueden agregar más rutas de

retroalimentación mejorando la reducción de ruido en la banda de interés como se verá en la siguiente sección.

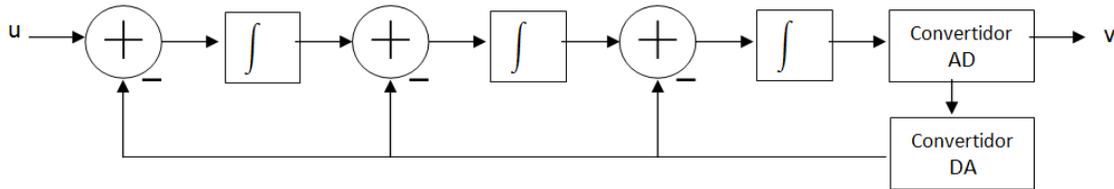


Figura 2-4 - Diagrama a bloques del modulador $\Delta\Sigma$ de tercer orden.

El aumentar el orden del modulador o número de rutas de retroalimentación, produce una alta probabilidad de que el modelo sea inestable, teniendo como consecuencia del comportamiento una mejora en el número de bits que es posible alcanzar sin aumentar la OSR, pero genera la necesidad de incluir un retraso y una ganancia en las rutas de retroalimentación que conduzcan a la estabilidad del modulador como en el caso del modulador de segundo orden [Boser] [Libin Yao].

En esta sección se han mostrado como incrementar el orden del modelo del modulador $\Sigma\Delta$ y la arquitectura de segundo orden, ahora veremos la forma de medir la reducción del error y cómo influye esto en la precisión del convertidor $\Sigma\Delta$.

2.1.2 Reducción de ruido

Para explicar la reducción de ruido primero introduciremos algunos aspectos de la cuantificación en convertidores sigma delta. Comencemos con el error de cuantificación debido al convertidor AD del modulador $\Sigma\Delta$.

El error de cuantificación $e(n)$ de la ecuación 2.2 se puede observar en la figura 2-5, donde dado un conjunto de valores de cuantificación ($\dots, -2\Delta, -\Delta, 0, \Delta, 2\Delta \dots$), el error $e(n)$ es la diferencia entre el valor real de entrada y el valor del conjunto de cuantificación al cual ha de asociarse dicha entrada.

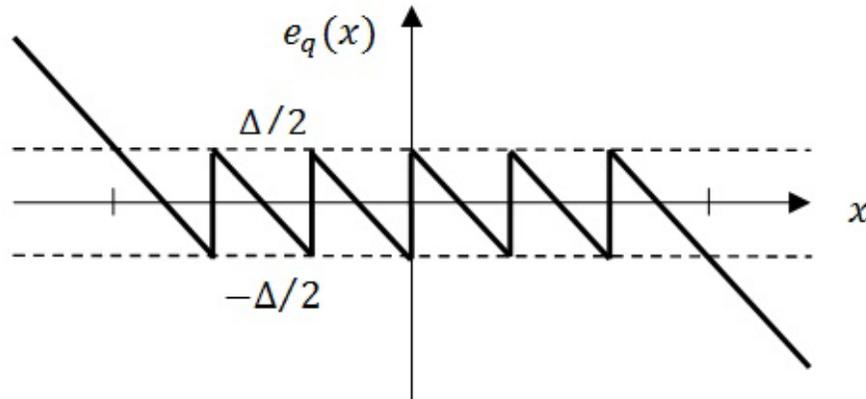


Figura 2-5 - Error de cuantificación.

Esto es, si en la entrada tenemos un valor de $x(n) = \Delta$, la cuantificación tendrá de un error de cero ya que la entrada se encuentra exactamente en un valor de cuantificación definido, pero si la entrada es $x(n) = 0 + a$, donde $a < \Delta/2$, el error asociado será de $e = a$, ya que el conjunto finito de valores para cuantificar sólo permite valores múltiplos de Δ .

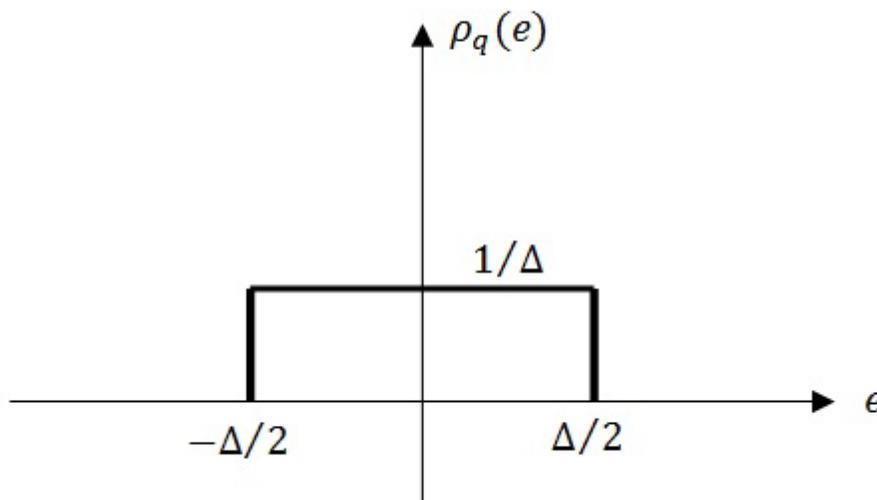


Figura 2-6 - Distribución del error sobre un paso.

De acuerdo con [Bennett] la probabilidad de tener un error dentro del rango $[-\Delta/2, \Delta/2]$ es uniforme o rectangular como se puede observar en la figura 2-6. Esto implica que el error de cuantificación se pueda modelar como ruido blanco, es decir ruido en todo el espectro de frecuencia que es menor que la frecuencia de sobremuestreo.

La figura 2-7 muestra la distribución de ruido para un convertidor de Nyquist y para un convertidor de sobremuestreo [Ma Li Yar], en ella se puede apreciar que la potencia de la densidad espectral del ruido se distribuye sobre toda la banda del convertidor $\Sigma\Delta$ a diferencia del convertidor Nyquist donde el ruido se distribuye únicamente sobre la banda de interés.

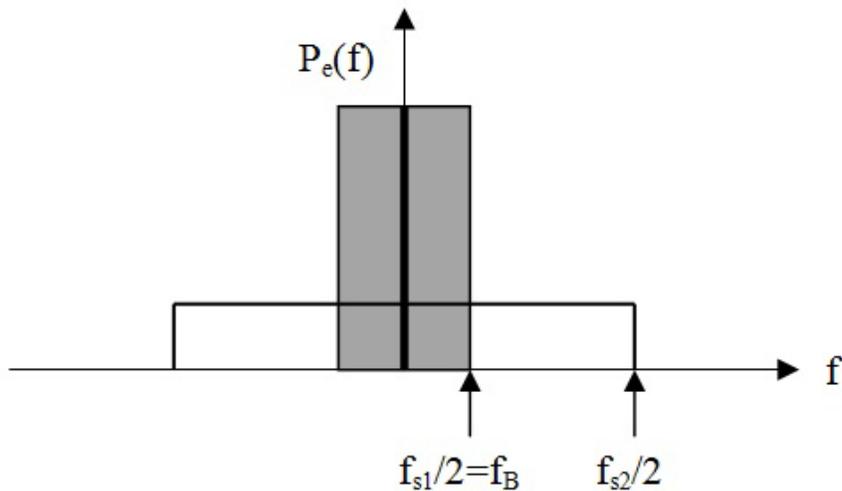


Figura 2-7 - Distribución del ruido en un convertidor Nyquist y sobremuestreo.

Para señales de entrada que cambian de forma aleatoria dentro del rango de frecuencias de la señal de interés, se tiene que el error de cuantificación es ruido blanco y que su densidad espectral $S_E(f)$ es igual a [de la Rosa]:

$$S_E(f) = \frac{1}{f_s} \left[\frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^{j2\pi f e} de \right]^2 = \frac{\Delta^2}{12f_s} \quad (2.4)$$



Y la potencia del ruido en la banda de interés para convertidores de sobremuestreo pasa bajas será:

$$P_E = \int_{-Bw}^{Bw} S_E(f) df = \frac{\Delta^2}{12OSR} \quad (2.5)$$

Donde Bw es el ancho de banda, S_E la densidad espectral de ruido, Δ el tamaño del paso o rango, y OSR la razón de sobremuestreo.

Ahora que se ha identificado el tipo de ruido y distribución del mismo sobre el espectro de frecuencias, resulta evidente que se puede disminuir la potencia del ruido para la señal sobremuestreada aplicando un filtro pasa bajas, el cual permitirá reducir la potencia del ruido en la banda de interés, incrementando así la precisión del convertidor de sobremuestreo.

El filtro generalmente llamado FTR (función de transferencia de ruido) modela el filtro que se requiere en el sobremuestreo y en el dominio discreto o dominio Z es de la forma

$$FTR = (1 - z^{-1}) \quad (2.6)$$

Donde $(1 - z^{-1})$ representa el filtro pasa altas y para el caso de arquitecturas con órdenes superiores tenemos

$$FTR = (1 - z^{-1})^L \quad (2.7)$$

Donde L es el orden de la arquitectura.

En la figura 2-8 se muestra la respuesta de reducción de ruido $FTR1$ para un modulador $\Sigma\Delta$ con arquitectura de primer orden [Norsworthy] que servirá como filtro de ruido blanco en la banda de interés del convertidor de la figura 2-2. El desplazamiento del ruido en la banda de interés hacia frecuencias superiores, permiten mayor atenuación en la potencia del ruido en la banda de interés la cual aumenta con forme se incrementa el orden de la arquitectura [Baker01] como se puede apreciar en la función de reducción de ruido $FTR2$ de un modulador de segundo orden.

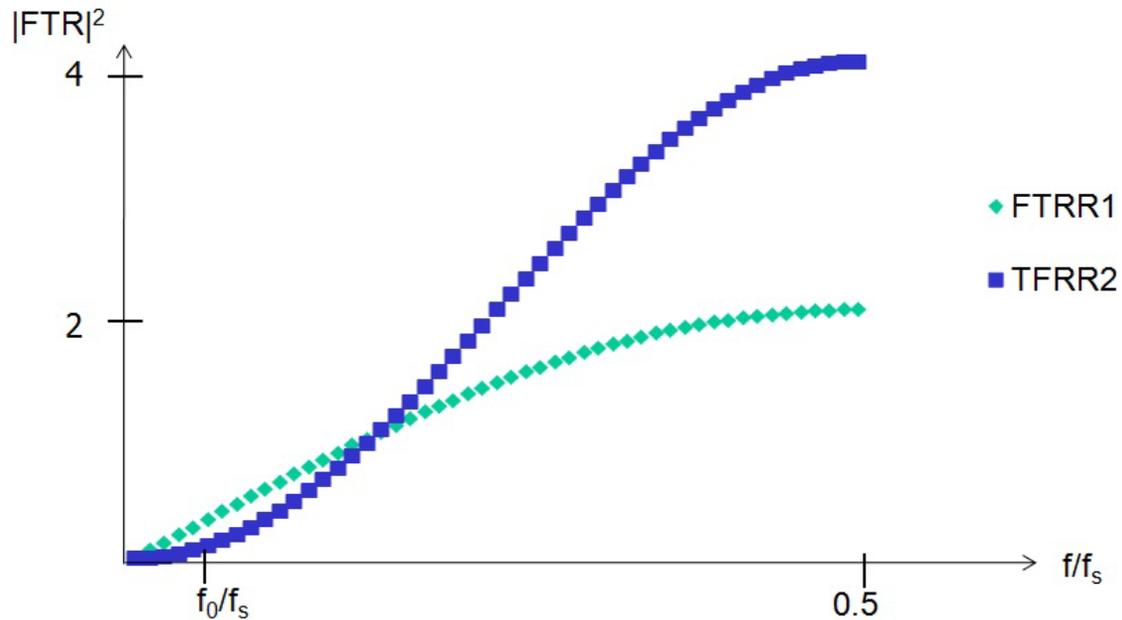


Figura 2-8 - Respuesta FTR para modulador de primer y segundo orden.

Como se verá en el marco teórico, este filtro puede ser implementado por el integrador y que en el análisis en el dominio discreto actúa como un filtro pasa bajas [Allen].

A continuación se discutirán algunos de los trabajos publicados respecto a convertidores $\Sigma\Delta$ donde los conceptos aquí presentados serán de gran utilidad para entender el desarrollo que se ha tenido en las arquitecturas, la simulación y la implementación de estos convertidores.

2.2 Trabajos relacionados

Las publicaciones que se pueden encontrar y que resulta conveniente revisar para este trabajo de tesis respecto a modulación sigma delta, abarcan el análisis, la simulación

e implementación de las arquitecturas propuestas, aquí se muestran algunas de ellas como se puede ver en el diagrama mostrado en la figura 2-9.

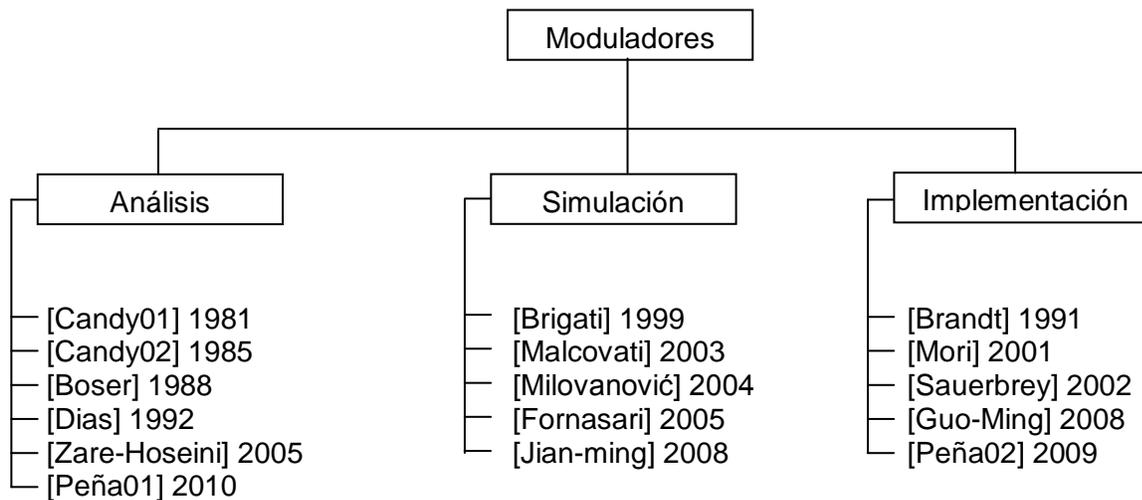


Figura 2-9 - Taxonomía de publicaciones base para el trabajo de tesis de moduladores $\Sigma\Delta$.

Para el análisis de ruido de moduladores $\Sigma\Delta$ con arquitecturas de segundo orden se han tomado los resultados [Candy01] la cuantificación de ruido para la predicción de la resolución que puede ser obtenida por modulador de este tipo, estos resultados aunque no proveen un análisis formal, proporcionan las relaciones más importantes entre la amplitud de la señal y el ruido en la banda de interés.

De igual forma se han propuesto ya los criterios generales para el diseño de moduladores $\Sigma\Delta$ de segundo orden [Candy02] [Boser] los cuales proponen las relaciones que describen la tolerancia en la variación de los parámetros, especialmente del filtro pasabajas (integrador), así como la ganancia de los lazos de retroalimentación para tener criterios de diseño en la implementación del modulador en CMOS.

Típicamente el integrador del modulador $\Sigma\Delta$ de tiempo discreto es implementado con un amplificador operacional en configuración de integración, y dado que el arreglo RC es costoso en área, se suele recurrir a su versión con capacitores conmutados. Se han



reportado los parámetros para ganancia y velocidad de los amplificadores [Zare-Hoseini], así como los criterios de diseño de amplificadores para alcanzar los requerimientos del integrador [Dias]. Estas restricciones de diseño son congruentes a los desarrollos realizados en arquitecturas bajo consumo y de orden bajo [Peña01].

2.2.1 Simulación de macromodelos

Los moduladores $\Sigma\Delta$ tienen una alta tolerancia en la variación de parámetros en los componentes activos que lo conforman (integrador y comparadores), resulta conveniente conocer los límites de estas variaciones que permiten conseguir la precisión deseada en la conversión. El estudio de estas variaciones se lleva a cabo con el modelado y simulación de la arquitectura deseada, estas simulaciones permiten incorporar las no idealidades de los elementos que componen el modulador, determinando así cuales impactan más en la arquitectura.

Se han reportado modelos para el modulador $\Sigma\Delta$ de segundo orden de tiempo discreto, donde se incluyen no idealidades que incrementan la potencia del error de cuantificación, los más significativos son: a) errores en el muestreo; b) desincronización del flanco de reloj; c) ruido térmico; d) ruido *flicker*; e) *slew rate* finito; y f) saturación de retroalimentación. De estos errores el que más impacta es el *slew rate* finito en los integradores y la saturación [Brigati].

Las simulaciones reportadas en la literatura se ha realizado en Simulink de Matlab [Brigati] [Fornasi], estas simulaciones establecen las bases para el diseño los amplificadores y los switches que han de implementar los integradores de la arquitectura como se ilustra en el siguiente ejemplo.

En la figura 2-10 se puede observar el modelo del convertidor sigma delta de segundo orden el cual incluye ruido térmico (kT/C) y ruido del operacional ($OpNoise$) en el primer integrador, el ruido en el operacional del segundo integrador, así como el error llamado *Jitter*.

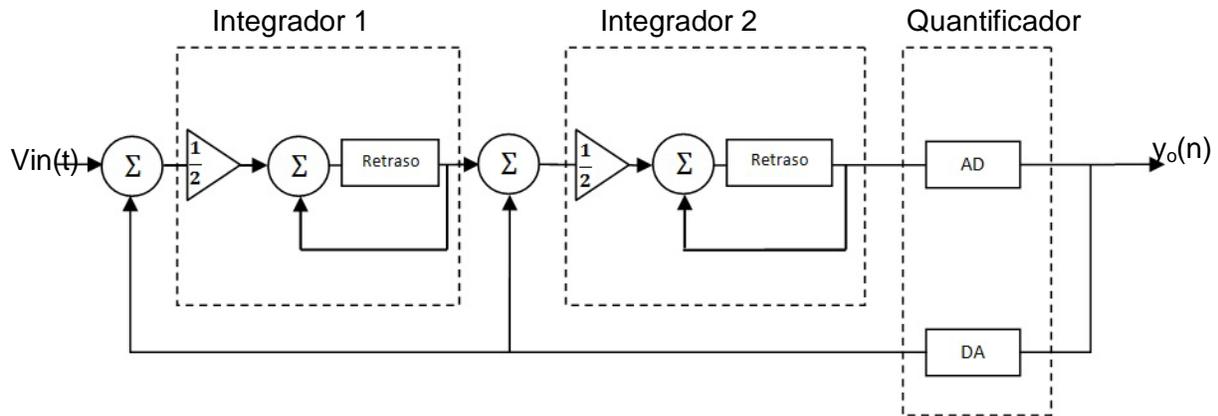


Figura 2-11 - Diagrama a bloques de modulador $\Sigma\Delta$ segundo orden con ganancias en el lazo de retroalimentación.

En la arquitectura de la figura 2-11 se propone una implementación en tecnología CMOS de 1 micra, 5v de polarización y $OSR = 256$ a 12.8 MHz, empleando amplificadores clase AB y un comparador regenerativo para el convertidor AD de 1 bit. En el siguiente capítulo se expondrán las expresiones que permiten sentar las bases para proponer un diseño [Brandt].



CAPÍTULO 3 Marco Teórico.

En este capítulo se muestran los modelos que permiten establecer las restricciones de diseño para la precisión deseada en arquitecturas de segundo orden, así como las restricciones particulares para el diseño de los bloques del modulador $\Sigma\Delta$ de tiempo continuo: integrador, convertidor DA y convertidor AD.

3.1 Sobremuestreo y reducción de ruido

3.2 Modelos para moduladores $\Sigma\Delta$ de segundo orden con capacitores conmutados

3.3 Moduladores $\Sigma\Delta$ de segundo orden con capacitores conmutados

3.3.1 Integrador con capacitores conmutados

3.3.2 Convertidor AD 1b con capacitores conmutados

3.3.3 Convertidor DA 1b con capacitores conmutados



3.1 Sobremuestreo y reducción de ruido

A consecuencia del análisis de la energía del ruido en convertidores de sobremuestreo se obtiene la ecuación 2.4, la cual establece que al incrementar la frecuencia de muestreo f_s la energía del ruido disminuye. De manera similar, al incrementar la OSR de la ecuación 2.5 el convertidor mejora su desempeño en la reducción de la potencia de ruido.

En el caso de un convertidor $\Sigma\Delta$, además de los beneficios de dispersión estadística de la potencia de ruido como lo indica la ecuación 2.5, este se ve disminuido aún más por el filtro FTR dentro de la arquitectura del modulador. Para calcular la potencia de reducción de ruido que es la característica más importante del convertidor y por lo cual se ha hecho tan popular su implementación, es conveniente expresar de la ecuación 2.6 compleja en términos de funciones trigonométricas. De modo que, si $z = e^{j2\pi/f_s}$, se tiene:

$$FTR = (1 - e^{-j2\pi f/f_s}) \quad (3.1)$$

Expresando 3.1 de forma conveniente la unidad y factorizando tenemos:

$$FTR = ((e^{j\pi f/f_s} e^{-j\pi f/f_s}) - e^{-j2\pi f/f_s}) \quad (3.2)$$

$$FTR = (e^{j\pi f/f_s} - e^{-j\pi f/f_s}) e^{-j\pi f/f_s} \quad (3.3)$$

Multiplicar y dividir por $j2$ nos permite expresar como una función trigonométrica aplicando la fórmula o relación de Euler, con lo cual obtenemos:

$$FTR = \frac{(e^{j\pi f/f_s} - e^{-j\pi f/f_s})}{j2} j2 e^{-j\pi f/f_s} \quad (3.4)$$

$$FTR = 2 \text{seno} \left(\frac{\pi f}{f_s} \right) j e^{-j\pi f/f_s} \quad (3.5)$$

Aplicando el valor absoluto a un complejo finalmente se encuentra:



$$|FTR| = 2\text{seno}\left(\frac{\pi f}{f_s}\right) \quad (3.6)$$

De forma similar se puede encontrar la $|FTR|$ para una arquitectura de segundo orden, cuya expresión es:

$$|FTR| = \left(2\text{seno}\left(\frac{\pi f}{f_s}\right)\right)^2 \quad (3.7)$$

Para un convertidor sigma delta la potencia de reducción de ruido es:

$$P_E = \int_{-Bw}^{Bw} S_E(f) |FTR(f)|^2 df \quad (3.8)$$

Para el caso de primer orden sustituimos 2.4 y 3.6 para calcular P_E :

$$P_E = \int_{-Bw}^{Bw} \frac{\Delta^2}{12f_s} \left(2\text{seno}\left(\frac{\pi f}{f_s}\right)\right)^2 df \quad (3.9)$$

Para el caso del modulador pasa bajas resolvemos para f en los límites de integración y obtenemos:

$$P_E = \int_{-f}^f \frac{\Delta^2}{12f_s} \left(2\text{seno}\left(\frac{\pi f}{f_s}\right)\right)^2 df = \frac{\pi^2 \Delta^2}{3(OSR)^3} \quad (3.10)$$

Para una arquitectura de segundo orden la función de transferencia de ruido se puede obtener de la ecuación 2.5, de donde al sustituir 2.7 para una arquitectura de segundo orden $L = 2$, se obtiene un filtro pasa altas $(1 - z^{-1})^2$. Al calcular la potencia de ruido sustituyendo con $z = e^{j2\pi/f_s}$ se obtiene la siguiente aproximación [Themes]:

$$P_E = \int_{-f}^f \frac{\Delta^2}{12f_s} |FTR(f)|^2 = \frac{\pi^4 \Delta^2}{5(OSR)^5} \quad (3.11)$$

La RSR en el modulador se puede conocer con la expresión:



$$RSR = 10\log \left(\frac{P_s}{P_E} \right) \quad (3.12)$$

Donde P_s es la potencia de la señal, la cual, suponiendo que sea senoidal tenemos el caso máximo *rms*:

$$P_s = \left(\frac{2^N \Delta}{\sqrt{2} 2} \right)^2 \quad (3.13)$$

Evaluando RSR al sustituir 3.11 y 3.13 tenemos para el caso del modulador de primer orden:

$$RSR = 10\log \left(\frac{\left(\frac{2^N \Delta}{\sqrt{2} 2} \right)^2}{\frac{\pi^2 \Delta^2}{3(OSR)^3}} \right) \quad (3.14)$$

Reduciendo se obtiene:

$$RSR = 6.02N + 1.76 + 10\log (OSR) \quad (3.15)$$

De forma similar podemos obtener RSR para la arquitectura de segundo orden:

$$RSR = 6.02N + 1.76 - 12.9 + 50\log (OSR) \quad (3.16)$$

De las ecuaciones 3.15 y 3.16 se puede observar que para un OSR dado, 3.16 no sólo es mayor que 3.15, además, 3.16 crece más rápido con forme OSR crece, esta afirmación se pondrá en práctica en el capítulo 4, donde servirá para elegir OSR en nuestro diseño.

3.2 Moduladores $\Sigma\Delta$ con capacitores conmutados

Los moduladores con capacitores conmutados implementan la retroalimentación y la integración con circuitos con capacitores conmutados, por esta razón el análisis del mismo se debe realizar en tiempo discreto, a continuación se lleva a cabo el análisis del



principio de operación de un modulador de primer orden y posteriormente se describirá la arquitectura y los componentes de la arquitectura de segundo orden.

En la figura 3-1 se puede observar el diagrama general para el modulador $\Sigma\Delta$ con arquitectura de primer orden, dado un V_{in} , se asume $OSR \gg 1$, por lo cual se puede asumir una entrada constante en V_{in} . Si al comienzo suponemos todos los valores igual a 0 v, $V_{in} = 2$ V y $V_{ref} = \pm 10$ V, entonces la salida de la suma es igual a 2 V, la salida del integrador igual a 2 V, la salida de $AD = "1"$ y la salida de $DA = 10$ V. Se ha interpretado la salida del convertidor AD como uno lógico aunque equivale a $+V_{ref}$ o 10 V.

En un segundo ciclo, la salida de la suma es igual a -8 v, la salida del integrador igual a -6 V, la salida de $AD = "0"$ y la salida de $DA = -10$ V., ahora la salida del convertidor AD se interpreta como un cero lógico equivalente a $-V_{ref}$ ó -10 V.

Para el tercer ciclo la salida de la suma es igual a 12 V, la salida del integrador igual a -6 v, la salida de $AD = "1"$ y la salida de $DA = 10$ V, para el cuarto ciclo la salida de la suma es igual a -8 V, la salida del integrador igual a -2 V, la salida de $AD = "0"$ y la salida de $DA = -10$ V.

Si continuamos con estos ciclos OSR veces, tendremos a la salida una cadena de OSR bits que al hacerla pasar por un decimador entregará un código univoco que es equivalente al voltaje de entrada V_{in} .

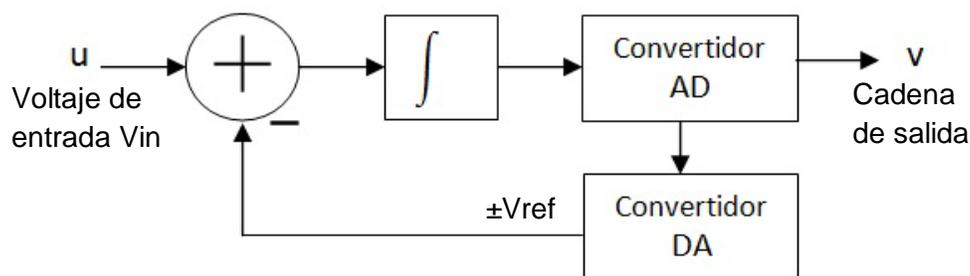


Figura 3-1 - Diagrama a bloques del modulador sigma delta de primer orden.

Este es el mecanismo principal de operación en los moduladores $\Sigma\Delta$ y la operación por discreta o por ciclos es posible gracias a su implementación con circuitos capacitores conmutados como se puede ver en seguida.

3.3 Moduladores $\Sigma\Delta$ de segundo orden con capacitores conmutados

A continuación se verán arquitecturas básicas para la implementación de los bloques del modulador de segundo orden con capacitores conmutados, y se mostrarán los parámetros de diseño principales

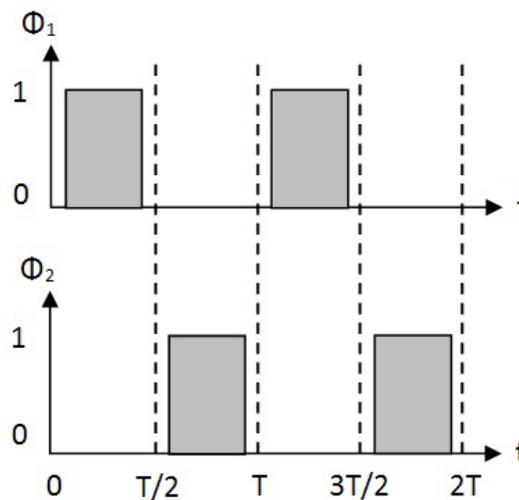


Figura 3-2 - Esquema de reloj sin traslapamiento para circuitos con capacitores conmutados.

Los circuitos con capacitores conmutados precisan de un esquema de reloj con fase no traslapada. Un esquema de reloj como el mostrado en la figura 3-2 de no traslapamiento puede ser obtenido implementando un circuito típico de conmutación con compuertas NAND agregando a la trayectoria de salida un número de inversores par para anular el efecto lógico, esto proveerá del retraso deseado en la conmutación [Baker02].

3.3.1 Integrador con capacitores conmutados

El integrador es un circuito que lleva a cabo la operación de integración en tiempo de un voltaje de entrada, desde el punto de vista de procesamiento de señales puede ser visto también como un filtro pasa bajas de primer orden que puede ser implementado en tiempo continuo o en tiempo discreto, debido a su implementación en tecnología CMOS resulta conveniente utilizar el tiempo discreto debido al ahorro de área al implementar el circuito RC [Allen].

El principal problema de dicha red RC es que el diseño de la resistencia resulta poco eficiente en área en tecnología CMOS, es por eso que se prefiere implementar esta resistencia con la emulación de circuitos con capacitores conmutados, los cuales emplean el concepto básico de la transferencia de carga en un circuito conocido como emulación de resistencia con capacitor conmutado en arreglo paralelo.

La figura 3-3 muestra el arreglo básico de capacitor conmutado en arreglo paralelo que permite emular un resistor de valor $R = T/C$, los relojes ϕ_1 y ϕ_2 son formas de onda cuya fase no se traslapa como se muestra en la figura 3-2.

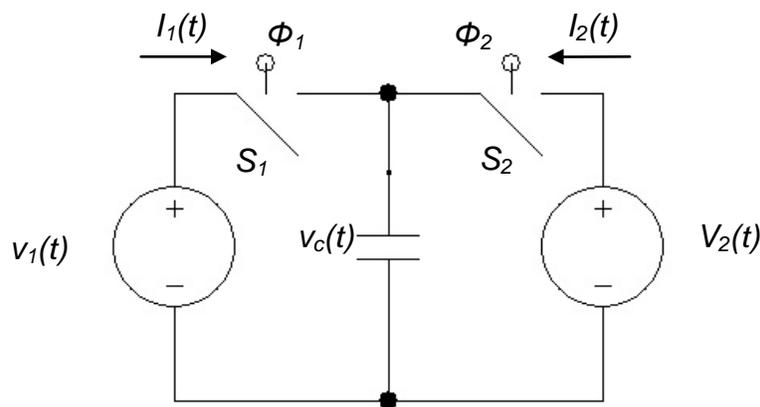


Figura 3-3 - Modelo para la emulación de resistores con capacitores conmutados.



Si la frecuencia de las señales de interés v_1 y v_2 son de menor frecuencia que ϕ_1 y ϕ_2 , entonces se puede hacer la aproximación siguiente:

$$i_1 = \frac{c(V_1 - V_2)}{T} \quad (3.17)$$

Por otro lado, por superposición la corriente del resistor de la figura 3-4 es:

$$i_1 = \frac{(V_1 - V_2)}{R} \quad (3.18)$$

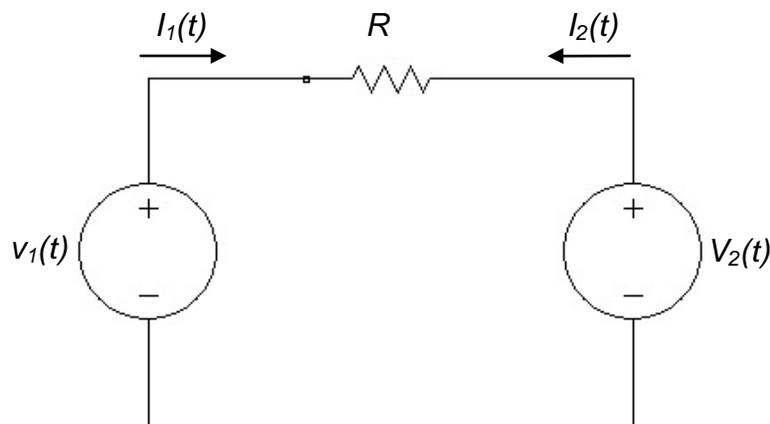


Figura 3-4 - Circuito equivalente a la emulación del resistor.

Igualando 3.17 y 3.18 obtenemos:

$$R = \frac{T}{c} \quad (3.19)$$

La ecuación 3.19 establece la relación que existe entre un resistor y su equivalente circuito de capacitor conmutado configuración paralelo de tres terminales,

Una modificación en este circuito básico que emula un resistor, es el mostrado en la figura 3-5 donde ϕ_1 y ϕ_2 tienen el esquema de las formas de onda mostradas en 3-2, la resistencia emulada equivalente es:

$$R = \frac{V_1}{i_2} \quad (3.20)$$

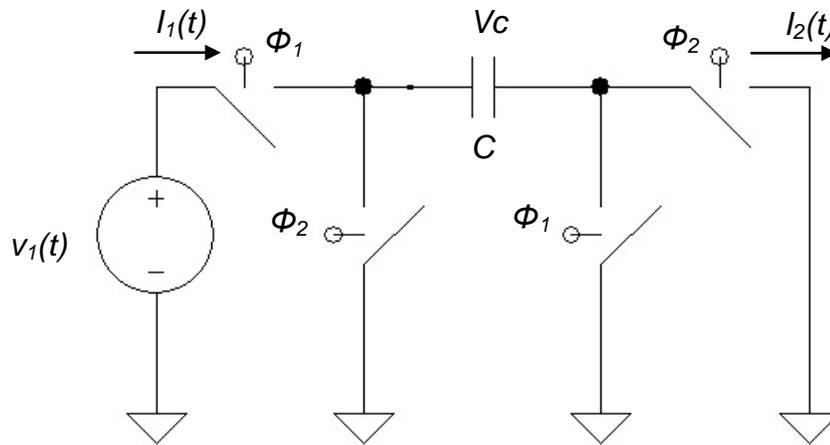


Figura 3-5 - Emulación de transresistencia negativa.

Y la corriente i_2 puede ser encontrada como:

$$i_2 = \frac{1}{T} \int_{T/2}^T \frac{q_2(T) - q_2(T/2)}{T} = \frac{CV_c(T) - CV_c(T/2)}{T} = -\frac{CV_1}{T} \quad (3.20)$$

Sustituyendo 3.20 en 3.19 se obtiene la expresión para la transresistencia negativa:

$$R = -\frac{T}{C} \quad (3.21)$$

La figura 3-6 muestra un circuito con capacitor conmutado que a la entrada tiene una transresistencia negativa por la forma en que se activan los interruptores, en ella se puede ver que en el tiempo ϕ_1 el voltaje de entrada v_1 carga el capacitor C_1 y en el tiempo ϕ_2 el voltaje almacenado se aplica al circuito amplificador.

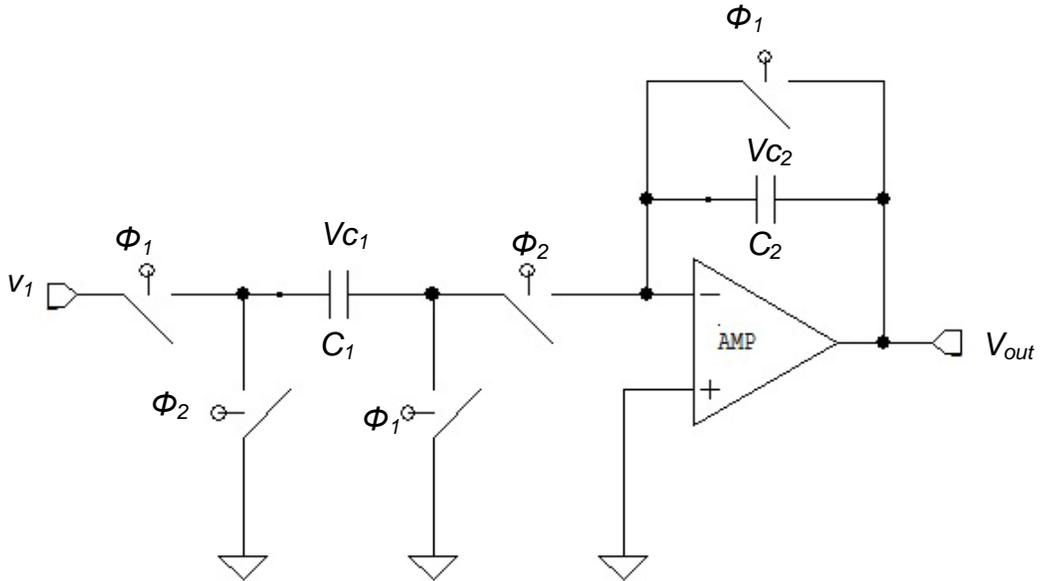


Figura 3-6 - Circuito integrador no inversor con resistencia emulada.

Esta configuración emula una red $-RC$ de forma que la configuración es la de un integrador no inversor como la que se muestra en la figura 3-7 [Allen].

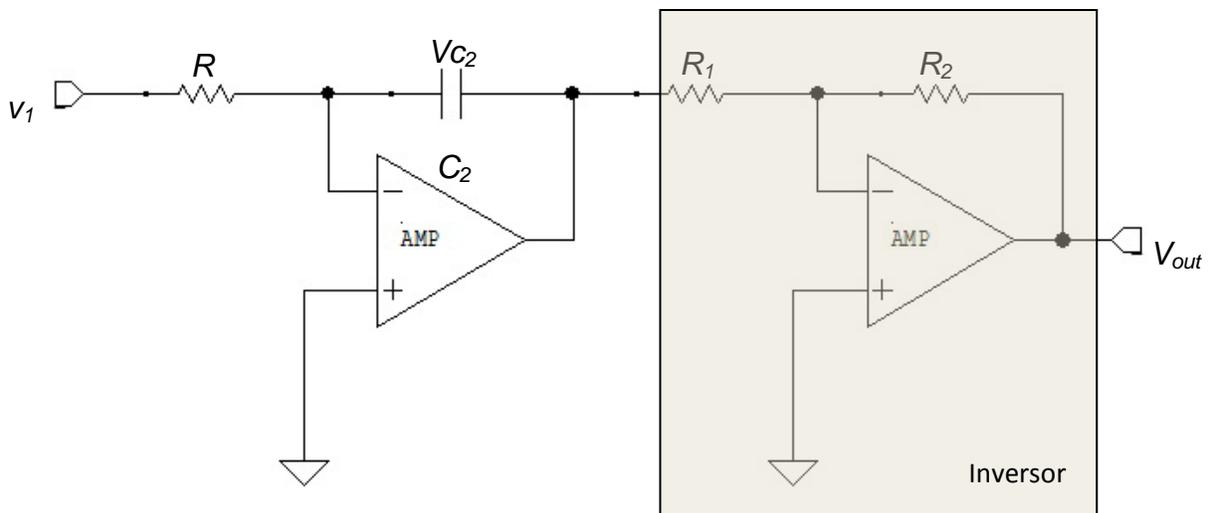


Figura 3-7 - Circuito equivalente al circuito integrador no inversor de la figura 3-5.



Resolviendo el circuito de la figura 3-5 para el voltaje de salida tenemos:

$$v_s(n)T = \left(\frac{C_1}{C_2}\right)v_e(n-1)T + v_s(n-1)T \quad (3.22)$$

De forma equivalente podemos escribir esta expresión en el dominio z como:

$$V_s(z) = \left(\frac{C_1}{C_2}\right)z^{-1}V_e(z) + z^{-1}V_s(z) \quad (3.23)$$

Resolviendo para la ganancia se puede expresar:

$$H(z) = \frac{V_s(z)}{V_e(z)} = \left(\frac{C_1}{C_2}\right)\frac{z^{-1}}{1-z^{-1}} = \left(\frac{C_1}{C_2}\right)(z-1)^{-1} \quad (3.24)$$

La ecuación 3.24 es la función de transferencia en el dominio discreto para el integrador o filtro pasa bajas del circuito que se implementa en el modulador $\Sigma\Delta$.

3.3.2 Convertidor AD de 1bit con capacitores conmutados

Para implementar el convertidor AD de 1 bit utilizaremos un simple comparador diferencial que nos garantiza linealidad, ya que la salida de este convertidor sólo puede ser V_{ref} o $-V_{ref}$ dependiendo del voltaje presente en la entrada del comparador. La figura 3-8 muestra la gráfica del comportamiento que debe seguir un comparador diferencial ideal, el voltaje en la salida $v_s = +v_{ref}$ si $(v_{e+} - v_{e-}) > 0$ y $v_s = -v_{ref}$ si $(v_{e+} - v_{e-}) < 0$.

Para el caso de un comparador real el comportamiento el que se puede ver en la figura 3-9 la cual muestra la gráfica del comportamiento que se puede estudiar en tres etapas: $v_s = +v_{ref}$ si $(v_{e+} - v_{e-}) > v_{sa}$, $v_s = A_V(v_{e+} - v_{e-})$ si $v_{sb} < (v_{e+} - v_{e-}) < v_{sa}$ y finalmente $v_s = -v_{ref}$ si $(v_{e+} - v_{e-}) < v_{sb}$. Adicionalmente se pueden modelar más no idealidades pero estas serán omitidas, ya que lo importante en el diseño de moduladores de 1 bit es que presten linealidad ideal, basta que el tiempo de establecimiento sea menor a $1/(2f_s)$. Dicho tiempo



de establecimiento puede ser establecida con la corriente de suministro o drenado del capacitor de carga como se puede observar en el capítulo 4.

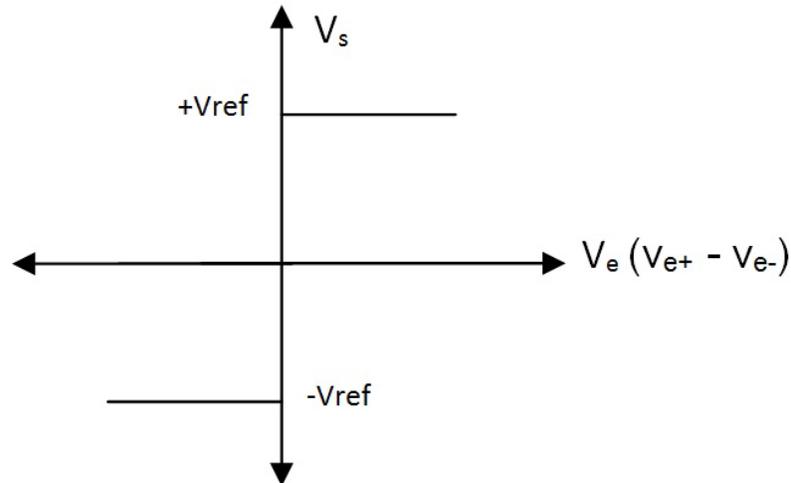


Figura 3-8 - Respuesta del comparador ideal.

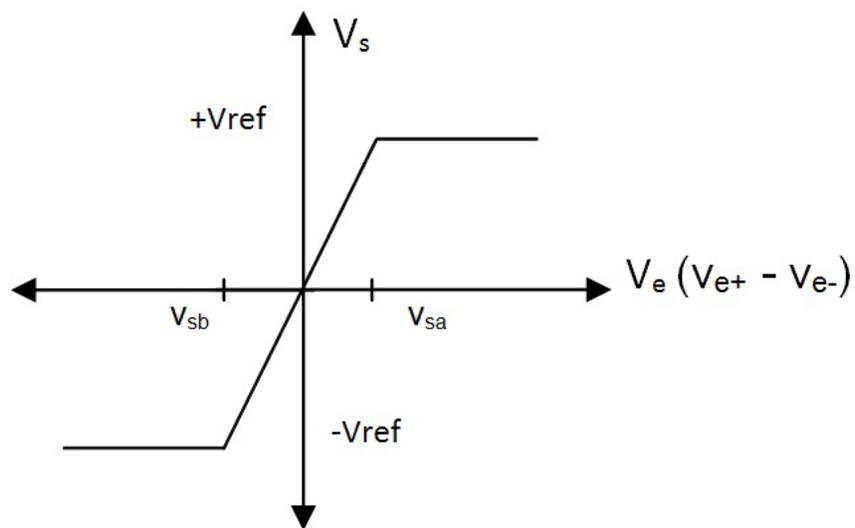


Figura 3-9 - Respuesta del comparador real.

3.3.3 Convertidor DA de 1bit con capacitores conmutados y retroalimentación

El circuito del convertidor DA de 1 bit es implementado con la generación de una ruta a tierra o a V_{cc} , a este voltaje lo denominaremos v_2 , después de haber elegido alguna de estas rutas con interruptores o compuertas de transmisión, el voltaje v_2 se suma al voltaje de entrada v_1 de los integradores generando así la ruta de retroalimentación en el modulador, dicha suma es implementada con una configuración de transresistencia con capacitores conmutados similar a la resistencia de entrada del integrador debido a la tierra virtual que se genera en la entrada no inversora, en la figura 3-10 se puede observar esta configuración que se implementa en el modulador.

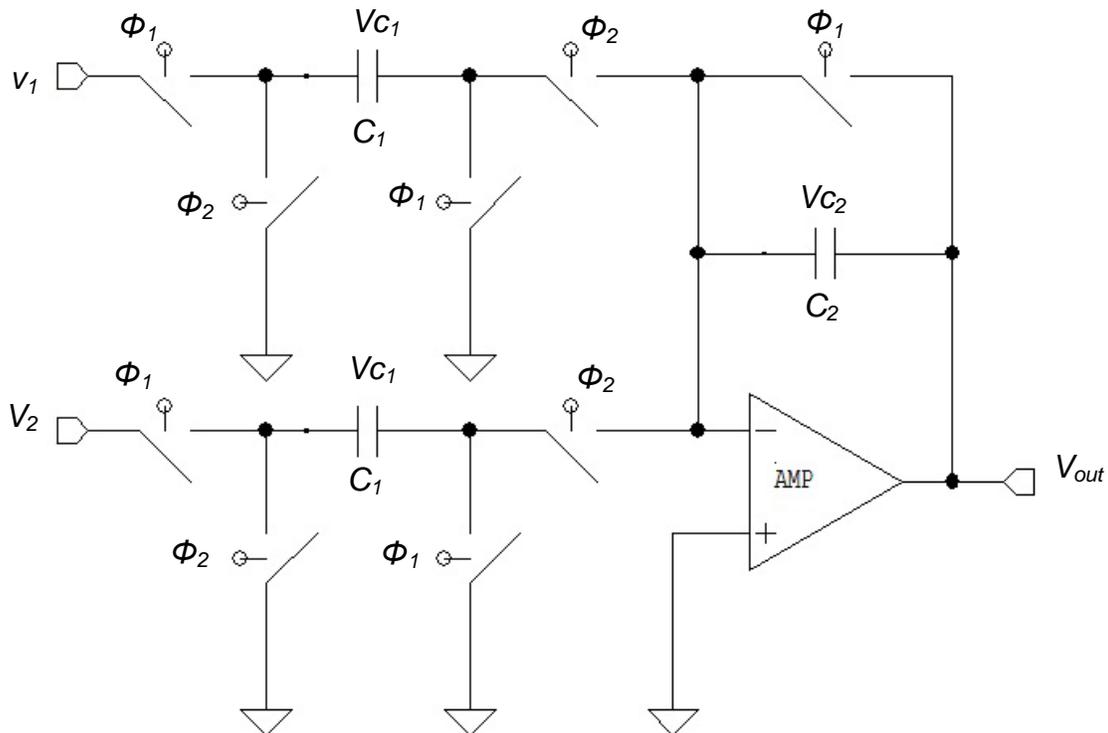


Figura 3-10 - Suma de voltajes para el integrador (implementación de la retroalimentación).



Los voltajes de salida en función del voltaje de entrada v_1 y v_2 para estas transresistencia negativas son:

$$v_{s1}(n - 1/2)T = v_1(n - 1)T \quad (3.25)$$

$$v_{s2}(n - 1/2)T = v_2(n - 1)T \quad (3.25)$$

Combinando estas ecuaciones y expresando en el dominio z tenemos el voltaje de salida.

$$v_s(z) = v_1(z) + v_2(z) \quad (3.25)$$



CAPÍTULO 4 Modelo propuesto

En este capítulo se muestra el circuito propuesto del modulador $\Sigma\Delta$ de segundo orden con capacitores conmutados para tecnología de 0.5 micras.

4.1 Arquitectura propuesta

4.2 Integrador diferencial con capacitores conmutados

4.3 Comparador diferencial con capacitores conmutados

4.4 Convertidor DA diferencial con interruptores y retroalimentación



4.1 Arquitectura propuesta

La precisión del convertidor está determinada idealmente por el orden de la arquitectura, la relación de sobremuestreo como se indica en las ecuaciones 3.15 y 3.16. A continuación, se mostraran algunas aproximaciones con base en estos modelos de reducción de ruido que develan el comportamiento de las arquitecturas de primer y segundo orden. En la tabla 4-1 se muestra la reducción ruido en la banda de interés para la arquitectura de primer orden para cuatro valores de sobremuestreo comúnmente empleados en la literatura, en ella se puede observar que para el intervalo típico de OSR la máxima atenuación es de 74.9 dB/octava. En general, si $OSR \gg 1$, el modulador $\Sigma\Delta$ de primer orden provee de una reducción de ruido de 9 dB/octava al doblar el OSR.

OSR	dB/octava
32	47.8
64	56.8
128	65.8
256	74.9

Tabla 4-1 - Aproximación de la reducción de ruido para moduladores $\Sigma\Delta$ de primer orden.

En la tabla 4-2 se muestra la reducción de ruido en la banda de interés para la arquitectura de segundo orden para los mismos valores típicos de OSR. En esta tabla se puede apreciar que la máxima atenuación es de 115.3 dB/octava; en general, si el OSR $\gg 1$, existe una reducción de ruido de 15 dB/octava al doblar el OSR.

OSR	dB/octava
32	70.1
64	85.2
128	100.2
256	115.3



Tabla 4-2 - Aproximación de la reducción de ruido para moduladores $\Sigma\Delta$ de segundo orden.

Es ahora claro que el modulador $\Sigma\Delta$ de segundo orden tiene un mejor desempeño en la reducción de ruido en la banda de interés, para que un modulador $\Sigma\Delta$ de primer orden sea equiparable en reducción de ruido a uno de segundo orden en el intervalo OSR típico, éste tendría que operar con un OSR superior a 1024, resultando en un diseño inconveniente por la potencia consumida y por la limitada frecuencia permitida en la banda de interés. En la tabla 4-3 se muestra la atenuación obtenida por el modulador $\Sigma\Delta$ de primer orden operando con una OSR de 1024 y 2048 para alcanzar la atenuación que aproximadamente proveería un modulador de segundo orden con una OSR de 64 y 128.

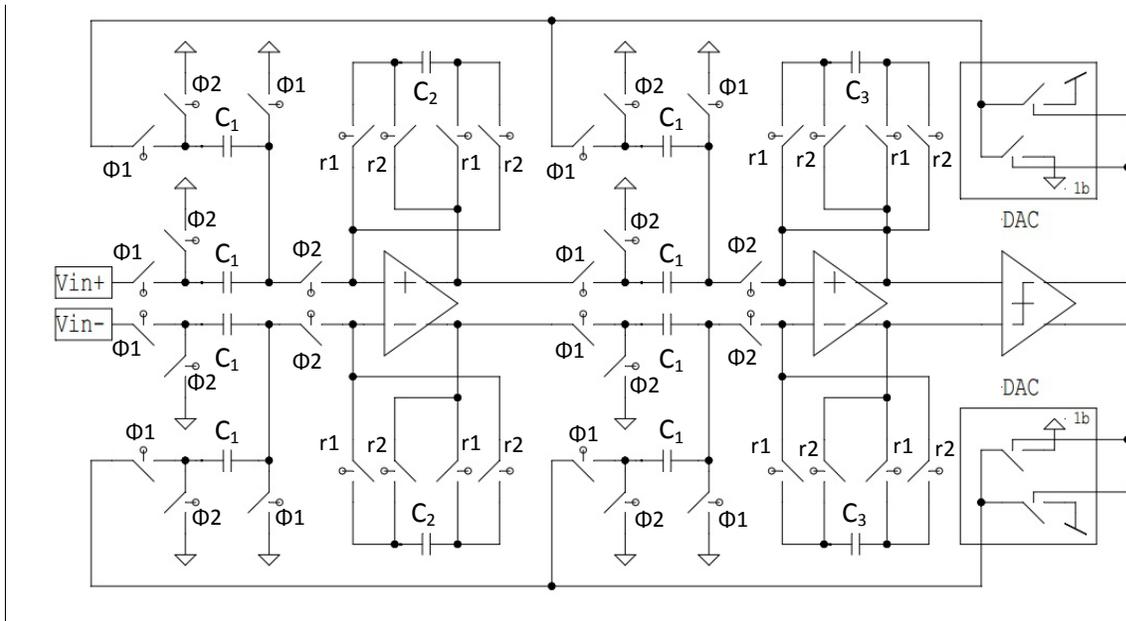
OSR	dB/octava
1024	92.9
2048	101.9

Tabla 4-3 - OSR requerido por una arquitectura de primer orden para obtener valores típicos de una de segundo orden.

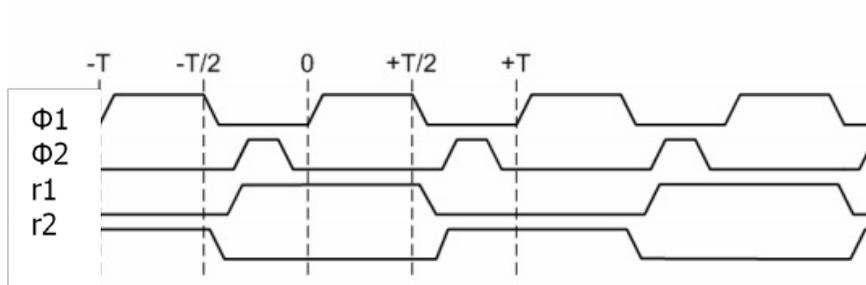
Como ya se ha expuesto, la precisión del modulador $\Sigma\Delta$ depende de la OSR y del orden de la arquitectura, debido a la estabilidad y al consumo de potencia inherente al sobremuestreo se ha elegido como arquitectura base totalmente diferencial por satisfacer ambas restricciones [Brandt].

En la figura 4-1 a) se muestra el diagrama general de la arquitectura de segundo orden diseñada y en figura 4-1 b) el esquema de reloj Φ_1 , Φ_2 , r_1 , y r_2 requeridos para una arquitectura reducida para conmutación de los interruptores [Wilde]. Como se puede apreciar se trata de una arquitectura diferencial en donde se duplican los integradores ya que el integrador de la primera etapa satisface las restricciones de diseño de la segunda etapa.

Estos integradores son similares a los presentados en la figura 3-10 con excepción de la reutilización del interruptor con fase Φ_1 con lo que se reduce el número de interruptores totales, esta modificación es resaltada en el esquemático de la figura 4-1 a).



a)



b)

Figura 4-1 – a) Arquitectura propuesta del modulador sigma delta de segundo orden, y b) esquema de reloj.



La polaridad del capacitor de integración (C_2 y C_3) se conmuta con los interruptores r_1 y r_2 evitando utilizar un capacitor de acoplamiento; los valores de los capacitores C_1 , C_2 y C_3 se proponen en la sección 4.2. El convertidor AD de 1 bit se implementa con un comparador igualmente diferencial, finalmente, el convertidor DA 1 bit se resuelve con el establecimiento de una ruta de retroalimentación a GND o a V_{cc} en función de la salida del convertidor AD (DAC).

Tomando los resultados de la tabla 4-2 y la aproximación a convertidor Nyquist para una frecuencia de sobremuestreo de 10 MHz y un OSR de 128 tenemos un valor mínimo del capacitor de integración de 45fF para satisfacer las restricciones de ruido, con este valor podemos diseñar ahora la corriente mínima en los amplificadores para cargar y drenar la carga en estos [Onodera].

La implementación de los integradores del modulador de segundo orden se realizan en una configuración totalmente diferencial, el convertidor AD de 1 bit con un comparador diferencial y el convertidor DA de 1 bit con compuertas de transmisión. A continuación, se describe a detalle cada bloque del modulador.

4.2 Integrador diferencial

El integrador como ya hemos mencionado en el capítulo 3 se puede modelar como un filtro en el dominio discreto, su implementación requiere del diseño de un amplificador operacional de transconductancia (AOT), para este diseño comenzaremos tomando los resultados del análisis de ruido y posteriormente iremos satisfaciendo las restricciones de diseño estableciendo el tamaño de los transistores que constituyen el AOT.

Para un diseño diferencial es importante que exista simetría en los valores de los capacitores de integración, para reducir el error debido a simetría debemos hacer más grandes los capacitores en al menos cinco veces, quedando en aproximadamente 0.1 pF, para satisfacer los valores de ganancia que aseguran la estabilidad del sistema $K1=C_1/C_2=1/4$ y $K2 = C_1/C_3 = 1/2$. El circuito de la figura 4-2 muestra la configuración para el primer integrador resaltando $K1$ con el arreglo C_1 , C_2 .

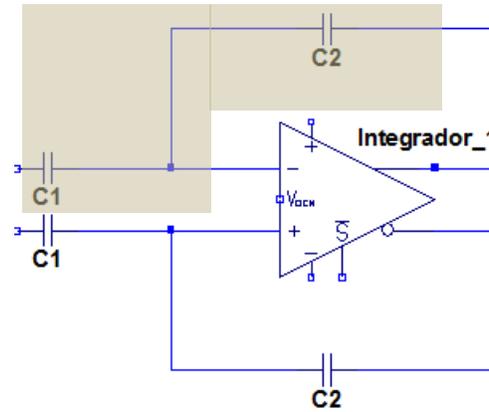


Figura 4-2 - Integrador simétrico destacando la ganancia K1.

El circuito de la figura 4-2 muestra los dos integradores destacando $K2$ con $C1 = 0.1 \text{ pF}$, $C2=0.4 \text{ pF}$, y $C3=0.2 \text{ pF}$; siendo estos, los valores de los capacitores que satisfacen la restricción de ruido y la ganancia $K1$ y $K2$.

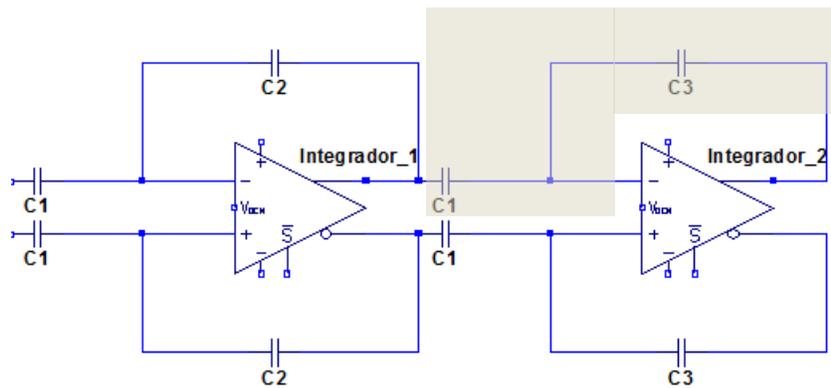


Figura 4-3 - Integrador simétrico destacando K2.

En la figura 4-4 se muestra el diagrama del operacional implementado en tecnología AMI CMOS de 0.5 μ . Los transistores se numeran como M1, M3, M5, M6, y M8; el número que precede a la letra "M" indica el número de transistores con que se implementara el *layout* como se verá en el capítulo 5.

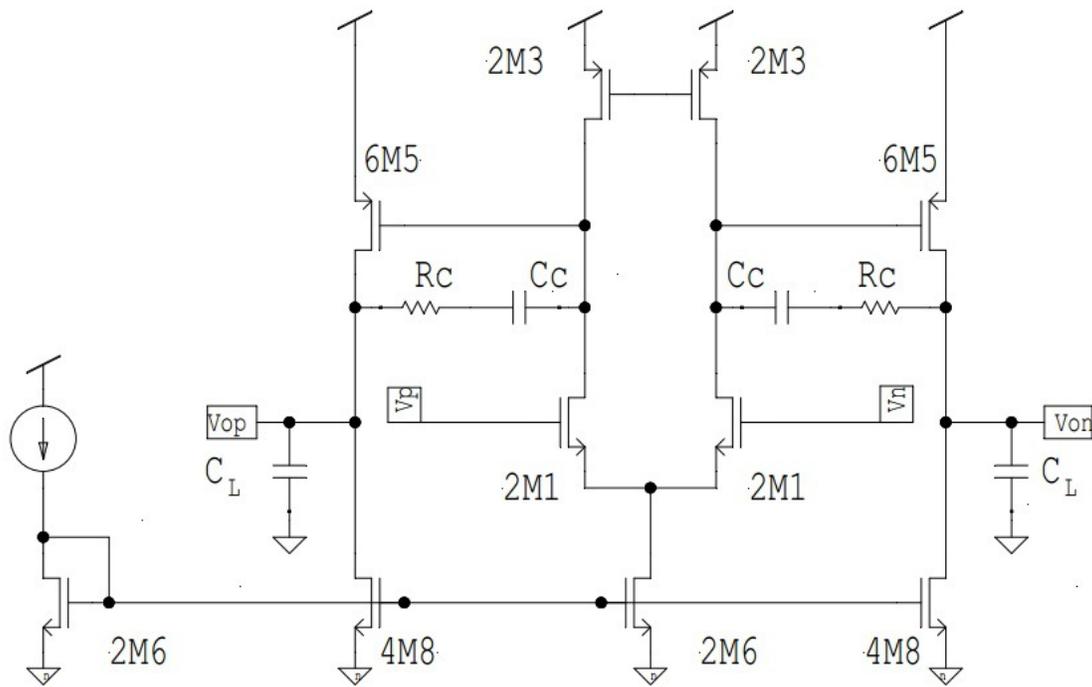


Figura 4-4 - Esquemático del AOT de los integradores.

Este circuito es un amplificador de dos etapas con compensación de Miller cuyos resistores son implementados con transistores en subumbral, cuenta con una entrada diferencial conformada por los transistores M1 y la etapa de salida de suministro y drenado se implementan con los transistores M5 y M8.

La restricción de ruido S_n se propone menor que $10 \text{ nV}/\sqrt{\text{Hz}}$ sin compensación de desvío debido al bajo impacto en sistemas con cuantificación uniforme [Boser], para calcular la transconductancia en los transistores de entrada empleamos la siguiente aproximación [Palmisano]:

$$g_{m1} \approx \frac{16}{3} \frac{kT}{S_n(f)} \quad (4.1)$$

Donde k es la constante de Boltzman y T la temperatura en grados kelvin, con lo cual obtenemos una transconductancia de $220 \mu\text{A/V}$.



Para establecer las corrientes requeridas en el par diferencial y los transistores de salida debemos identificar el valor mínimo de *slew rate* requerido, el cual introduce distorsión armónica en el desempeño del rango dinámico, incrementando así, el ruido-más-distorsión en la señal de interés. Las simulaciones indican que para la frecuencia de muestreo seleccionada es suficiente un *slew rate* de 15 V// μ s [Brigati][Boser].

La corriente en $I_{D M1, M2}$ es:

$$I_{D M1} = \frac{SR}{2} C_C \quad (4.2)$$

Donde C_c es el valor del capacitor de compensación, la cual es de 3.5 pF para la restricción de ruido S_n , propuesta, con lo que obtenemos 17.5 μ A. Mientras que la corriente de la rama de salida $I_{D M7, M8}$ es:

$$I_{D M8} = 2I_{D M1} \left(1 + \frac{C_L}{C_C}\right) \quad (4.3)$$

De la ecuación 4-3 podemos la corriente de M7 igual a 55 μ A, donde C_L es el capacitor de carga. De la ecuación 4.4 se puede obtener la relación de aspecto de los transistores M1, es decir 12.

$$\frac{W}{L} = \frac{(g_{m1})^2}{4K_n I_{D M1}} \quad (4.4)$$

Finalmente para los transistores M5 tenemos:

$$\frac{W}{L} = \frac{(g_{m5})^2}{4K_p I_{D M5}} \quad (4.5)$$

Con lo que obtenemos una relación de aspecto de 47, en todos los casos se puede proponer una L mínima de 1.2 μ m y una W que satisfaga las relaciones de aspecto. Estas relaciones de aspecto encontradas se segmentan utilizando múltiples transistores como se muestra en el siguiente capítulo.

Finalmente la resistencia R_L es el inverso de g_{m5} , con lo cual se obtiene una resistencia de 2.3 k Ω .

4.3 Comparador diferencial

Para satisfacer las restricciones de diseño del comparador y ya que las capacitancias de carga son similares a la segunda etapa del amplificador, se propone el circuito comparador con entrada diferencial de la figura 4-5, donde las corrientes del par diferencial; la corriente de suministro; y la corriente de drenado a través de M4, M5, y M8 se proponen del mismo orden para obtener las relaciones de aspecto de los mismos se sigue la ecuación 4.4 y 4.5. En el capítulo 5 se muestran las relaciones de aspecto de los transistores.

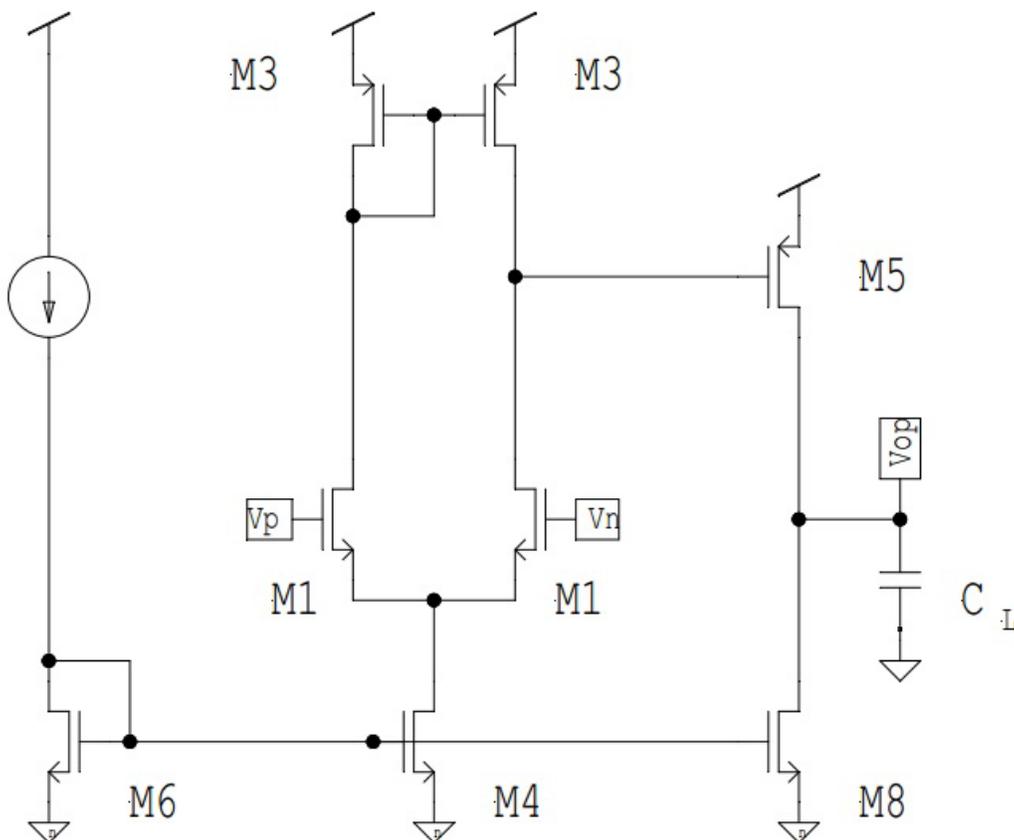


Figura 4-5 - Esquemático del comparador con entrada diferencial (V_p , V_n).

4.4 Convertidor DA diferencial con interruptores y retroalimentación

En la figura 4-6 se muestra el diagrama del convertidor DA de 1 bit, este convertidor idealmente es lineal, ya que sólo posee dos valores de conversión “0” o “1” lógico, como ya se ha discutido en el capítulo 3 se generan rutas hacia el voltaje de riel o al voltaje común, esta ruta se establece con los interruptores controlados por las señales q y \bar{q} , estas señales provienen del comparador, en seguida hay una configuración de emulación de resistor con capacitor conmutado con las señales Φ_1 , Φ_2 mostradas en el esquema de reloj de la figura 4.1 b). Esta configuración para sumar a los integradores y establecer la retroalimentación.

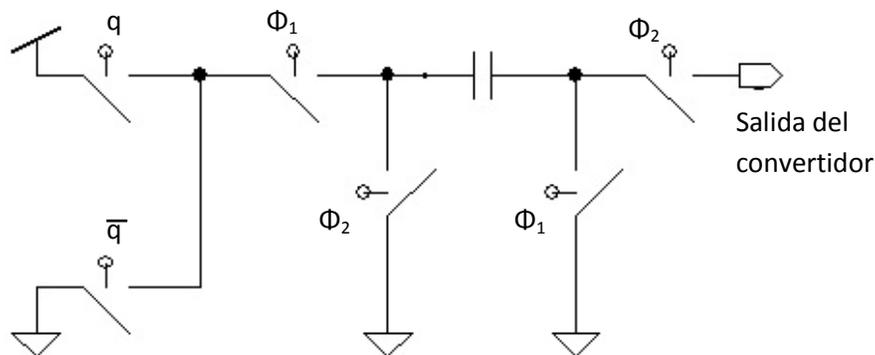


Figura 4-6 - Diagrama del convertidor DA de 1 bit.

En la figura 4-7 se muestra la implementación del diagrama de la figura 4-6, donde se utilizan compuertas de transmisión simples, aunque existe un detallado estudio de los efectos de inyección de carga [Enz], se omiten técnicas de cancelación ya que al tener una configuración totalmente diferencial y tener la arquitectura mostrada en la figura 4-1 a) los efectos se cancelan y atenúan [Libin Yao].

Las señales $clk1$ y $clk2$ que se observan en la figura 4-7 pueden ser las mismas que Φ_1 , Φ_2 mostradas en el esquema de reloj de la figura 4.1 b). El comparador suministra las señales de control Vp y Vn (q y \bar{q}) como se ha descrito. Las relaciones de aspecto de los transistores se muestran en el capítulo 5.

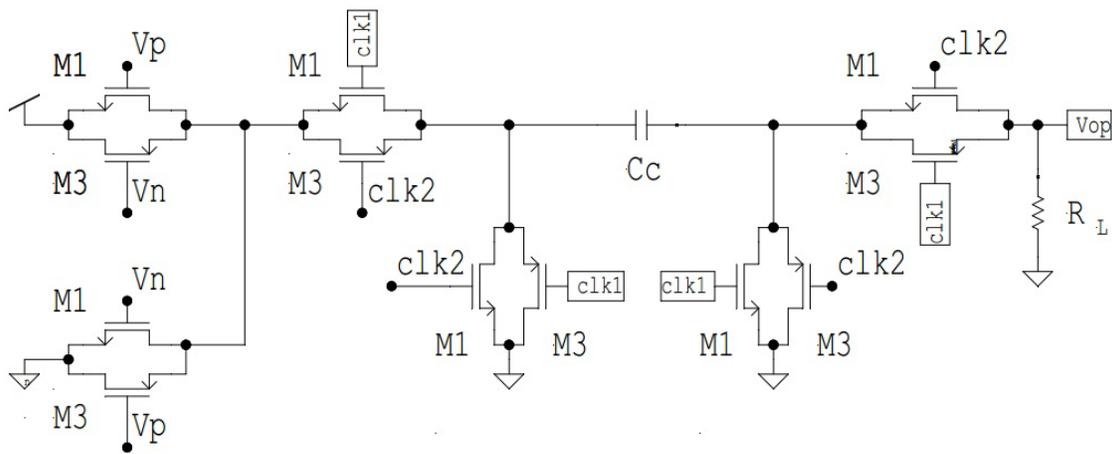


Figura 4-7 - Esquemático del convertidor diferencial 1 bit.



CAPÍTULO 5 Pruebas y resultados

En este capítulo se discuten algunos aspectos de las simulaciones realizadas y se muestran los resultados obtenidos de la simulación a bloques y de la simulación de los circuitos. Además, se listan las relaciones de aspecto de circuitos diseñados.

5.1 Simulación del modulador $\Sigma\Delta$ de segundo orden

5.2 Diseño y simulación

5.2.1 El integrador

5.2.2 Convertidores

5.1 Simulación del modulador $\Sigma\Delta$ de segundo orden

La prueba de funcionamiento conceptual de la arquitectura se realizó en Simulink de Matlab con la arquitectura mostrada en la figura 5-1 donde se puede apreciar que funcionalmente se introducen los mismos elementos que en la arquitectura propuesta.

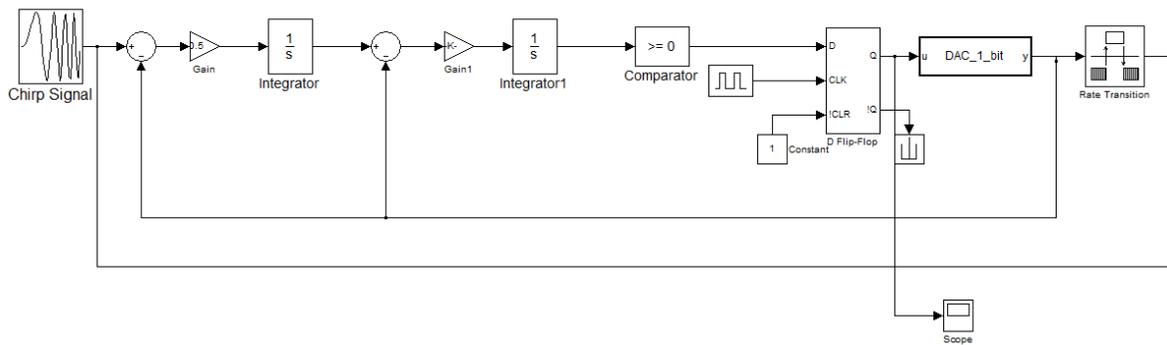


Figura 5-1 – Diagrama a bloques del modulador de segundo orden (Simulink).

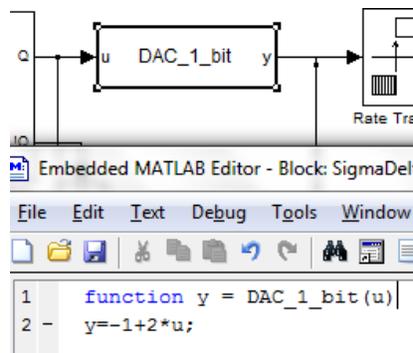


Figura 5-2 – Bloque que implementa el convertidor DA.

La frecuencia de reloj se establece en 10 kHz, mientras que el comparador se ha implementado con una función ideal $f(u) = -1 + 2u$, donde u es la salida del biestable con 0 ó 1 lógico como posibles valores, esto se puede observar en la figura 5-2. La salida del



comparador DAC_1_bit o $f(u)$ puede adoptar los valores de -1 ó 1, esta salida es la modulación sigma delta y es utilizada para implementar la decimación de la señal para dar origen a la conversión analógica digital [Schreier02].

5.2 Resultados de simulación

A continuación se muestra los resultados de simulación de los bloques del modulador; las es mostrado en el apéndice B-1 El integrador del primer y segundo ciclo de retroalimentación son idénticos ya que el mismo diseño satisface las restricciones en ambos casos. El diseño del amplificador de los integradores tiene como valor máximo de SR 150 V/ μ s que es el valor requerido según las simulaciones [Boser].

5.2.1 Integrador

Se han seguido las restricciones expuestas en el capítulo 4 para llevar a cabo el diseño del integrador, en la tabla 5-1 se resume el valor de las ganancias $K1$ y $K2$ y de las capacitancias que las definen C_1 , C_2 y C_3 .

Ganancia del lazo	Capacitor de entrada		Capacitor de retroalimentación	
$K1 = C_1/C_2 = 0.25$	$C_{r1} = 0.1$ pF	$C_1 = 1$ pF	$C_{r2} = 0.4$ pF	$C_2 = 4$ pF
$K1 = C_1/C_3 = 0.5$	$C_{r1} = 0.1$ pF	$C_1 = 1$ pF	$C_{r3} = 0.2$ pF	$C_3 = 2$ pF

Tabla 5-1 - Valores de los capacitores del integrador respecto a la ganancia del lazo y los valores adecuados para implementación.

Las capacitancias C_{r1} , C_{r2} y C_{r3} son las capacitancias obtenidas por los requerimientos de diseño de ruido, pero su implementación conduce a valores de capacitores que no son adecuados para un diseño simétrico sin desacople, por ello, se proponen los nuevos



valores de capacitancia C_1 , C_2 y C_3 que satisfacen este inconveniente. El nuevo tamaño de los transistores genera un área de $20 \times 21 \mu^2$ que tiene menos desacoplamiento comparado al área previa de $8 \times 5 \mu^2$.

De acuerdo a las simulaciones los parámetros de diseño del amplificador AOT son:

Parámetro	Obtenido
f_{GBW}	10 MHz
SR	15 V/ μ s
Margen de fase	38 dB
Margen de ganancia	86 °
PSSR	96 dB

Tabla 5-2 - Parámetros de diseño del AOT.

El diseño del amplificador arroja un consumo de corriente superior a los diseños propuestos en la literatura [Mori], esto se debe al $SR = 15 \text{ V}/\mu\text{s}$ propuesto que es casi una década superior al comúnmente propuesto [Boser], este nuevo valor de SR se basa en los resultados de simulación que indican es la principal limitante de la arquitectura del modulador $\Sigma\Delta$ segundo orden. La tabla 5-2 muestra la corriente consumida por el amplificador de la figura 4.3. Los resultados de simulación son presentados en el anexo B.

	Corriente de drenaje I_D	Relación de aspecto	Transconductancia
Par diferencial	$I_{D_{M1}} = 17 \mu\text{A}$	$W/L = 12$	$g_m = 220 \mu\text{A/V}$
Salida	$I_{D_{M5, M8}} = 55 \mu\text{A}$	$W/L_5 = 24 \mid W/L_8 = 47$	$g_m = 435 \mu\text{A/V}$

Tabla 5-3 – Corrientes en el amplificador AOT y la relaciones de aspecto para 0.5μ .



En la tabla 5-3 se lista la relación de aspecto final que tienen los transistores, esta relación de aspecto resultó ser la más conveniente en las simulaciones.

Transistor	Relación W/L	Segmentos	W (μm)	L (μm)
M1	15	2	9	1.2
M3	15	2	9	1.2
M5	54	6	9	1.2
M6	15	2	9	1.2
M8	24	4	9	1.5

Tabla 5-4 - Relación de aspecto de los transistores del AOT.

Los transistores están segmentados para realizar conexiones paralelas, eligiendo como mínimo común múltiplo 9 μm . Esto facilita el *layout* y reduce capacitancias parásitas [Baker01].

5.2.1 Convertidores

El convertidor AD de la figura 4-5 y el convertidor de la figura 4-7 fueron simulados obteniendo los resultados que se muestran en las figuras B-4 y B-5 del anexo B. Las simulaciones se realizaron a frecuencias superiores a las frecuencias de trabajo verificando que se alcanzaron las restricciones de diseño.

Las relaciones de aspecto con las cuales se realizaron las simulaciones se muestran en las tablas 5-5 y 5-6, en estas tablas se muestra la relación de aspecto de los transistores, el número de transistores en paralelo y el tamaño en micrómetros del ancho W y largo L .

Transistor	Relación W/L	Segmentos	W (μm)	L (μm)
M1	4.5	1	5.4	1.2
M3	4.5	1	5.4	1.2
M4	9	2	5.4	1.2
M5	36	5	5.4	1.2
M6	9	2	5.4	1.2
M8	13.5	3	5.4	1.2

Tabla 5-5 - Relación de aspecto de los transistores del comparador.



Transistor	Relación W/L	Segmentos	W (μm)	L (μm)
M1	9	2	5.4	1.2
M3	24	8	5.4	1.8

Tabla 5-6 - Relación de aspecto de los transistores del convertidor DA de 1 bit.

De igual forma que en el integrador, se redimensionó del ancho W y largo L los transistores conservando la relación de aspecto (W/L), consiguiendo así facilidad en el diseño del *layout* y reducción de las capacitancias parásitas [Baker01].



CAPÍTULO 6 Conclusiones y trabajo futuro

En este capítulo se discuten los resultados obtenidos y las limitantes del diseño propuesto, también se proponen mejoras al diseño, y nuevas propuestas de trabajo para futuras investigaciones.

6.1 Conclusiones

6.2 Trabajo futuro



6.1 Conclusiones

En este trabajo se han presentado los fundamentos de los convertidores de sobremuestreo así como los elementos necesarios para decidir que arquitectura seleccionar en función de la reducción de ruido debido al orden de la arquitectura del modulador $\Sigma\Delta$ seleccionado. Los resultados arrojan que al doblar el OSR una arquitectura de primer orden, se incrementa en 3 dB/octava la reducción de ruido; con lo cual tenemos una mejora de 1.5 bits teóricos en la precisión de conversión. Para el caso de la arquitectura de segundo orden, al doblar el OSR, la reducción de ruido se incrementa en 9 dB/octava; esto representa una mejora teórica de 2.5 bits en la precisión de conversión. Estos resultados son bien conocidos y reportados previamente en la literatura [Boser], pero aquí se presenta el análisis y la tabulación para los valores típicos de sobremuestreo.

Este análisis nos ha permitido definir una arquitectura para el modulador $\Sigma\Delta$ para señales de 40 kHz, con una relación de sobremuestreo de 128, la reducción de ruido se estima sobre los 90dB lo cual nos permite superar los 10 bits de resolución.

Se han definido los bloques funcionales que constituyen el circuito modulador $\Sigma\Delta$ para una arquitectura de segundo orden, la estabilidad del sistema se asegura siguiendo los resultados obtenidos en investigaciones previas [Boser] [Libin Yao].

Se han diseñado los bloques funcionales del circuito modulador $\Sigma\Delta$ para tecnología de 0.5 micras, obteniendo valores de capacitores demasiado pequeños para la arquitectura, este problema se ha solucionado proponiendo un tamaño tres veces mayor en los capacitores de integración con lo que se asegura una simetría en los capacitores de integración. Este aumento en el tamaño de los capacitores requiere de un aumento en la corriente de suministrada y drenada por los AOT, generando un consumo mayor al esperado.

Se han presentado los resultados de las simulaciones a manera resumen teniendo un SR mayor a 15 v/ μ s el cual es requerido, para ello se incrementó la corriente en los amplificadores y del comparador generando un consumo de 1800 μ W, siendo hasta tres



veces superior que el consumo reportado en trabajos anteriores, esto exige minimizar los parámetros del circuito (capacitores de integración, *Slew Rate* en el AOT o tecnología) para tener un consumo menor, no obstante se tiene un ancho cuatro veces mayor que el reportado por Mori y poco más de tres veces que el reportado por Zhang como se puede apreciar en la tabla 6.1. En el caso de Zhang la tecnología utilizada es de menor tamaño con lo cual los voltajes de umbral disminuyen, permitiendo en general tener menor consumo corriente y de potencia.

En el capítulo 4 se ha realizado la comparación entre la precisión de la arquitectura de primer orden y la de segundo orden, llegando a la conclusión esperada de ser preferible aumentar el orden de la arquitectura que aumentar el OSR; ya que para poder obtener una precisión similar a la obtenida con OSR = 128 en la arquitectura de segundo orden, se requiere una OSR= 2048 para la arquitectura de primer orden.

Referencia	Rango dinámico	Consumo (μW)	Tecnología	OSR	f_s (MHz)	Voltaje riel a riel (v)
[Peluso] 1997	12	100	CMOS 0.7 μm	>140	0.5	1.5
[Mori] 2001	13	ND	CMOS 0.8 μm	128	2.56	3
[Wilde] 2010	12	1600	CMOS 90 nm	256	25	1.5
[Zhang] 2010	10	800	CMOS 0.18 μm	128	3.072	1.8
Trabajo de Tesis	12	1800	CMOS 0.5 μm	128	10.2	3

Tabla 6-1 - Tabla comparativa entre trabajos publicados y el presentado.

Finalmente, la parametrización y desarrollo de las simulaciones condujeron a las relaciones de aspecto de los transistores mostradas en el capítulo 5, donde se privilegia que los anchos W , sean múltiplos de 9 μm para facilidad del layout para realizar una conexión paralela [Baker01].

6.2 Trabajo futuro

Se propone para estudios futuros el diseño del decimador para la arquitectura de segundo orden, y la generación del esquema de reloj con fases sin traslapamiento, hasta el momento se propone como una señal externa. El diseño del decimador más elemental es



un contador y un corrimiento para llevar a cabo la división sobre dos, esto es posible gracias a la relación de sobremuestreo 2^n . Es posible realizar un diseño que permita obtener el resultado de la decimación implementando filtros de respuesta infinita al impulso, aumentando la dificultad del diseño pero reduciendo el consumo al disminuir el número de elementos del circuito.

El diseño propuesto en el AOT satisface las necesidades de SR que requiere el modulador, no obstante se pueden llevar a cabo mejoras en el diseño del mismo, una de las mejoras propuestas es la minimización del SR dinámico para obtener un consumo menor sin sacrificar la reducción de ruido de la arquitectura, consiguiendo así un menor consumo [Perez], de manera paralela se puede llevar a cabo la implementación de la técnica de transistor dividido [Boser02], esta técnica propone un amplificador en dos etapas con retroalimentación del capacitor de compensación solamente en puntos donde la impedancia sea más baja que el punto que se desea retroalimentar.

Otro elemento que se debe analizar es evaluar la viabilidad respecto al consumo en la implementación de la técnica de multibit en la conversión AD y la conversión DA contra la implementación de una arquitectura de tercer orden. Se espera una mejora en la reducción de ruido debido a la rápida convergencia en arquitecturas multibit que se debe validar si resulta conveniente en términos de consumo.

ANEXO A

A.1. Simulación con Simulink de Matlab

Los resultados de la simulación de la arquitectura del modulador $\Sigma\Delta$ de segundo orden mostrado en la figura 5-1 se muestran en la figura A-2 donde se observa la salida del cruce por cero de una señal de prueba tipo chirp con frecuencia final de 40 kHz

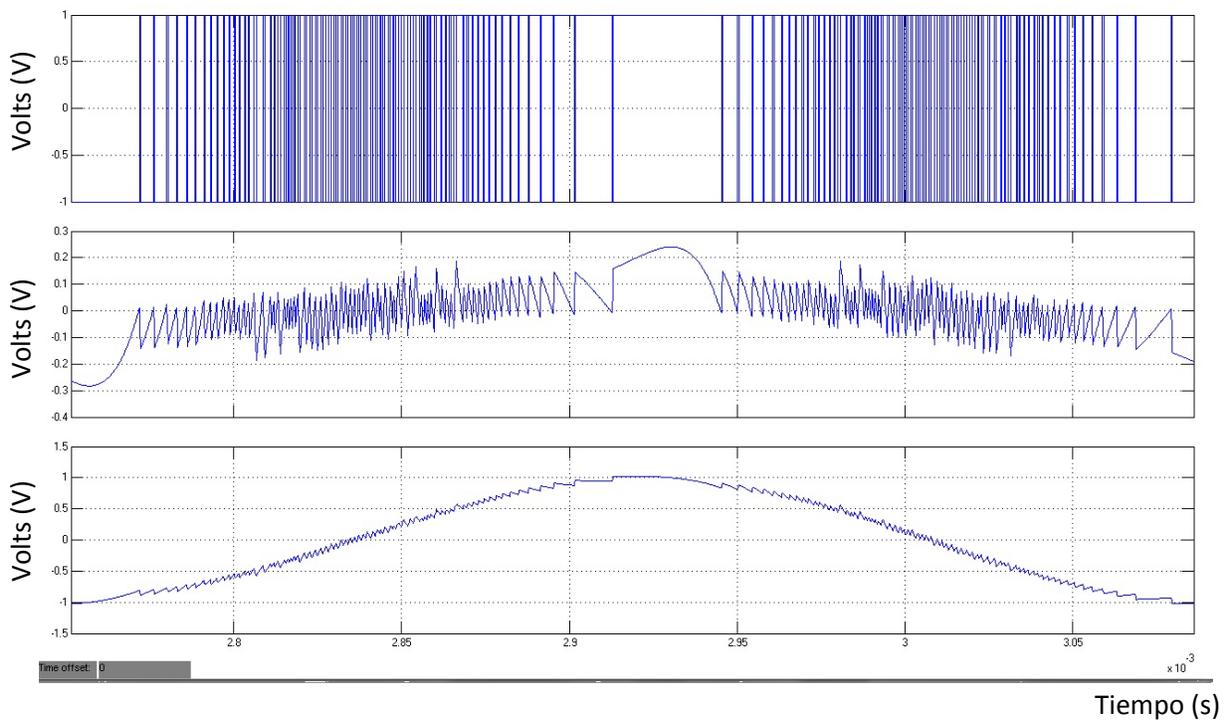


Figura A-1 – Gráfica de salida del modulador, el integrador 2 y el integrador 1 (descendente).

ANEXO B

B.1. Simulación con LTSPice

La ganancia a lazo abierto muestra un comportamiento típico como se puede apreciar en la respuesta en frecuencia de la figura B-1, donde, se puede apreciar que el primer polo retrasa la señal de entrada en aproximadamente 90° y no presenta offset debido al modo común. Como se puede apreciar en la figura B-2, la simulación en del amplificador a lazo abierto, el margen de ganancia es menor a 120° para la ganancia unitaria. Esta condición es requerida para garantizar estabilidad.

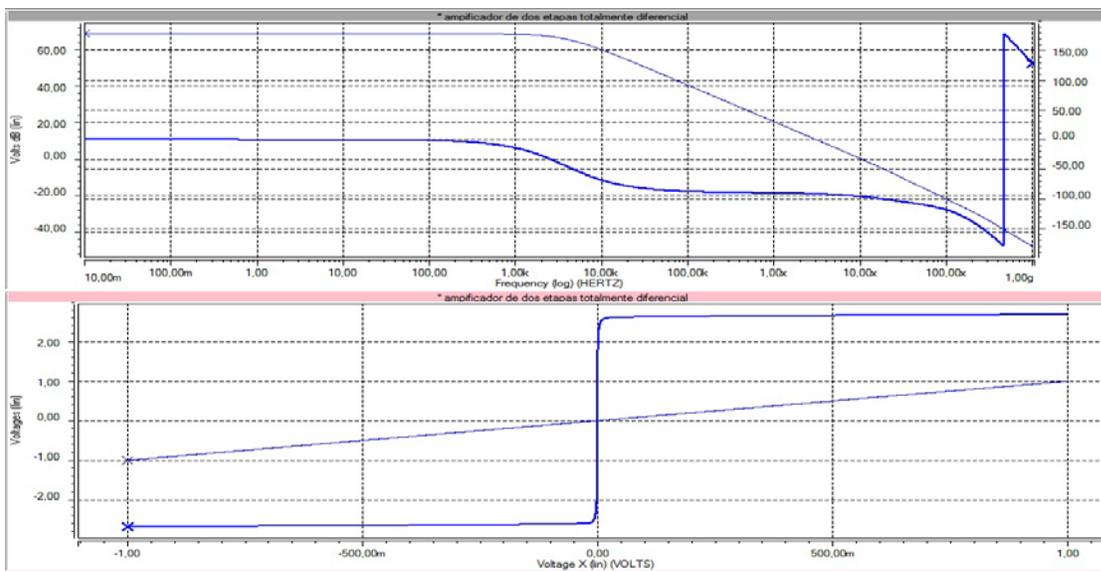


Figura B-1 - Simulación AC y DC del AOT que implementa los integradores.

En la figura B-3 se muestra la respuesta en frecuencia de lazo cerrado para ganancia unitaria, donde se verifica el ancho de banda esperado.

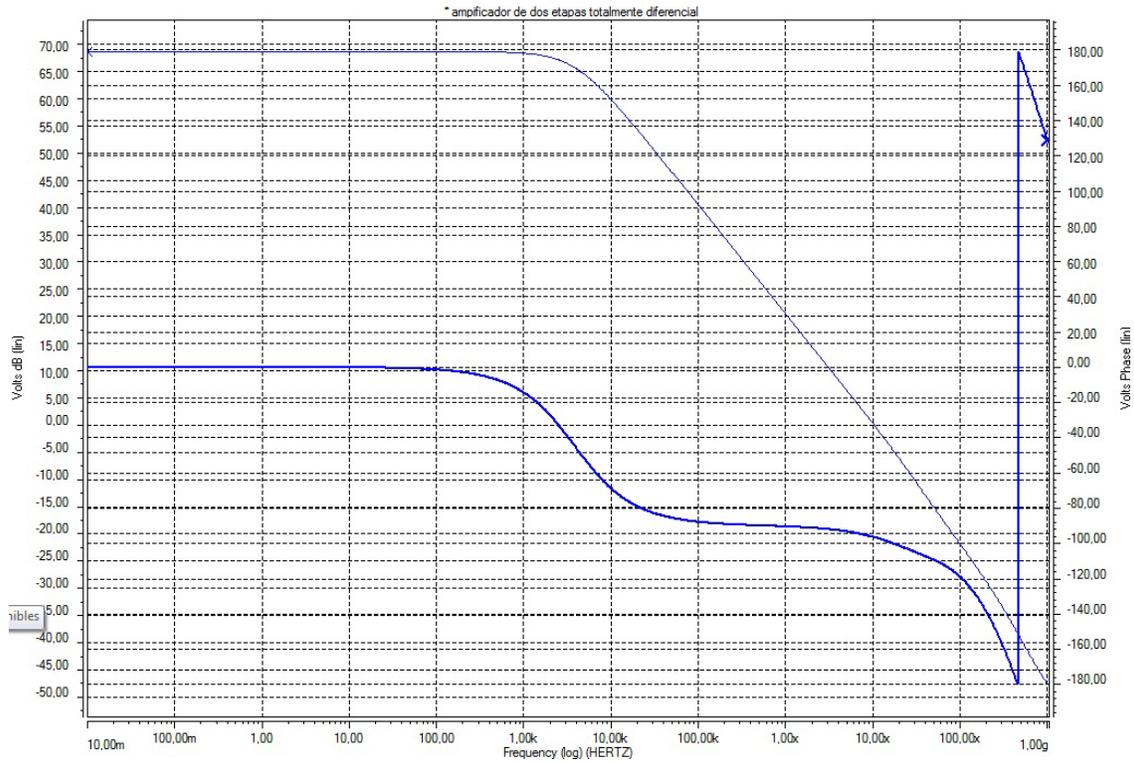


Figura B-2 - Respuesta en frecuencia del AOT.

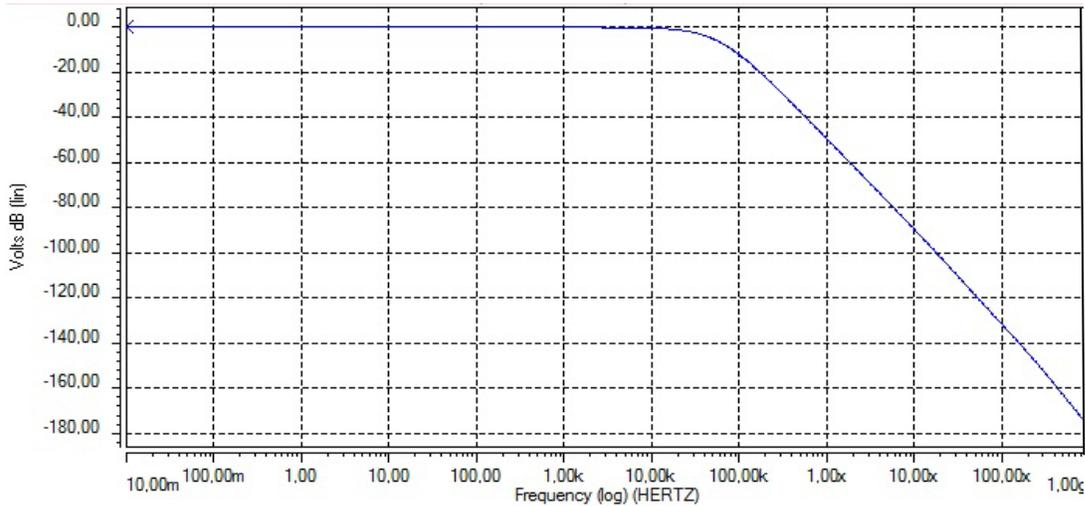


Figura B-3 - Respuesta en frecuencia a lazo cerrado.

En la figura B4 se muestra los resultados de simulación del comparador para reloj con periodo de 600 ns, donde se puede verificar que la rapidez de conmutación no limita el *slew rate* de 15 V/ μ s alcanzado por el AOT.

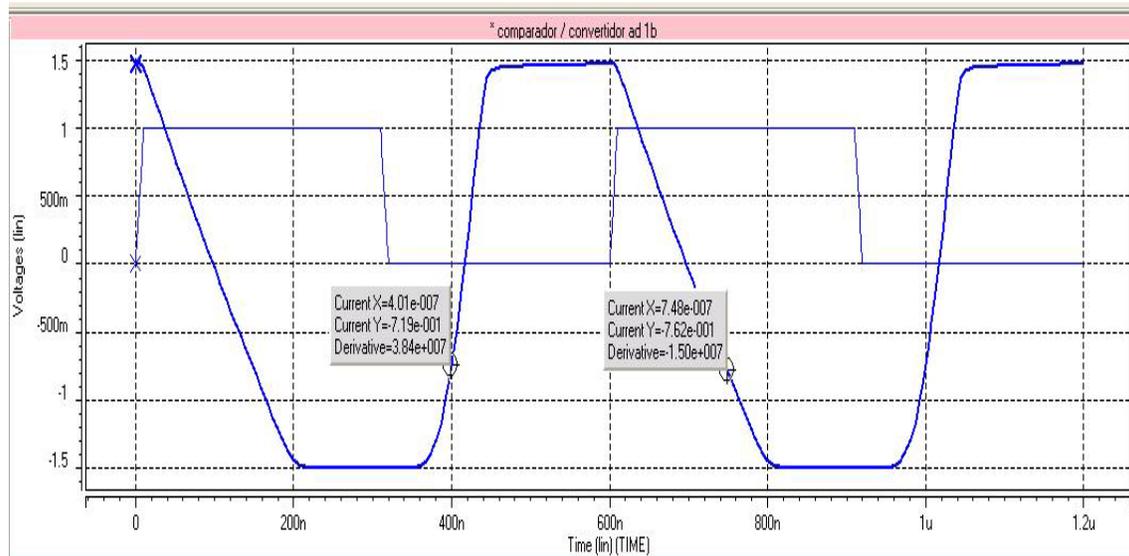


Figura B-4 - Simulación del convertidor AD de 1 bit (comparador).

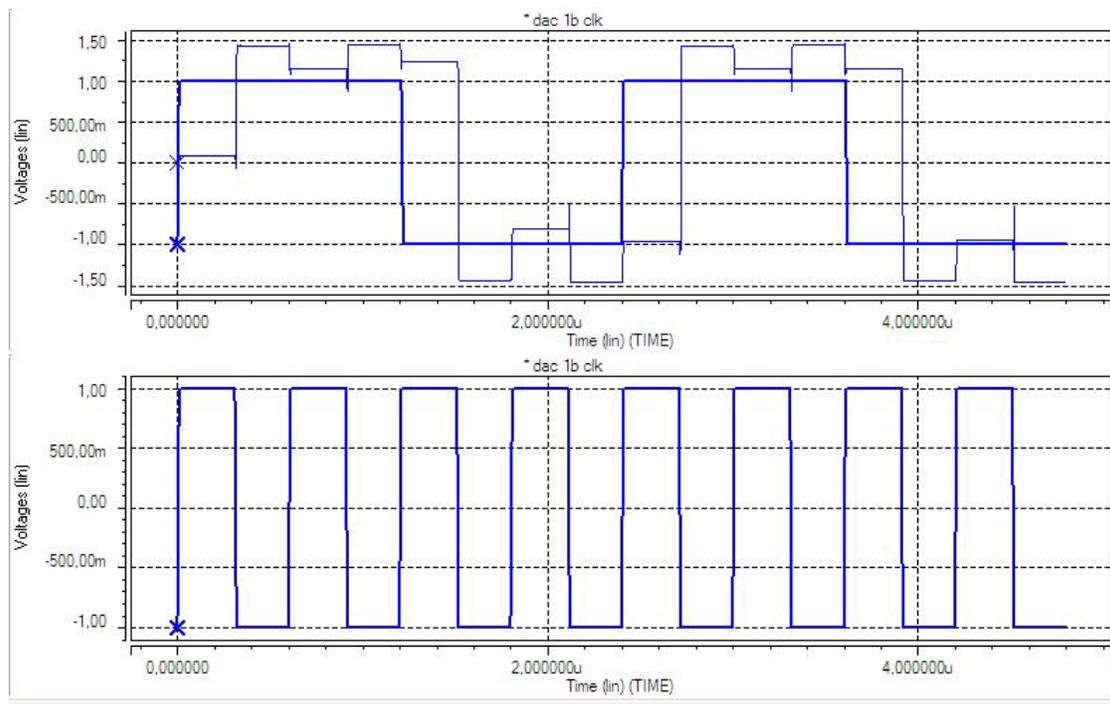


Figura B-5 - Salida del convertidor DA de 1 bit y esquema de reloj.



Finalmente la figura B5 muestra los resultado de simulación de convertidor DA de 1 bit con interruptores, la salida del comparador $q = "1"$ que está graficada con amplitud de -1 V a $+1\text{ V}$ permitiendo las rutas de retroalimentación como se ha discutido en el capítulo 4. Además se puede apreciar en la gráfica inferior la señal de reloj Φ ; en cuyos flancos sucede la trasferencia de carga o la interrupción de la misma como se observa en la parte superior de la misma figura.

B.2. Modelo MOSIS para transistores AMIS 0.5

Modelo MOSIS nivel 49 para transistores en tecnología CMOS AMIS de 0.5μ

```
.MODEL NMOS NMOS ( LEVEL = 49
+VERSION = 3.1 TNOM = 27 TOX = 1.43E-8
+XJ = 1.5E-7 NCH = 1.7E17 VTH0 = VTHOn
+K1 = 0.8758326 K2 = -0.0863735 K3 = 19.517147
+K3B = -7.8393631 W0 = 1E-8 NLX = 1E-9
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 2.7580784 DVT1 = 0.4586878 DVT2 = -0.1580747
+U0 = 455.2375561 UA = 1E-13 UB = 1.826716E-18
+UC = 2.175854E-11 VSAT = 1.525909E5 A0 = 0.6562464
+AGS = 0.1400853 B0 = 2.590299E-6 B1 = 5E-6
+KETA = -4.210703E-3 A1 = 1.408544E-5 A2 = 0.3847639
+RDSW = 1.538425E3 PRWG = 5.265651E-3 PRWB = 0.0326722
+WR = 1 WINT = 2.938526E-7 LINT = 2.262072E-8
+XL = 0 XW = 0 DWG = -2.293854E-8
+DWB = 4.66445E-8 VOFF = -0.0103394 NFACTOR = 1.0621241
+CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 0.015919 ETAB = -1.83082E-3
+DSUB = 0.2305335 PCLM = 2.502833 PDIBLC1 = 1.260663E-3
+PDIBLC2 = 2.660119E-3 PDIBLCB = -0.0238723 DROUT = 0.5171882
+PSCBE1 = 6.172273E8 PSCBE2 = 1.615457E-4 PVAG = 2.63876E-3
+DELTA = 0.01 RSH = 83.8 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0
+WWN = 1 WWL = 0 LL = 0
+LLN = 1 LW = 0 LWN = 1
+LWL = 0 CAPMOD = 2 XPART = 0.5
+CGDO = 2.12E-10 CGSO = 2.12E-10 CGBO = 1E-9
+CJ = 4.239616E-4 PB = 0.9873011 MJ = 0.4472349
+CJSW = 3.319142E-10 PBSW = 0.1 MJSW = 0.11571
+CJSWG = 1.64E-10 PBSWG = 0.1 MJSWG = 0.11571
+CF = 0 PVTH0 = 0.0757071 PRDSW = 141.3097407
```



+PK2 = -0.0281147 WKETA = -0.0162998 LKETA = 5.366192E-4 NOIMOD=2)

.MODEL PMOS PMOS (LEVEL = 49
+VERSION = 3.1 TNOM = 27 TOX = 1.43E-8
+XJ = 1.5E-7 NCH = 1.7E17 VTH0 = VTHOp
+K1 = 0.5357026 K2 = 0.0123939 K3 = 6.143499
+K3B = -0.89781 W0 = 1E-8 NLX = 4.721735E-8
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 1.871415 DVT1 = 0.5346187 DVT2 = -0.1378656
+U0 = 226.8100934 UA = 3.369805E-9 UB = 2.060368E-21
+UC = -5.52072E-11 VSAT = 1.747657E5 A0 = 0.9045319
+AGS = 0.1607865 B0 = 1.175028E-6 B1 = 5E-6
+KETA = -1.984718E-3 A1 = 0 A2 = 0.3
+RDSW = 3E3 PRWG = -0.0326554 PRWB = -9.35987E-3
+WR = 1 WINT = 3.201584E-7 LINT = 3.818055E-8
+XL = 0 XW = 0 DWG = -2.817465E-8
+DWB = 2.003866E-8 VOFF = -0.0845828 NFACTOR = 0.7962591
+CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 0.3419057 ETAB = -0.1086238
+DSUB = 1 PCLM = 2.2447279 PDIBLC1 = 0.0410495
+PDIBLC2 = 3.907213E-3 PDIBLCB = -0.0396913 DROUT = 0.2037278
+PSCBE1 = 6.981994E9 PSCBE2 = 6.828924E-10 PVAG = 0.0147169
+DELTA = 0.01 RSH = 103 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0
+WWN = 1 WWL = 0 LL = 0
+LLN = 1 LW = 0 LWN = 1
+LWL = 0 CAPMOD = 2 XPART = 0.5
+CGDO = 2.88E-10 CGSO = 2.88E-10 CGBO = 1E-9
+CJ = 7.247257E-4 PB = 0.9542821 MJ = 0.4961393
+CJSW = 2.703165E-10 PBSW = 0.99 MJSW = 0.2845732
+CJSWG = 6.4E-11 PBSWG = 0.99 MJSWG = 0.2845732
+CF = 0 PVTH0 = 5.98016E-3 PRDSW = 14.8598424
+PK2 = 3.73981E-3 WKETA = 5.663201E-3 LKETA = -6.872318E-3 NOIMOD=2)



ANEXO C

A continuación se muestran los diseños topológicos de los circuitos de las figuras 4-4, 4-5 y 4-7. Las capas de estos circuitos se dibujan cumpliendo las reglas de diseño establecidas por el fabricante MOSIS para tecnología CMOS de 0.5 micras, conforme las relaciones de aspecto de las tablas 5-4, 5-5 y 5-6 [MOSIS].

C.1. Diseño topológico de los bloques

En la figura C-1 se puede observar el *layout* del AOT totalmente diferencial mostrado en la figura 4-4, donde se pueden observar que el voltaje común V_{cm} y la corriente I_{bias} son aplicadas externamente. El diseño se encuentra enmarcado por una regla graduada en unidades de λ o $0.3 \mu m$, donde se aprecia un área aproximada de $500 \lambda \times 400 \lambda$.

El circuito está protegido por anillos de guarda que incrementan el tamaño abarcado por el AOT pero evita trayectorias no deseadas. El capacitor de compensación de 1 pF , abarca casi la mitad del tamaño del AOT, este capacitor es implementado con capas de polisilicio.

Como se puede apreciar el tamaño de los transistores es de ancho W uniforme, ya que los resultados de la tabla 5-5 permiten tener anchos iguales a modificando el largo L de forma que la relación de aspecto se conserve. Esta forma de ordenar los transistores permite separar los transistores tipo p de los transistores tipo n en bloques muy compactos para realizar conexiones con matrices metálicas. Estas matrices están constituidas por metales tipo '1' con trayectorias verticales y metales tipo '2' con trayectorias horizontales, en los puntos donde cruzan los metales se puede establecer una conexión generando las rutas deseadas.

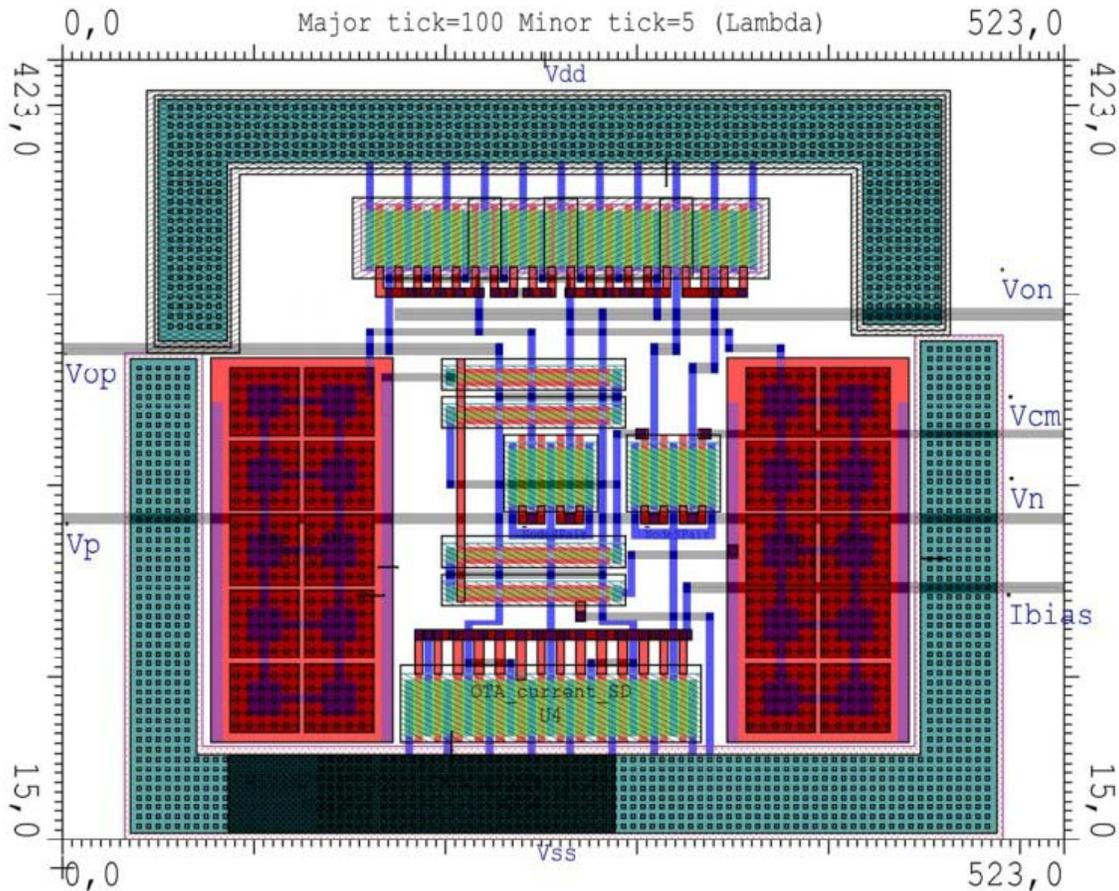


Figura C-1 – Esquemático topológico del AOT totalmente diferencial

En la figura C-2 se muestra el *layout* del convertidor analógico digital del circuito de la figura 4-5, donde la corriente *Ibias* es aplicada externamente. La estrategia de dibujo es similar a la mencionada en el AOT respecto a anillos de guarda y transistores compactos, este circuito tiene un área de casi la mitad de tamaño que AOT.

El *layout* de la figura C-3 corresponde al circuito mostrado en la figura 4-7 el cual consiste de 6 interruptores y un capacitor como se ve en el capítulo 4. El circuito sigue la estrategia de dibujo descrita en el AOT abarcando un área similar.

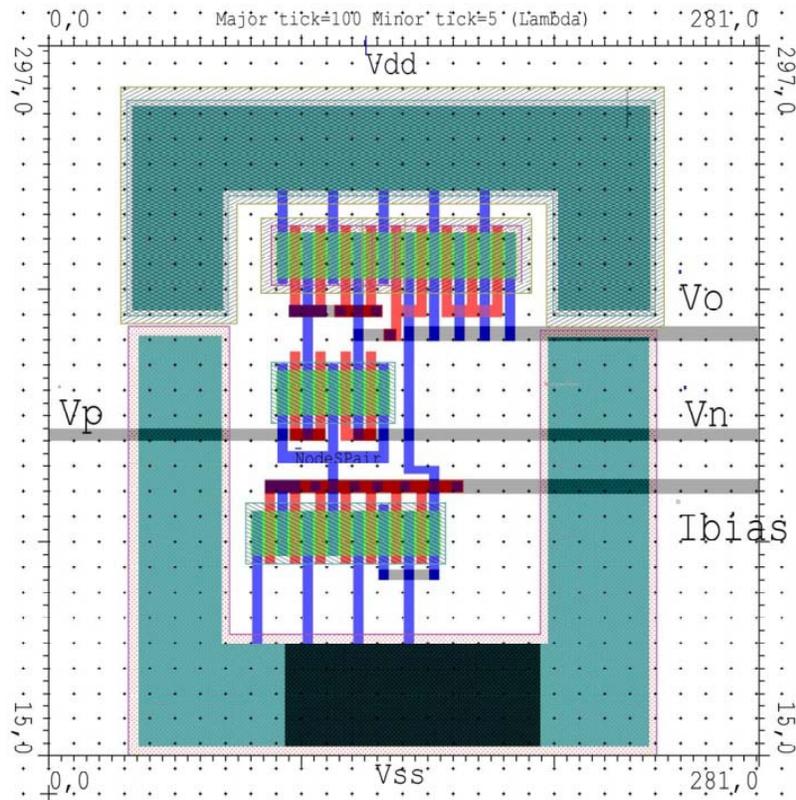


Figura C-2 - Esquemático topológico del comparador.

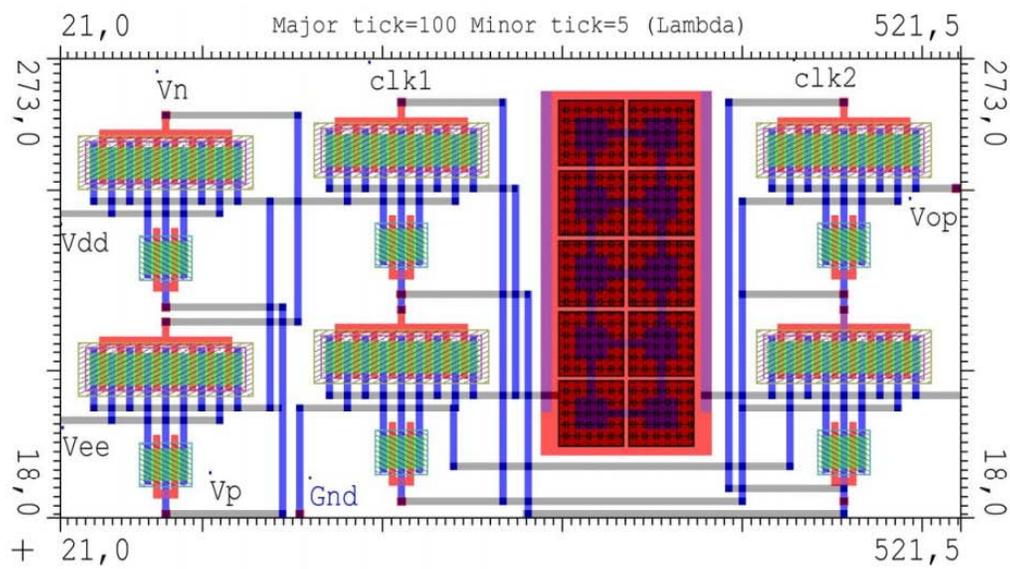


Figura C-3 - Esquemático topológico del convertidor AD de 1 bit.



Referencias

Libros y monografías

[Allen]	Allen P.E.; Holberg D.R., "CMOS Analog Circuit Design",
[Baker01]	Baker R.J.; Li, H.W.; Boyce D.E., "CMOS Circuit Design, Layout, and Simulation", 2 nd ed. IEEE Press Series on Microelectronic Systems, 1998.
[Baker02]	Baker R.J.; Li H.W.; Boyce D.E., "CMOS Circuit Design, Layout, and Simulation", 3 rd ed. IEEE Press Series on Microelectronic Systems, 1998.
[Bennett]	Bennett W.R.; "Spectra of quantized signals", Bell System Technical Journal, 27: 3. July 1948 pp 446-472
[Cutler]	C. C.; "Transmission System Employing Quantization," U.S. Patent No. 2 927 962, 1960.
[Maloberti]	Maloberti F., "Data Converters". Pavia University, Italy. Springer. 2007.
[MOSIS]	Design Reference " http://www.mosis.com/vendors/view/on-semiconductor/c5 "
[Norsworthy]	Norsworthy S.R.; Schreier R.; Temes G.C., "Delta-sigma Data Converters: Theory, Design, and Simulation", IEEE Press, 1996.
[Oppenheim]	Oppenheim A.V.; Schafer R. W., "Discrete-Time Signal Processing", 3 rd ed. Upper Saddle River, NJ: Prentice-Hall, 2009.
[Plassche]	Plassche R.J., "CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters", Springer, 2003.
[Schreier01]	Schreier R.; Temes, G., "Understanding Delta-Sigma Data Converters". IEEE Press – Piscataway, NJ, 2005.
[Schreier02]	Schreier R., "Delta Sigma Toolbox", Matlab Central 2011.

Revistas y actas de congresos

[Abiri]	Abiri, E., Pournoori N., "A 0.5-V 17- μ W Second-Order Delta-Sigma Modulator Based on a Self-Biased Digital Inverter in 0.13 μ m CMOS", J. Basic Appl. Sci. Res. 2012.
[Brandt]	Brandt, B.P.; Wingard, D.E.; Wooley, B.A., "Second-order sigma-delta modulation for digital-audio signal acquisition," Solid-State Circuits, IEEE Journal of , vol.26, no.4, pp.618,627, Apr 1991.
[Brigati]	Brigati, S.; Francesconi, F.; Malcovati, P.; Tonietto, D.; Baschirotto, A.; Maloberti, F., "Modeling sigma-delta modulator non-idealities in SIMULINKI," Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on , vol.2, no., pp.384,387 vol.2, Jul 1999.
[Boser]	Boser, B.E.; Wooley, B.A., "The design of sigma-delta modulation analog-to-digital converters," Solid-State Circuits, IEEE Journal of , vol.23, no.6, pp.1298,1308, Dec 1988.



[Candy01]	Candy, J.C.; Benjamin, O., "The Structure of Quantization Noise from Sigma-Delta Modulation," Communications, IEEE Transactions on , vol.29, no.9, pp.1316,1323, Sep 1981.
[Candy02]	Candy, J.C., "A Use of Double Integration in Sigma Delta Modulation," Communications, IEEE Transactions on , vol.33, no.3, pp.249,258, Mar 1985.
[Dias]	Dias, V.F.; Palmisano, G.; O'Leary, P.; Maloberti, F., "Fundamental limitations of switched-capacitor sigma-delta modulators," Circuits, Devices and Systems, IEE Proceedings G , vol.139, no.1, pp.27,32, Feb 1992.
[de la Rosa]	de la Rosa, J.M., "Sigma-Delta Modulators: Tutorial Overview, Design Guide, and State-of-the-Art Survey," Circuits and Systems I: Regular Papers, IEEE Transactions on , vol.58, no.1, pp.1,21, Jan. 2011.
[Enz]	Enz, C.C.; Temes, G.C., "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," Proceedings of the IEEE , vol.84, no.11, pp.1584,1614, Nov 1996
[Fornasari]	Fornasari, A.; Malcovati, P.; Maloberti, F., "Improved modeling of sigma-delta modulator non-idealities in Simulink," Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on , vol., no., pp.5982,5985 Vol. 6, 23-26 May 2005.
[Geerts]	Geerts, Y.; Marques, A.M.; Steyaert, M. S J; Sansen, Willy, "A 3.3-V, 15-bit, delta-sigma ADC with a signal bandwidth of 1.1 MHz for ADSL applications," Solid-State Circuits, IEEE Journal of , vol.34, no.7, pp.927,936, Jul 1999.
[Guo-Ming]	Guo-Ming Sung; Chih-Ping Yu; Dong-An Yao, "A comparison of second-order sigma-delta modulator between switched-capacitor and switched-current techniques," Circuits and Systems, 2008. APCCAS 2008. IEEE Asia Pacific Conference on , vol., no., pp.1172,1175, Nov. 30 2008-Dec. 3 2008.
[Inose]	Inose, H.; Yasuda, Y.; Murakami, J., "A Telemetry System by Code Modulation - Δ - Σ Modulation," Space Electronics and Telemetry, IRE Transactions on , vol.SET-8, no.3, pp.204,209, Sept. 1962
[Jian-ming]	Lei Jian-ming; Dai Xiao-wu; Zou Xue-Cheng; Zou Zhi-ge, "Modeling non-idealities of Sigma Delta ADC in Simulink," Communications, Circuits and Systems, 2008. ICCAS 2008. International Conference on , vol., no., pp.1040,1043, 25-27 May 2008.
[Libin Yao]	Libin Yao; Steyaert, M.S.J.; Sansen, Willy, "Erratum to "A 1-V 140- μ W 88-dB Audio Sigma-Delta Modulator in 90-nm CMOS"," Solid-State Circuits, IEEE Journal of , vol.44, no.11, pp.3211,3211, Nov. 2009
[Ma Li Ya]	Ma Li Ya; Nordin, A.N.; Khan, S.; Zahirul Alam, A.H.M.; Islam, M.D.R.; Naji, A.W.; Al-Khateeb, K., "Design and analysis of a first-order sigma-delta analog-to-digital converter for MEMS resistive sensor," Semiconductor Electronics (ICSE), 2010 IEEE International Conference on , vol., no., pp.297,300, 28-30 June 2010
[Malcovati]	Malcovati, P.; Brigati, S.; Francesconi, Fabrizio; Maloberti, F.; Cusinato, P.; Baschiroto, A., "Behavioral modeling of switched-capacitor sigma-delta modulators," Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on , vol.50, no.3, pp.352,364, Mar 2003.



[Milovanović]	Milovanović, D.; Savić, M.; Nikolić M., "Second-Order Sigma-Delta Modulator in Standard CMOS Technology," Servian Journal of Electrical Engineering Vol. 1, No. 3, pp.37,44, 2004.
[Mori]	de Mori, C.R.T.; Crepaldi, P.C.; Pimenta, T.C., "A 3-V 12-bit second order sigma-delta modulator design in 0.8- μ m CMOS," Integrated Circuits and Systems Design, 2001, 14 th Symposium on. , vol., no., pp.124,129, 2001.
[Onodera]	Onodera K.; Abo A., "A second order sigma-delta A/D converter", 1995
[Palmisano]	Palmisano, G.;Palumbo, G.; Pennisi, S., "Design Procedure for Two-Stage CMOS Transconductance Operational Amplifiers: A Tutorial," Analog Integrated Circuits and Signal Processing Volume 27, Issue 3 , pp 179-189, 2001.
[Peluso]	Peluso, V.; Steyaert, M.S.J.; Sansen, Willy, "A 1.5-V-100- μ W $\Delta\Sigma$ modulator with 12-b dynamic range using the switched-opamp technique," Solid-State Circuits, IEEE Journal of , vol.32, no.7, pp.943,952, Jul 1997
[Perez]	Perez, A.P.; Nithin, K.Y.B.; Bonizzoni, E.; Maloberti, F., "Slew-rate and gain enhancement in two stage operational amplifiers," Circuits and Systems, 2009. ISCAS 2009. IEEE International Symposium on , vol., no., pp.2485,2488, 24-27 May 2009.
[Sauerbrey]	Sauerbrey, J.; Tille, T.; Schmitt-Landsiedel, D.; Thewes, R., "A 0.7-V MOSFET-only switched-opamp $\Sigma\Delta$ modulator in standard digital CMOS technology," Solid-State Circuits, IEEE Journal of , vol.37, no.12, pp.1662,1669, Dec 2002.
[Zang]	Zhang L.; Zhao X.; Wang X.; Qu R., "Two-order low-power sigma-delta modulator with SC techniques," Semiconductor Electronics (ICSE), 2010 IEEE International Conference on , vol., no., pp.96,99, 28-30 June 2010
[Zare-Hoseini]	Zare-Hoseini, H.; Kale, I., "On the effects of finite and nonlinear DC-gain of the amplifiers in switched-capacitor $\Delta\Sigma$ modulators," Circuits and Systems, 2005. ISCAS 2005. IEEE International.