



**Instituto Politécnico Nacional**

---

---

**Centro de Investigación en  
Computación**

**Secretaría de Investigación y Posgrado**

**Diseño de preamplificadores CMOS de alto desempeño  
para el acondicionamiento de estructuras MEMS**

**T E S I S**

QUE PARA OBTENER EL GRADO DE  
MAESTRO EN CIENCIAS EN INGENIERÍA  
DE CÓMPUTO

CON OPCIÓN EN SISTEMAS DIGITALES

**PRESENTA**

ING. RODOLFO SANCHEZ FRAGA



Directores de tesis:

Dr. Víctor Hugo Ponce Ponce

Dr. Carlos Muñiz Montero

Mexico, D.F. a 17 de enero 2013

Rodolfo Sánchez Fraga: *Diseño de preamplificadores CMOS de alto desempeño para el acondicionamiento de estructuras MEMS*, Maestro en Ciencias en Ingeniería de Cómputo, Diciembre 2012



# INSTITUTO POLITÉCNICO NACIONAL

## SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

### ACTA DE REVISIÓN DE TESIS

En la Ciudad de      México, D.F.      siendo las     17:00     horas del día     28     del mes de     noviembre     de     2012     se reunieron los miembros de la Comisión Revisora de la Tesis, designada por el Colegio de Profesores de Estudios de Posgrado e Investigación del:

**Centro de Investigación en Computación**

para examinar la tesis titulada:

**“Diseño de preamplificadores CMOS de alto desempeño para el acondicionamiento de estructuras MEMS”**

Presentada por el alumno:

**SÁNCHEZ**

Apellido paterno

**FRAGA**

Apellido materno

**RODOLFO**

Nombre(s)

Con registro: 

B	1	0	1	8	8	8
---	---	---	---	---	---	---

aspirante de: **MAESTRÍA EN CIENCIAS EN INGENIERÍA DE CÓMPUTO CON OPCIÓN EN SISTEMAS DIGITALES**

Después de intercambiar opiniones los miembros de la Comisión manifestaron **APROBAR LA TESIS**, en virtud de que satisface los requisitos señalados por las disposiciones reglamentarias vigentes.

### LA COMISIÓN REVISORA

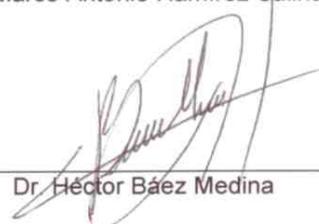
Directores de Tesis

  
\_\_\_\_\_  
Dr. Víctor Hugo Ponce Ponce

  
\_\_\_\_\_  
Dr. Carlos Muñiz Montero

  
\_\_\_\_\_  
Dr. Marco Antonio Ramírez Salinas

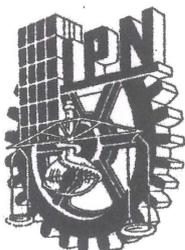
  
\_\_\_\_\_  
Dr. Moisés Salinas Rosales

  
\_\_\_\_\_  
Dr. Héctor Báez Medina

PRESIDENTE DEL COLEGIO DE PROFESORES

  
\_\_\_\_\_  
Dr. Luis Alfonso Villa Vargas  
DIRECCION





**INSTITUTO POLITÉCNICO NACIONAL**  
**SECRETARÍA DE INVESTIGACIÓN Y POSGRADO**

**CARTA CESIÓN DE DERECHOS**

En la Ciudad de México el día 7 del mes noviembre del año 2012, el que suscribe **Rodolfo Sánchez Fraga** alumno del Programa de **Maestría en Ciencias en Ingeniería de Cómputo con opción en Sistemas Digitales** con número de registro **B101888**, adscrito a **Centro de Investigación en Computación**, manifiesta que es autor intelectual del presente trabajo de Tesis bajo la dirección de **Dr. Carlos Muñoz Montero** y **Dr. Víctor Hugo Ponce Ponce** y cede los derechos del trabajo intitulado *“Diseño de preamplificadores CMOS de alto desempeño para el acondicionamiento de estructuras MEMS”*, al Instituto Politécnico Nacional para su difusión, con fines académicos y de investigación.

Los usuarios de la información no deben reproducir el contenido textual, gráficas o datos del trabajo sin el permiso expreso del autor y/o director del trabajo. Este puede ser obtenido escribiendo a la siguiente dirección [rsanchezf85@gmail.com](mailto:rsanchezf85@gmail.com). Si el permiso se otorga, el usuario deberá dar el agradecimiento correspondiente y citar la fuente del mismo.



**Rodolfo Sánchez Fraga**

Nombre y firma



The future is already here,  
it's just not evenly distributed.

William Gibson



## ABSTRACT

---

The MEMS sensors technology presents several benefits and enable a wide variety of applications. However, the specifications for such devices include the analog processing of weak signals involved in noisy environments. Also, high noise and distortion performance is essential using reduced silicon area and low power consumption. These requirements poses serious challenges to the design of analog integrated circuits. Since CMOS technology is preferred to reduce cost, to down-scale circuit dimensions and enable digital integration, the mismatch in analog circuits is increased which in consequence affect their overall resolutions. The main effect produced by mismatch is the offset voltage, which constitute the dominant source of errors at low frequencies.

One of the most critical analog circuits is the Operational Transconductance Amplifier (OTA) which is widely used in analog signal processing. Mismatch in an OTA can be reduced by increasing the transistor size, although the speed-power-accuracy tradeoff is seriously affected. Actually, it is well known that the only way to improve that tradeoff is by the use of dynamic offset compensation techniques on-chip.

In the literature there are several dynamic compensation techniques such as autozeroing, choppers and DC feedback. Autozeroing is not suitable for continuous time operation, the thermal noise is folded back to DC and presents residual offset components as a result of charge injection effects. The use of choppers causes a ripple that has to be filtered out, which penalizes the bandwidth and it requires a complex design for its implementation.

In this thesis, three OTA designs which incorporate an offset compensation circuit by DC feedback and a feedforward frequency compensation are proposed. This offset compensation technique can be used in continuous-time operation with a low complexity design and power consumption. The residual offset voltage obtained is similar and compared with other techniques reported in the state of the art. In addition, the use of a feedforward frequency compensation alleviate the drawbacks of the Miller capacitor and improve the gain-bandwidth product. Therefore, the speed-power-accuracy tradeoff is improved.

Two approaches for frequency and offset compensation in two similar OTA designs are followed in order to study their advantages and disadvantages and define their possible applications. Also the last design is a novel OTA topology which improves the target specifications without an important extra power consumption. The amplifiers were designed for an ON-SEMI 0.5  $\mu\text{m}$  CMOS process and the theoretical analysis is validated with simulations performed in Eldo. The offset contribution is estimated through Monte Carlo simulations using threshold voltage variations according to Pelgrom's mismatch model.

The result are complementary designs suitable for an easier integration with a MEMS sensor.

## RESUMEN

---

La tecnología de sensores MEMS presenta varias ventajas y permite una amplia variedad de aplicaciones. Sin embargo, las especificaciones para tales dispositivos incluyen el procesamiento analógico de señales débiles implicadas en entornos ruidosos. Además, es indispensable alcanzar un alto rendimiento al ruido y distorsión junto con el uso de área de silicio reducida y bajo consumo de potencia. Estos requisitos plantean serios desafíos para el diseño de circuitos integrados analógicos. Dado que se prefiere la tecnología CMOS para disminuir costos, reducir las dimensiones del circuito y permitir la integración digital, la discrepancia en los circuitos analógicos es mayor, lo que en consecuencia afecta su resolución general. El principal efecto producido por la falta de coincidencia es la tensión de desvío, que constituye la principal fuente de errores en bajas frecuencias.

El Amplificador Operacional de Trasconductancia (OTA) es uno de los circuitos analógicos más críticos y es ampliamente utilizado en el procesamiento de señales analógicas. La discrepancia en un OTA puede ser reducida aumentando el tamaño de los transistores, aunque el compromiso exactitud-velocidad-potencia se ve seriamente afectado. En realidad, es bien sabido que la única manera de mejorar este compromiso es mediante el uso de técnicas dinámicas de compensación de desvío en el chip.

En la literatura existen varias técnicas dinámicas de compensación tales como el autocero, recortadores y retroalimentación en CD. El autocero no es adecuado para la operación continua en el tiempo, el ruido térmico se pliega hacia atrás a CD y presenta componentes residuales de compensación como consecuencia de los efectos de la inyección de carga. El uso de recortadores requiere de un diseño complejo y provoca una onda de variación que debe ser filtrada, lo que penaliza el ancho de banda.

En esta tesis se proponen tres diseños de OTA que incorporan un circuito de compensación de retroalimentación en CD y un circuito de compensación de frecuencia por prealimentación. La retroalimentación en CD puede ser usada en operación de tiempo continuo con un diseño de baja complejidad y bajo consumo de potencia. La tensión de desplazamiento residual obtenida es similar y es comparada con otras técnicas reportadas en el estado de arte. Además, el uso de una frecuencia de compensación por prealimentación alivia los inconvenientes del uso del capacitor de Miller e incrementa el producto ganancia-ancho de banda. Por lo tanto, el compromiso exactitud-velocidad-potencia se mejora.

Se siguen dos enfoques para la compensación de frecuencia y la compensación de desvío a partir de dos diseños de OTA similares, con el fin de estudiar sus ventajas y desventajas y definir sus posibles aplicaciones. Además el último diseño es una topología novedosa de un OTA que optimiza las especificaciones objetivo sin un consumo de potencia adicional importante. Los amplificadores se diseñaron en una tecnología CMOS de 0.5  $\mu\text{m}$  para un proceso de ON-SEMI y el análisis teórico se validó con simulaciones realizadas en Eldo. La contribución del voltaje de desvío se calculó a través de simulaciones

Monte Carlo utilizando variaciones del voltaje de disparo según el modelo de discrepancia de Pelgrom.

El resultado son diseños complementarios adecuados para una integración más fácil con un sensor MEMS.



## PUBLICACIONES

---

### CONFERENCIAS INTERNACIONALES

Carlos Muñiz-Montero, Rodolfo Sánchez-Fraga, Luis Alfonso Villa-Vargas, Marco Antonio Ramírez-Salinas, Victor Hugo Ponce-Ponce and Herón Molina Lozano. **“A CMOS OTA with offset and feedforward frequency compensations suitable for biomedical applications”**. *Circuits and Systems for Medical and Environmental Applications Workshop*, 2012.

### REVISTAS JCR

**Artículo a enviar para revisión:** Rodolfo Sánchez-Fraga, Carlos Muñiz-Montero, Victor Hugo Ponce-Ponce. **“A CMOS OTA with DC feedback offset compensation and feedback capacitor reusing”**. *AEÜ International Journal of Electronics and Communications*, 2012.



*You know what your trouble is? You're the kind who always reads the handbook. Anything people build, any kind of technology, it's going to have some specific purpose. It's for doing something that somebody already understands. But if it's new technology, it'll open areas nobody's ever thought of before. You read the manual, man, and you won't play around with it, not the same way. And you get all funny when somebody else uses it to do something you never thought of*

— William Gibson

## AGRADECIMIENTOS

---

Primero quiero agradecer a mis directores de tesis, al Dr. Carlos Muñiz Montero y al Dr. Víctor Hugo Ponce Ponce, por su pasión y dedicación al introducirme al campo de los amplificadores CMOS de precisión. Su guía se ve principalmente reflejada en los resultados obtenidos con este trabajo.

De igual forma quiero agradecer a los profesores que integran el laboratorio de Microtecnología y Sistemas Embebidos, el Dr. Herón Molina Lozano, el Dr. Marco Antonio Ramírez Salinas, el Dr. Luis Alfonso Villa Vargas y el Dr. Héctor Baez Medina, así como también al Dr. Moisés Salinas Rosales y al Dr. Jose Luis Oropeza Rodriguez, por su ayuda, consejos y la minuciosa revisión que llevaron a cabo de esta tesis. Además, doy gracias a mis compañeros de estudios por su invaluable retroalimentación en el trabajo que desarrollamos conjuntamente.

También agradezco al CONACyT por el imprescindible apoyo económico que me ofreció durante el desarrollo de esta tesis mediante la beca 372298.

Además, no puedo dejar de mencionar a todo el personal administrativo y de apoyo, cuyo trabajo profesional y oportuno es un soporte esencial para toda la comunidad académica del Centro de Investigación en Computación.

Finalmente, agradezco a mis padres, Isidoro y Paula, por su incansable e incondicional apoyo durante todos los años que ha durado mi formación, a mis hermanos, Leticia, Rolando y Ricardo, por su paciencia y el humor con que siempre me tratan y a Claudia, por su fresca perspectiva en la revisión gramatical de esta tesis y por el cariño que siempre me muestra y los ánimos que siempre me contagia.



# ÍNDICE GENERAL

---

<b>I INTRODUCCION</b>	<b>1</b>
1 INTRODUCCIÓN	3
1.1 Antecedentes	3
1.1.1 MEMS	3
1.1.2 Sensores MEMS	5
1.1.3 Procesamiento de la señal de un sensor	6
1.2 Planteamiento del problema	9
1.3 Justificación	9
1.3.1 Rendimiento y costos de producción	9
1.3.2 Impacto de la compensación de voltaje de desvío en el rendimiento	10
1.3.3 Distorsión, ruido y efectos de temperatura	10
1.4 Hipótesis	11
1.5 Objetivos	12
1.6 Alcance	12
1.7 Contribuciones	12
1.8 Metodología	12
1.9 Organización del trabajo	13
<b>II SUSTENTO TEORICO</b>	<b>15</b>
2 ESTADO DEL ARTE	17
2.1 Compensación de frecuencia	17
2.1.1 Estabilidad en amplificadores	17
2.1.2 Compensación de Miller	18
2.1.3 Resistor nulificador	20
2.1.4 Compensación por prealimentación	21
2.2 Voltaje de desvío	23
2.3 Técnicas de compensación de voltaje de desvío	24
2.3.1 Técnicas estáticas	24
2.3.2 Técnicas dinámicas	25
2.4 Estudio comparativo de técnicas de compensación	32
2.5 Conclusiones	33
3 MARCO TEÓRICO	35
3.1 Modelo de transistor MOS	35
3.1.1 Modelo a gran señal	37
3.1.2 Modelo a pequeña señal	38
3.1.3 Otros modelos del transistor MOS	40
3.2 Subcircuitos analógicos MOS	40
3.2.1 Resistor activo	40
3.2.2 Espejo de corriente	42
3.2.3 Seguidor de fuente	44
3.2.4 Par diferencial	45
3.2.5 Transistores de compuerta flotante	46
3.2.6 Amplificador de fuente común	48
3.3 Amplificador Operacional	49
3.4 Efectos no ideales de un amplificador	52
3.5 Ruido	55
3.5.1 Ruido térmico	55
3.5.2 Ruido 1/f	56

III	DISEÑO DE PREAMPLIFICADORES CMOS DE ALTO DESEMPEÑO	59
4	METODOLOGÍA Y DESARROLLO DE LA INVESTIGACIÓN	61
4.1	Preamplificadores de alto desempeño	61
4.2	Compensación de voltaje de desvío mediante FPB	61
4.3	Diseño de OTA compensado en frecuencia y en desvío	63
4.3.1	Compensación de frecuencia	63
4.3.2	Etapas de ganancia	64
4.3.3	Compensación de desvío	66
4.3.4	Especificaciones físicas	67
4.3.5	Resultados	67
4.4	Diseño de optimización de consumo de corriente	76
4.4.1	Compensación de frecuencia	78
4.4.2	Etapas de ganancia	78
4.4.3	Compensación de desvío	80
4.4.4	Especificaciones físicas	80
4.4.5	Resultados	81
4.5	OTA compensado en frecuencia y desvío utilizando reutilización de corriente	85
4.5.1	Compensación de frecuencia	89
4.5.2	Etapas de ganancia	90
4.5.3	Compensación de desvío	91
4.5.4	Especificaciones físicas	92
4.5.5	Resultados	92
5	CONCLUSIONES	101
5.1	Estudio comparativo entre diseños de OTA	101
5.2	Comparación entre diseños propuestos y estado del arte	102
5.3	Impacto de la compensación de desvío en otros parámetros	104
5.4	Trabajo futuro	104
IV	APENDICE	107
A	APÉNDICE	109
A.1	Modelo de simulación SPICE	109
A.2	Cálculo de variación de dimensiones de transistores CMOS de 0.5 $\mu$ m	110
	BIBLIOGRAFÍA	111

## ÍNDICE DE FIGURAS

---

Figura 1	MEMS acelerómetro.	4
Figura 2	Diagrama funcional de bloques de un MEMS	5
Figura 3	Diferentes aproximaciones para el diseño de microsensores	5
Figura 4	Diagrama de bloques de un circuito de interface para un microsensor genérico	7
Figura 5	Rendimiento de un ADC en función de la desviación estándar de la discrepancia de transistores del par diferencial de entrada	11
Figura 6	Metodología de diseño de circuitos analógicos	13
Figura 7	Respuesta de frecuencia y fase de un sistema de segundo orden	18
Figura 8	Capacitancia de Miller aplicada a Opamp de dos etapas	19
Figura 9	Movimiento de los polos	20
Figura 10	Respuesta en frecuencia	21
Figura 11	Diagrama de bloques de compensación por prealimentación de un amplificador de dos etapas.	22
Figura 12	Respuesta en frecuencia de cancelación perfecta	22
Figura 13	Respuesta en frecuencia de discrepancia entre polo y cero	22
Figura 14	Voltaje de desvío en amplificador diferencial real	24
Figura 15	Amplificador con autocero de almacenamiento de voltaje de desvío a la salida.	26
Figura 16	Amplificador con autocero de almacenamiento de voltaje de desvío a la entrada.	27
Figura 17	Amplificador con compensación de voltaje de desvío por recortador.	28
Figura 18	Formas de onda ideales en el dominio de la frecuencia de un amplificador con recortador.	29
Figura 19	Modelo de inyección de carga de un recortador	30
Figura 20	Voltaje de desvío residual debido a picos de voltaje causados por discrepancia entre capacitores C1 y C2.	30
Figura 21	Voltaje de desvío residual debido a picos de voltaje causados por discrepancia entre capacitores C3 y C4	31
Figura 22	Concepto de estabilización de voltaje de desvío	31
Figura 23	Transistor MOS	35
Figura 24	Símbolos del transistor MOS tipo N y P	36
Figura 25	Región triodo	37
Figura 26	Región de saturación	38
Figura 27	Modelo a pequeña señal del transistor MOS	39
Figura 28	Resistor activo y modelo a pequeña señal	41
Figura 29	Curva característica de voltaje contra corriente del resistor activo	41
Figura 30	Espejo de corriente	42
Figura 31	Resistencia de entrada del espejo de corriente	43

Figura 32	Resistencia de salida del espejo de corriente	43
Figura 33	Seguidor de fuente CMOS	44
Figura 34	Modelo a pequeña señal de seguidor de fuente	45
Figura 35	Par diferencial	46
Figura 36	Proporción de cambio entre corrientes de un par diferencial	46
Figura 37	Transistor MOS de compuerta flotante canal N y símbolo eléctrico	47
Figura 38	Amplificador de fuente común	49
Figura 39	Amplificador diferencial de una etapa	50
Figura 40	Diagrama de bloques de un OPAMP general de dos etapas	51
Figura 41	Amplificador operacional de dos etapas con compensación de Miller	52
Figura 42	Símbolo y macromodelo de un OPAMP	53
Figura 43	Discrepancia en un transistor MOS	54
Figura 44	Modelo equivalente de ruido térmico en un transistor MOS	56
Figura 45	Densidad espectral de ruido térmico y $1/f$	57
Figura 46	Diagrama de bloques de compensación por retroalimentación en baja frecuencia	62
Figura 47	Diagrama de bloques de diseño de OTA compensado en frecuencia y desvío	63
Figura 48	Circuito de compensación de frecuencia por prealimentación	64
Figura 49	Circuito electrónico de OTA compensado en frecuencia y desvío	65
Figura 50	Circuito de compensación de desvío	67
Figura 51	Análisis en CD de OTA compensado en frecuencia y desvío	68
Figura 52	Análisis en CA de OTA compensado en frecuencia y desvío	69
Figura 53	Análisis transitorio de OTA compensado en frecuencia y desvío	70
Figura 54	PSRR de OTA compensado en frecuencia y desvío	71
Figura 55	CMRR de OTA compensado en frecuencia y desvío	72
Figura 56	Resistencia de salida de OTA compensado en frecuencia y desvío	72
Figura 57	Espectro de ruido	74
Figura 58	Simulación Monte Carlo de OTA compensado en frecuencia y desvío	75
Figura 59	Voltaje de desvío residual de OTA compensado en frecuencia y desvío	75
Figura 60	Compensación de efectos de variación de temperatura	76
Figura 61	Variación de ganancia por efectos de temperatura	77
Figura 62	Variación de voltaje referida a la entrada producida por el cambio de temperatura	77

Figura 63	OTA compensado en frecuencia por prealimentación usando transistores de compuerta flotante y compensado en desvío 78
Figura 64	Circuito OTA totalmente diferencial compensado en frecuencia por prealimentación mediante transistores de compuerta flotante y compensado en desvío 79
Figura 65	Transistor de compuerta flotante para compensación de frecuencia 80
Figura 66	Circuito de compensación de desvío 80
Figura 67	Análisis de CA de OTA con consumo de corriente optimizado 82
Figura 68	Análisis transitorio de OTA optimizado en consumo de corriente 82
Figura 69	PSRR de OTA optimizado en consumo de corriente 83
Figura 70	CMRR de OTA compensado en frecuencia y desvío optimizado en consumo de corriente 84
Figura 71	Resistencia de salida de OTA compensado en frecuencia y desvío optimizado en consumo de corriente 85
Figura 72	Espectro de ruido de OTA optimizado en consumo de corriente 86
Figura 73	Simulación Monte Carlo de OTA optimizado en consumo de corriente con y sin compensación de desvío 87
Figura 74	Voltaje de desvío residual de OTA compensado en frecuencia y desvío optimizado en consumo de corriente 87
Figura 75	Análisis de efectos de variación de temperatura 88
Figura 76	Variación de ganancia por efectos de temperatura 88
Figura 77	Concepto de reutilización de corriente 89
Figura 78	Diagrama de bloques de OTA compensado en frecuencia y desvío utilizando reutilización de corriente 90
Figura 79	Circuito de OTA compensado en frecuencia y desvío con reutilización de corriente 91
Figura 80	Circuito de compensación de desvío con reutilización de corriente 92
Figura 81	Análisis de CA de OTA con reutilización de corriente 93
Figura 82	Análisis transitorio de OTA optimizado en consumo de corriente 94
Figura 83	PSRR de OTA con reutilización de corriente 95
Figura 84	CMRR de OTA compensado en frecuencia y desvío con reutilización de corriente 96
Figura 85	Resistencia de salida de OTA compensado en frecuencia y desvío con reutilización de corriente 96
Figura 86	Espectro de ruido de OTA con reutilización de corriente 97

Figura 87	Simulación Monte Carlo de OTA con reutilización de corriente con y sin compensación de desvío 98
Figura 88	Voltaje de desvío residual de OTA compensado en frecuencia y desvío con reutilización de corriente 99
Figura 89	Análisis de efectos de variación de temperatura 99
Figura 90	Variación de ganancia por efectos de temperatura 100

## ÍNDICE DE TABLAS

---

Tabla 1	Microsensores por naturaleza de cantidades a monitorear. 6
Tabla 2	Desafíos de diseño por tipo de microsensor 8
Tabla 3	Comparación cualitativa de diferentes estrategias de compensación del voltaje de desvío. 33
Tabla 4	Comparación cuantitativa de voltaje de desvío y ruido residual de diferentes estrategias de compensación. 33
Tabla 5	Especificaciones de diseño A de OTA 67
Tabla 6	Especificaciones de diseño B de OTA 81
Tabla 7	Especificaciones de diseño C de OTA 93
Tabla 8	Comparación cuantitativa de diseños realizados para OTA compensado en frecuencia y desvío 103
Tabla 9	Comparación cuantitativa de voltaje de desvío y ruido residual de diseños propuestos con diseños del estado del arte. 104

## ACRÓNIMOS

---

MEMS	Sistemas Microelectromecánicos
MST	Tecnología de Microsistemas
ADC	Convertidor Analógico Digital
CAD	Diseño Asistido por Computadora
CMOS	Semiconductor Complementario de Oxido Metal
CD	Corriente Directa
CA	Corriente Alterna
SPI	Semiplano Izquierdo
SPD	Semiplano Derecho

FPB	Filtro Pasa Bajas
OPAMP	Amplificador Operacional
CMRR	Razón de Rechazo de Modo Común
PSRR	Razón de Rechazo de Fuente de Alimentación
OTA	Amplificador Operacional de Trasconductancia
RCI	Resistor Casi Infinito
GBW	Producto Ganancia Ancho de Banda
CMFB	Circuito de Retroalimentación de Modo Común



Parte I

INTRODUCCION



## INTRODUCCIÓN

---

La tecnología de Sistemas Microelectromecánicos (MEMS) se utiliza para el diseño de sistemas encapsulados y miniaturizados a escalas micrométricas en los cuales se integran funciones de distinta naturaleza (física y química) para detectar, procesar o actuar conforme a estímulos presentes en su ambiente.

Existe una motivación para realizar esfuerzos de miniaturización que se relaciona directamente con las posibles aplicaciones que un microdispositivo puede tener. El diseñar sistemas integrados en dimensiones micrométricas puede ser una ventaja al momento de reducir costos de producción e implementación, o puede ser una necesidad al tratar con señales débiles como las que se manifiestan en el cuerpo humano.

Fue natural concluir que la microelectrónica es el medio clave para introducir señales u obtenerlas de un dispositivo MEMS al utilizar técnicas de acondicionamiento, procesamiento y control fuertemente consolidadas para tales dimensiones. Más aún, la microelectrónica habilita un repertorio de funciones que derivan directamente del diseño de circuitos analógicos y digitales las cuales demuestran su importancia en el incremento de la funcionalidad de un dispositivo MEMS.

Como consecuencia de sus dimensiones y a la variedad de sus funciones, hoy en día los dispositivos MEMS poseen una importante posición comercial en el desarrollo tecnológico de distintas áreas, con cifras en el mercado que continúan superando las expectativas.

*La microelectrónica es el medio clave para obtener señales de entrada o salida en un dispositivo MEMS*

### 1.1 ANTECEDENTES

#### 1.1.1 MEMS

El acrónimo MEMS fue oficialmente adoptado en 1989 durante una reunión en Salt Lake City llamada *Micro Tele-Operated Robotics Workshop* (Taller de microrobótica teleoperada). Durante esos primeros días, la fabricación de un MEMS era por sí misma uno de los principales obstáculos al que los investigadores de la naciente área se enfrentaban. En 1990 se predijo entonces por escépticos el inminente colapso del campo[36].

Fue hasta 10 años después, cuando diversas instituciones gubernamentales comenzaron a financiar proyectos de investigación en MEMS. Permitiendo el desarrollo del campo y en consecuencia el interés del sector privado, donde inversionistas migraron esta tecnología de la investigación a la industria. Hoy en día el potencial y las aplicaciones de los MEMS son un hecho y es posible encontrar una amplia gama de productos funcionales y disponibles en el mercado (figura 1 cortesía de *Microfábrica Inc*).

No obstante la tecnología en MEMS, también conocida en Europa como Tecnología de Microsistemas (MST), sigue siendo un campo emergente donde aún existe un número significativo de retos por resolver. En consecuencia, el acrónimo MEMS no posee aún una definición conceptual aceptada universalmente que se pueda citar. Sin embargo las

*MEMS es una tecnología para el desarrollo de sistemas miniaturizados a escalas micrométricas*

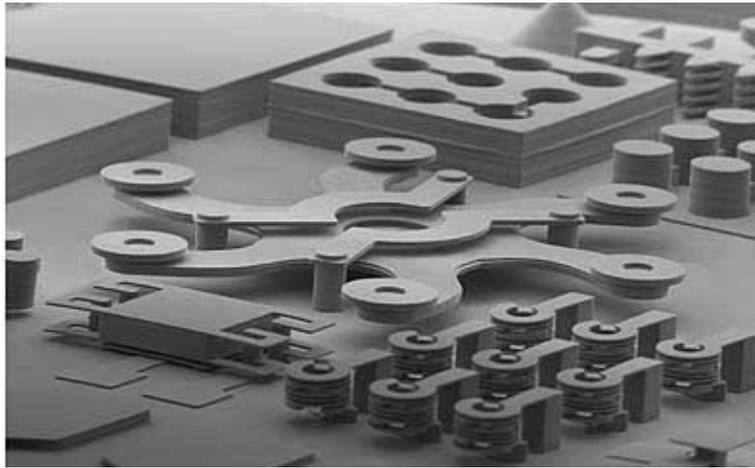


Figura 1: MEMS acelerómetro.

referencias y usos que se le ha dado a éste acrónimo en la actualidad sugieren que MEMS es simultáneamente:

1. Un conjunto de técnicas y procesos para el diseño y manufactura de sistemas miniaturizados.
2. Un sistema físico utilizado como producto generalmente especializado a una única aplicación.
3. El desarrollo de aplicaciones que involucra la repercusión de efectos y fenómenos a niveles micrométricos en un ambiente de escalas macrométricas y viceversa.

Aún así es conveniente tener una definición más específica de los dispositivos MEMS vistos como objetos de diseño[27]:

El dispositivo MEMS es un sistema integrado a microescala y fabricado en lotes que:

- Convierte estímulos físicos, eventos y parámetros a señales eléctricas, mecánicas u ópticas y viceversa.
- Trabaja como actuador y/o sensor, además de desempeñar otras funciones.
- Comprende el control (inteligencia, toma de decisiones, aprendizaje evolutivo, adaptación, auto organización, entre otros) diagnóstico, procesamiento de señales y adquisición de datos.
- Posee las características a microescala de los componentes (estructuras, dispositivos y subsistemas) electromecánicos, electrónicos, ópticos y biológicos, arquitecturas y los principios en los que se basa la operación, diseño, análisis y fabricación de un MEMS.

Sin embargo esta visión ideal de los MEMS como sistema (figura 2) no es todavía un hecho y los casos de éxito se limitan generalmente a ser catalogados como componentes o subsistemas[23], por lo que probablemente se requiera más tiempo para el desarrollo de un verdadero microsistema. Es importante destacar que la evolución de los MEMS depende de los componentes en desarrollo, los cuales en la actualidad equivalen principalmente a los sensores y actuadores integrables.

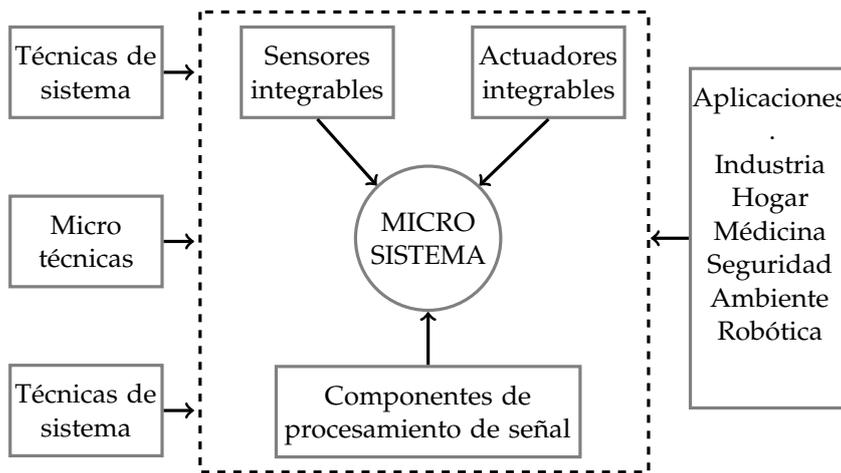


Figura 2: Diagrama funcional de bloques de un MEMS

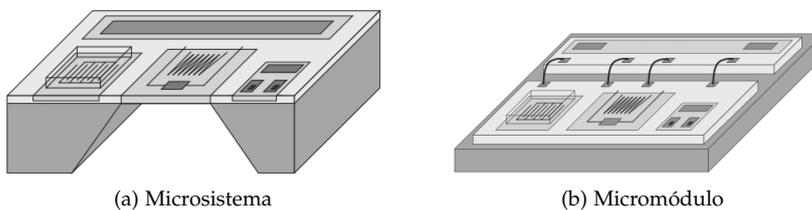


Figura 3: Diferentes aproximaciones para el diseño de microsensores

### 1.1.2 Sensores MEMS

Un sensor convierte una variable física o química a ser medida, generalmente en una señal eléctrica de manera eficiente, tal que los datos obtenidos puedan ser traducidos a una forma inteligible por el ser humano, las computadoras o los sistemas de medición. Asimismo se puede entender por microsensado como el subsistema de medición o monitoreo cuyo elemento de detección tiene dimensiones micrométricas. Para una tecnología MEMS, el sensor se encuentra integrado en un mismo chip, donde se puede incorporar un preprocesamiento (microsensor integrado) y un circuito de interfaz (microsensor inteligente). Esta integración puede realizarse en la actualidad mediante dos aproximaciones diferentes: como microsistema y como micromódulo (figura 3).

Una aproximación de micromódulo trata al circuito interfaz y al sensor de manera separada estructuralmente, resolviendo su interconexión con puentes o microalambres. Al contrario, un diseño como microsistema toma en cuenta que la base estructural (sustrato) para ambos es la misma. Se puede hacer la observación que la elección de uno u otro, dependerá de la aplicación del microsensado o de las ventajas y desventajas que estos implican<sup>1</sup>.

De entre los componentes MEMS en el mercado son los microsensados los que tienen las aplicaciones más exitosas[23, 33, 51, 15] sin embargo, esto no significa que los problemas del diseño de microsensados estén resueltos. En el proceso será inevitable descubrir que

*Un sensor MEMS es un sensor integrado en un chip*

<sup>1</sup> Existen estudios cualitativos sobre las aproximaciones de integración de un microsensado sin embargo, profundizar en ellos está más allá del objetivo del presente trabajo.

FÍSICAS	QUÍMICAS
Aceleración	Composición de gases
Flujo	Control de combustión
Campo magnético	Calidad del aire
Presión	Ionicidad
Radiación	Humedad
Imágenes	
Viscosidad	

Tabla 1: Microsensores por naturaleza de cantidades a monitorear.

las condiciones en las que debe operar un microsensor son substancialmente diferentes a las que se enfrentan los circuitos integrados convencionales, después de todo, un sensor debe posicionarse cerca de la variable a ser monitoreada, cuya naturaleza varía dependiendo de la aplicación (Tabla 1). Esto hace del diseño de un microsensor un problema multidisciplinario casi único.

#### *Sensores biomédicos*

En el caso de sensores para señales biomédicas<sup>2</sup> y, en particular, sensores implantables, se están desarrollados micromódulos o micro-sistemas para monitorear de forma invasiva a pacientes y estimular química y eléctricamente al cuerpo. Esto se debe a que la tecnología de microsensores se adapta naturalmente a los requerimientos restrictivos que este tipo de aplicaciones necesita. La operación de estos sistemas con bajo voltaje y consumo de potencia es imperativa para asegurar una duración de batería suficiente. Sin embargo, el aspecto más crítico es la fiabilidad y estabilidad de estos sistemas, debido a que el reemplazo de un dispositivo que ha fallado requiere de una intervención quirúrgica o en el caso extremo puede ser fatal para el paciente<sup>3</sup>. Adicionalmente surgen consideraciones extras como el empaque para proteger al sistema de fluidos corporales agresivos (como la sangre) o viceversa y las limitaciones de la comunicación del sistema implantado al mundo exterior.

#### 1.1.3 *Procesamiento de la señal de un sensor*

La salida eléctrica de un sensor usualmente requiere alguna forma de procesamiento o acondicionamiento antes de poder ser utilizada por algún otro dispositivo.

El procesamiento analógico de señales se refiere a cualquier procesamiento de señales analógicas (típicamente representadas como voltaje, corriente o carga eléctrica) llevado a cabo por medios igualmente analógicos. Así mismo, se puede definir de manera análoga el procesamiento digital de señales, como el procesamiento de señales digitales por medios digitales.

<sup>2</sup> También conocidas como biopotenciales.

<sup>3</sup> Un ejemplo de aplicación importante para microsensores es un marcapasos. Estos dispositivos son utilizados para tratar arritmias cardíacas al asistir a la función natural de marcapaso del corazón con pulsos de voltaje de 5 a 10V.

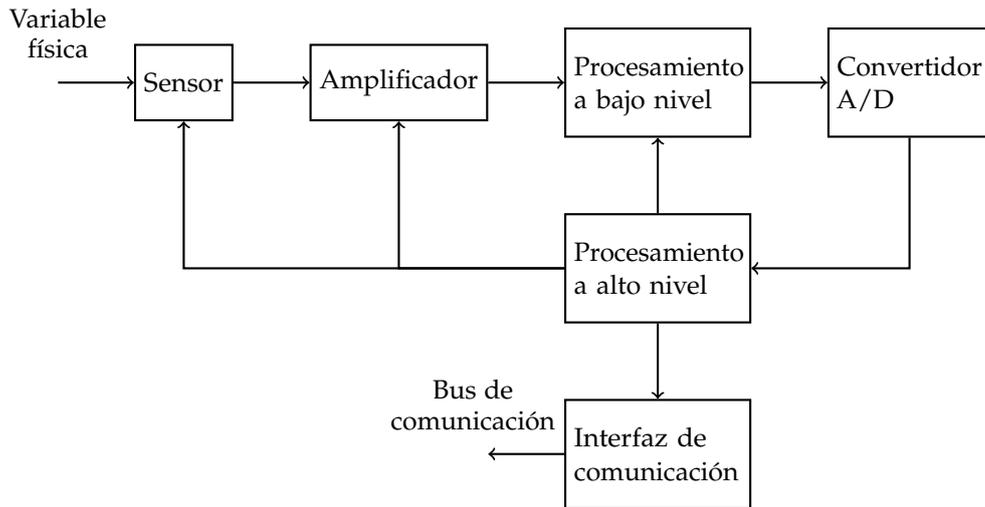


Figura 4: Diagrama de bloques de un circuito de interfaz para un microsensar genérico

No obstante, el procesamiento digital ha suplantado progresivamente al analógico en el diseño de chips. Esto se debe a que el procesamiento digital presenta menores costos de desarrollo, mejor precisión, mejor rango dinámico y es más fácil de probar. Por consiguiente, los circuitos analógicos han sido restringidos a la interconexión de los sistemas digitales con el mundo externo, sin llegar a ser eliminados de un sistema. Esta coexistencia cooperativa es el esquema utilizado en los sistemas electrónicos, pues cada uno puede compensar las debilidades del otro.

Es entonces que el circuito de interfaz analógico conectado directamente al elemento sensor, tiene que transformar la señal sin procesar del sensor en “algo” adecuado para etapas posteriores. Las funciones implementadas en la sección analógica están típicamente limitadas a la amplificación y filtrado.

#### *Arquitectura de los circuitos de interfaz*

La circuitería para procesar señales que se encuentra entre el sensor y un sistema de datos o actuador se llama generalmente circuito de interfaz. La figura 4 muestra un diagrama de bloques de un circuito interfaz para un microsensar genérico. Además de los sensores, el sistema incluye circuitos analógicos (amplificación y procesamiento a bajo nivel), Convertidor Analógico Digital (ADC), un procesador de señales digitales y una interfaz de salida. Es importante resaltar en la figura 4 la presencia de señales de retroalimentación, lo que permite optimizar el desempeño al ajustar parámetros del sistema, dependiendo de la señal de salida.

#### *Amplificación y voltaje de desvío*

Como se mencionó con anterioridad, la conexión directa de la interfaz analógica con el sensor obliga a que las especificaciones de los circuitos en el dominio analógico dependan fuertemente del tipo de sensor. La amplificación es una de las etapas más críticas en circuitos analógicos.

CLASIFICACIÓN	PARÁMETRO/TAREA	DESAFÍOS
Señal de salida	Voltaje analógico	10 $\mu$ V
	Corriente analógica	10 nV
	Cambio de resistencia	1 m $\Omega$
	Cambio de capacitancia	10 aF
Operación	Búfer Amplificación	Bajo voltaje de desvío (100 $\mu$ V) Bajo ruido (nV) Precisión de 0.1 % sobre temperatura
	Polarización	Bajo drift sobre tiempo
	Filtrado	Baja frecuencia de corte
Funciones adicionales	Linearización	
	Corrección digital	
	Bajo consumo de potencia	
	Programación digital	
	Bus de interface Interface inalámbrica	

Tabla 2: Desafíos de diseño por tipo de microsensord

Aunque se define un microsensord en cuestión a su tamaño<sup>4</sup>, las señales de salida generadas por esos dispositivos son también pequeñas (Tabla 2) y son por si mismos desafíos de diseño[19].

Desde un punto de vista económico y como habilita la integración de procesamiento digital de bajo voltaje, la tecnología de Semiconductor Complementario de Oxido Metal (CMOS) es la preferida para el diseño de circuitos analógicos, haciendo posible la realización de sistemas complejos de señal mixta. Sin embargo, el voltaje de desvío típico de los amplificadores CMOS está en el orden de los milivolts, comprometiendo su utilidad en sistemas de medición que involucran microsensores. Más aún, considerando la tendencia actual de voltajes de alimentación cada vez más bajos, el voltaje de desvío en los amplificadores se ha vuelto un límite para la precisión y el rango dinámico cada vez más importante.

Por consiguiente, la interfaz analógica esta igualmente condicionada a las características que puede imponer el dominio digital, quedando atrapada entre dos mundos cuyas exigencias pueden llegar a ser tan diferentes como contradictorias.

#### *Compensación de voltaje de desvío*

Por supuesto, se han desarrollado técnicas para resolver el problema del voltaje de desvío a la entrada, donde la clara motivación por obtener electrónica de exactitud está detrás del esfuerzo continuo por reducir el voltaje de desvío en los amplificadores.

<sup>4</sup> Se hace referencia a una confusión común, en la que se llama microsensord al sensor que detecta cantidades pequeñas o al que posee una alta precisión en lugar de aquél con un elemento sensor en escalas micrométricas.

Soluciones obvias son el calibrar durante la producción o que el usuario mismo compense tal efecto. No obstante, este tipo de técnicas estáticas aún sufren de variaciones debido a la temperatura y tiempo, lo que reduce su eficacia [18]. Tales efectos se pueden aún reducir al incrementar el tamaño de los transistores, pero la velocidad y los requerimientos de potencias se ven seriamente afectados. Actualmente es bien sabido que el compromiso exactitud-velocidad-potencia no puede ser optimizado por diseño porque depende exclusivamente de parámetros dictados por la tecnología CMOS [32].

En consecuencia la única forma de mejorar tal compromiso es compensar dinámicamente el voltaje de desvío, al implementar circuitería extra de compensación en el chip para los amplificadores. Como estas técnicas continúan compensando el voltaje de desvío durante el tiempo de vida del dispositivo, pequeñas variaciones del voltaje de desvío serán también compensadas.

Se pueden distinguir principalmente dos técnicas dinámicas de compensación: autocero y recortador [5]. El principio de autocero es medir el voltaje de desvío y el ruido  $1/f$  en una primera etapa y substraerlo en la siguiente. Lamentablemente, esta estrategia no es adecuada para operación en tiempo continuo, pues presenta un voltaje de desvío residual debido al efecto de inyección de cargas por los interruptores que contiene y el ruido térmico se pasa nuevamente a Corriente Directa (CD) [5, 4, 29, 10].

Por otro lado, el principio del recortador modula el voltaje de desvío y el ruido  $1/f$  a cierta frecuencia para después eliminarlos con un filtro pasa bajas. Como la señal de entrada no es muestreada como en el caso del autocero, el recortador logra un mejor desempeño que el autocero al rechazar ruido de baja frecuencia. Por otra parte, a la salida, la señal presenta una ondulación que tiene que ser filtrada, lo que inmediatamente penaliza el ancho de banda. Una alternativa para que permite utilizar un mayor ancho de banda es la técnica de estabilización de voltaje de desvío. Pero como requiere de un segundo amplificador para compensar el principal que también debe ser compensado con autocero o recortador, hereda las desventajas de estas técnicas.

## 1.2 PLANTEAMIENTO DEL PROBLEMA

Al considerar el impedimento de no poder utilizar una técnica de autocero en tiempo continuo y que la complejidad y el limitado ancho de banda de un recortador implica dificultades para su implementación en un microsistema, se define la necesidad de una estrategia con contribuciones de voltaje de desvío residual similares a las existentes utilizable en tiempo continuo, que haga uso de menos dispositivos (obteniendo un menor consumo de potencia) y presente menor esfuerzo de diseño.

## 1.3 JUSTIFICACIÓN

### 1.3.1 Rendimiento y costos de producción

El aspecto económico es importante en el diseño de un circuito integrado. Con el número de transistores por chip duplicándose cada año

[34, 35], los costos de fabricación se incrementan ininterrumpidamente. En la ecuación 1.1 [26] se muestra una predicción del costo de un chip:

$$C_{\text{chip}} = \frac{1}{y} \cdot \left( \frac{A_{\text{chip}}}{A_{\text{ob}}} \right) \cdot c_{\text{ob}} \quad (1.1)$$

Donde:

$C_{\text{chip}}$	costo del chip
$y$	rendimiento
$A_{\text{chip}}$	área del chip
$A_{\text{ob}}$	área utilizable en la oblea
$c_{\text{ob}}$	costo de la oblea

De la ecuación 1.1 es necesario resaltar que el costo del chip es inversamente proporcional al rendimiento, i.e., al mejorar el rendimiento, el costo general del chip disminuye. El rendimiento es la relación del número de dispositivos que cumplen con las especificaciones de diseño, del total de dispositivos que son fabricados y probados, representado usualmente como un porcentaje. El rendimiento de un circuito se puede ver afectado por las decrecientes dimensiones de los dispositivos, por un diseño pobre y por defectos sistemáticos o aleatorios. Esto da como resultado un circuito con especificaciones de sensibilidad por debajo de las requeridas.

Sin embargo, no todos los problemas de sensibilidad se pueden atribuir a un diseño inapropiado. En ocasiones, las limitaciones de la tecnología por sí mismas no pueden compensar las variaciones inherentes al proceso de fabricación. El resultado inmediato es una discrepancia entre las dimensiones y parámetros de los transistores diseñados y los fabricados (discrepancia), lo que se traduce en pobre desempeño y rendimiento del circuito.

### 1.3.2 *Impacto de la compensación de voltaje de desvío en el rendimiento*

Se ha observado y concluido que las variaciones en CD para un amplificador (o circuito analógico en general) catalogadas como voltaje de desvío, se deben a discrepancias en dispositivos que, por diseño, deberían ser iguales [30]. En la figura 5 reproducida de [31] se muestra un ejemplo del impacto en el rendimiento y desempeño debido a este tipo de variaciones presentes en el par diferencial del comparador de entrada de un ADC. En este caso (entre muchos otros) el voltaje de desvío aleatorio tiene un efecto significativo en el rendimiento del circuito dependiendo de la resolución deseada.

Por lo anterior se puede deducir que al agregar una técnica de compensación de voltaje de desvío, implícitamente se está aumentando el rendimiento del producto y se pueden esperar múltiples beneficios si esta técnica de compensación puede subsanar, mejorar o complementar las desventajas de las estrategias presentes en el estado del arte.

### 1.3.3 *Distorsión, ruido y efectos de temperatura*

La distorsión, la sensibilidad al ruido y los efectos de la temperatura son parámetros que, además del voltaje de desvío, establecen una medida del desempeño de un circuito. Inclusive, si se consideran las aplicaciones de microsensores, las contribuciones de estos parámetros

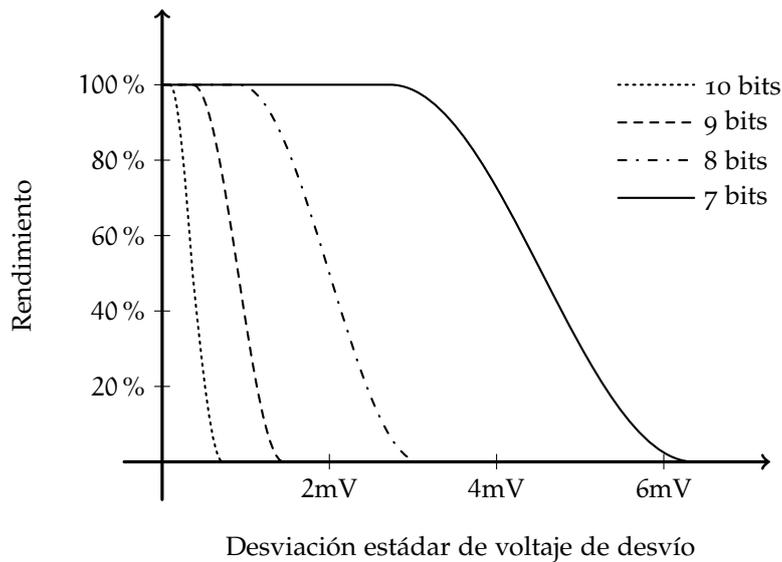


Figura 5: Rendimiento de un ADC en función de la desviación estándar de la discrepancia de transistores del par diferencial de entrada

pueden ser bastante diferentes a las que usualmente se enfrentan en los circuitos microelectrónicos.

La mayoría de las consideraciones que se toman para aliviar estos problemas se encuentran en la etapa de diseño, sin embargo, estos parámetros también contribuyen como variaciones en  $CD$  y se puede inferir que el voltaje de desvío es un efecto global de todos los parámetros. Es razonable esperar que una técnica de compensación de voltaje de desvío compense también los efectos de estos parámetros.

#### 1.4 HIPÓTESIS

A partir del problema expuesto, se intuye que con la detección del voltaje de desvío a la salida y el uso de filtros pasa bajas para su corrección a la entrada [7], será posible formalizar una técnica de compensación de la discrepancia<sup>5</sup> de dispositivos que mejore o complemente las desventajas de las estrategias actuales. Como el diseño de filtros de muy baja frecuencia no es trivial, se supone que la incorporación de elementos altamente resistivos, i.e., transistores casi apagados que se comportan como resistencias de gran valor, harán práctico el uso de esta técnica.

Además se espera que al compensar el voltaje de desvío, otros parámetros como son el ruido de baja frecuencia, la distorsión y las variaciones por temperatura también sean compensados.

Para finalizar, el impacto de la compensación de voltaje de desvío en el rendimiento y, por consiguiente, en el incremento de la resolución, permite esperar un acondicionamiento eficaz de señales de salida provenientes de sensores MEMS a partir de circuitos integrados CMOS.

<sup>5</sup> Del término en inglés *mismatch*

### 1.5 OBJETIVOS

**OBJETIVO GENERAL** Diseñar un preamplificador de alto desempeño para el acondicionamiento de sensores MEMS de alta resolución a partir de arreglos de compensación de voltaje de desvío.

#### OBJETIVOS PARTICULARES

- Diseñar y simular un circuito de compensación de voltaje de desvío con filtros que utilicen elementos altamente resistivos.
- Realizar una estimación estadística de la compensación de voltaje de desvío.
- Caracterizar el diseño mediante herramientas de simulación.
- Analizar el efecto de la compensación de voltaje de desvío en otros parámetros.

### 1.6 ALCANCE

En el presente trabajo se pretende realizar distintos diseños de amplificadores que incorporen una estrategia de compensación de voltaje de desvío que resuelva el problema antes planteado. Se analizarán sus ventajas y desventajas y se obtendrán de manera formal sus especificaciones para poder acotar sus posibles aplicaciones. Además se realizarán simulaciones Monte Carlo<sup>6</sup> para comprobar la factibilidad de la propuesta. Por último se realizará un estudio del impacto del ruido, temperatura y distorsión en los diseños.

### 1.7 CONTRIBUCIONES

Al cumplir satisfactoriamente con los objetivos propuestos, se obtendrán las siguientes contribuciones:

- Una técnica de compensación dinámica adecuada para su uso con microsensores, incorporable y realizable en un chip.
- Un estudio del efecto de la temperatura (no reportados usualmente) en los circuitos microelectrónicos.
- Reducir costos de producción al mejorar el rendimiento de los circuitos.
- Una metodología documentada que será útil como referencia para posteriores diseños, bajo especificaciones que se encuentren dentro del rango de las tratadas en este trabajo.

### 1.8 METODOLOGÍA

En la figura 6 se muestra la metodología de diseño analógico estándar en la que se basa la presente investigación. Se utilizarán las herramientas de Diseño Asistido por Computadora (CAD) proporcionadas por Mentor Graphics®.

<sup>6</sup> Una simulación Monte Carlo consiste en el cómputo repetitivo de un modelo o diseño, el cual depende de una o más variables muestreadas aleatoriamente.

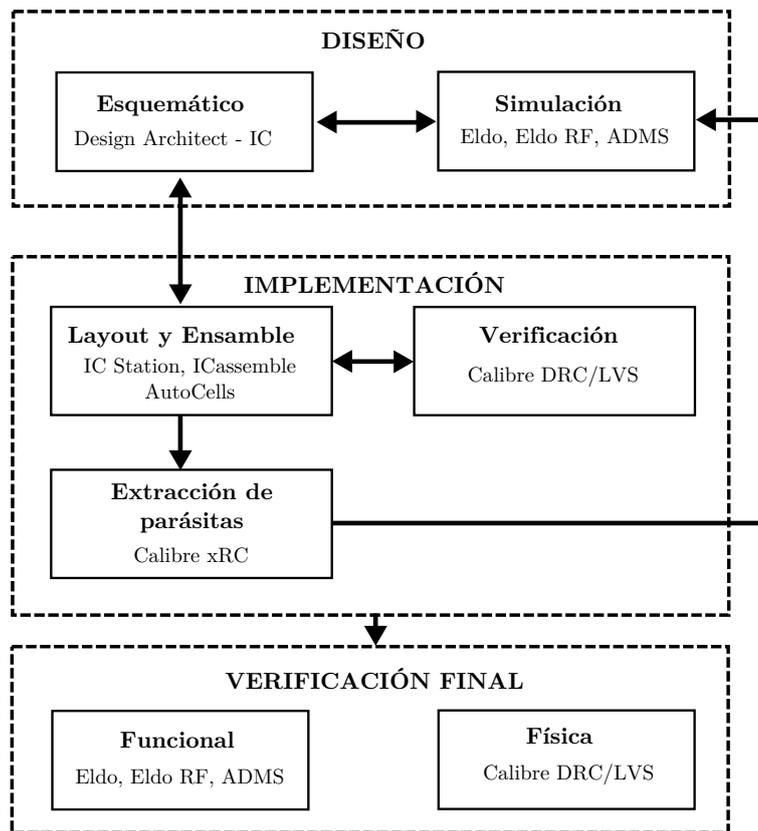


Figura 6: Metodología de diseño de circuitos analógicos

La metodología comienza con un diseño esquemático realizado a través de aproximaciones analíticas. Se realizarán simulaciones de su comportamiento y obteniendo una retroalimentación entre estas dos etapas se realizarán las correcciones pertinentes. Una vez que se alcancen resultados satisfactorios se procederá a la etapa de implementación.

Es en esta etapa de implementación donde se creará un layout del circuito con ayuda de herramientas de verificación de consistencia entre éste y el esquemático. Posteriormente se realizará una extracción de efectos parásitos, que son consecuencia del layout, para una simulación funcional. Estos resultados pueden requerir de modificaciones, un nuevo layout o inclusive un retorno a la etapa de diseño para corregir el esquemático.

Una vez que la etapa de implementación termine convenientemente, se puede continuar con un proceso de verificación física y funcional.

Es importante aclarar que un análisis estadístico en la parte de implementación es necesario para una posterior predicción del rendimiento y así, la fabricación del dispositivo se puede llevar a cabo.

La metodología se puede considerar terminada en este punto, donde sólo se llevan a cabo la aplicación de técnicas de caracterización experimental para validar los valores teóricos.

## 1.9 ORGANIZACIÓN DEL TRABAJO

En el Capítulo 2 se estudiarán con más detalle las diferentes estrategias de compensación de voltaje de desvío en el estado del arte. Se analizará el funcionamiento del autocero, recortador y la estabilización

de voltaje de desvío, deduciendo directamente sus ventajas y desventajas para entender finalmente cuales son las características que se persiguen en el diseño propuesto.

El Capítulo 3 servirá como fundamento teórico. Se comenzará planteando las definiciones de los efectos y parámetros básicos que se involucran en las variaciones de diseño, cómo se pueden modelar y qué técnicas ayudan en su estudio. Además se explicará el funcionamiento de bloques de circuitos analógicos básicos que se utilizarán extensamente en el desarrollo del presente trabajo.

El Capítulo 4 explicará la propuesta de trabajo con el mismo orden metodológico que seguirá la investigación. Se presentará el diseño, los cálculos numéricos y analíticos necesarios, las condiciones y resultados de las simulaciones, y una caracterización de forma compatible con la reportada en la literatura.

Finalmente, en el Capítulo 5 se se establecerán conclusiones de la investigación mediante deducciones y comparaciones entre los resultados teóricos y experimentales de la propuesta y las estrategias del estado del arte.

Parte II

SUSTENTO TEORICO



La calidad de la amplificación de una señal depende directamente de los parámetros de diseño del amplificador utilizado. En el diseño de tales dispositivos, es común el uso de amplificadores de varias etapas para lograr una alta ganancia. Una alta ganancia ayuda a mejorar un conjunto de características en el amplificador y obtener un mejor desempeño general. Sin embargo, los sistemas de varias etapas no son estables en operación a lazo cerrado a menos que se incluya una compensación de frecuencia en el circuito.

En la sección 2.1 se busca exponer las bases de esta inestabilidad así como las diferentes técnicas de compensación de frecuencia actuales y sus atributos.

Además, al migrar el análisis de un amplificador a consideraciones reales, el diseñador se enfrenta a una serie de no idealidades que afectan seriamente el desempeño de un amplificador. Estas son de origen diverso y suelen ser consecuencia de los procesos de microfabricación pero, como se mencionó con anterioridad, el voltaje de desvío es un efecto no ideal importante que limita el uso de circuitos analógicos. La amplitud de su contribución es crítica, al punto de que es más significativa que otras variaciones como el ruido. Así pues, la inclusión de circuitos de compensación del voltaje de desvío en amplificadores es una necesidad ampliamente justificada para habilitar el uso de etapas analógicas en circuitos CMOS[5, 25, 18, 31, 30, 42].

Existen distintas técnicas en la actualidad para llevar a cabo una compensación del voltaje de desvío. Como es de esperar, la aproximación conceptual de cada una de ellas incluye de forma inherente ciertas ventajas y desventajas, que son más o menos significativas, dependiendo de la aplicación para la que el amplificador está diseñado. Estas técnicas se pueden clasificar generalmente en dos tipos con respecto a como se lleva esta corrección a través del tiempo: estáticas y dinámicas.

Es por eso que en la sección 2.2 se explica lo que es el voltaje de desvío y en la sección 2.3 se pretende estudiar las diferentes estrategias de compensación de voltaje de desvío existentes en el estado del arte, a través del previo análisis de los efectos no ideales, para ser capaces de vislumbrar las ventajas y desventajas de cada una y obtener una comparación cualitativa y cuantitativa entre ellos. De esta forma, se podrá especificar cuales son los aspectos que se pueden mejorar y al final identificar huecos de diseño que no se cubran actualmente.

## 2.1 COMPENSACIÓN DE FRECUENCIA

### 2.1.1 Estabilidad en amplificadores

Los amplificadores operacionales usualmente se usan en una configuración de retroalimentación negativa. De esta forma la ganancia en lazo abierto, que es relativamente alta e imprecisa, puede ser usada con retroalimentación para alcanzar una relación de transferencia muy precisa, la cual es función solamente de los elementos de retroalimentación. Es importante que la señal que retroalimenta a la entrada sea de tal

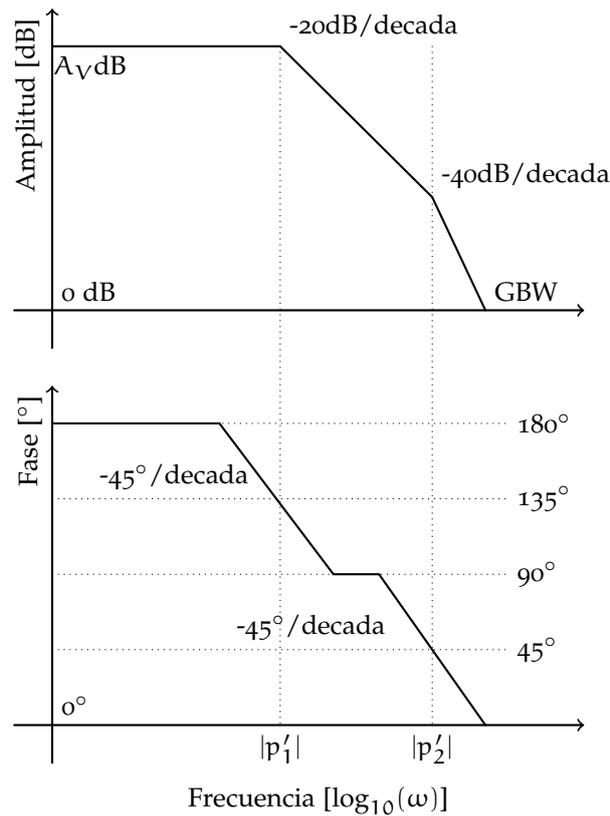


Figura 7: Respuesta de frecuencia y fase de un sistema de segundo orden

amplitud y fase tal que no se regenere así misma alrededor del lazo cerrado. Si esto ocurriera, el resultado sería que la salida del amplificador se anclará a uno de los potenciales de alimentación (regeneración a CD) o que el voltaje comenzará a oscilar (regeneración a alguna frecuencia diferente de CD).

En la figura 7 se ilustra con un diagrama de Bode la respuesta en frecuencia y fase de un sistema de segundo orden (amplificador de dos etapas). Para afirmar que el sistema es estable, se requiere que la curva de amplitud cruce el punto de  $0$  dB antes que la curva de fase alcance los  $0^\circ$ . El valor de la fase cuando la amplitud es la unidad, es decir  $0$  dB, se llama margen de fase y se utiliza como una medición de la estabilidad.

Debido al extenso uso de los amplificadores de dos etapas para obtener altas ganancias, es clara la importancia de agregar una compensación al circuito amplificador antes de que este sea usado en configuración de lazo cerrado[14, 37].

### 2.1.2 Compensación de Miller

La primer técnica que se discutirá para la compensación en frecuencia de un amplificador de dos etapas es la compensación de Miller[11, 12]. Esta técnica consiste en conectar un capacitor  $C_C$  entre la salida de la primera etapa de transconductancia a la entrada de la segunda. En la figura 8 se muestra el modelo de un amplificador de dos etapas con un capacitor de Miller. En el modelo se consideran las transconductancias

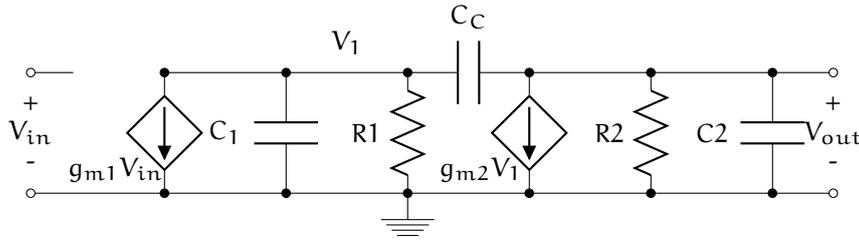


Figura 8: Capacitancia de Miller aplicada a Opamp de dos etapas

de las dos etapas, así como la resistencia y capacitancia de salida de cada etapa.

En consecuencia, la función de transferencia resultante del análisis del modelo mostrado es[37]:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{g_{m1} \cdot g_{m2} \cdot R_1 \cdot R_2 \cdot \left(1 - \frac{s \cdot C_C}{g_{m2}}\right)}{1 + a \cdot s + b \cdot s^2} \quad (2.1)$$

donde:

$$a = R_1 (C_1 + C_C) + R_2 (C_2 + C_C) + g_{m2} \cdot R_1 \cdot R_2 \cdot C_C$$

$$b = R_1 \cdot R_2 (C_1 \cdot C_2 + C_C \cdot C_1 + C_C \cdot C_2)$$

De la ecuación 2.1 se obtienen las posiciones de los polos compensados:

$$p'_1 \cong -\frac{1}{g_{m2} \cdot R_1 \cdot R_2 \cdot C_C}$$

$$p'_2 \cong -\frac{g_{m2} \cdot C_C}{C_1 \cdot C_2 + C_2 \cdot C_C + C_1 \cdot C_C}$$

Si se considera que  $C_2$  es mucho mayor que  $C_1$  y  $C_C$  es mayor que  $C_1$  entonces se puede aproximar el polo  $p_2$  como sigue:

$$p'_2 \cong -\frac{g_{m2}}{C_2}$$

Dos resultados se obtienen de añadir este capacitor. Primero, la capacitancia  $C_1$  se incrementa aproximadamente en  $g_{m2} \cdot R_2 \cdot C_C$ . Esto mueve en una cantidad significativa el polo dominante para estar más cerca del origen del plano complejo (asumiendo que la ganancia de la segunda etapa es grande). Segundo, el polo no dominante se mueve lejos del origen del plano de frecuencia compleja, resultado de la retroalimentación negativa, reduciendo así la resistencia de la salida de la segunda etapa. Cabe notar que un cero ocurre en el Semiplano Derecho (SPD) debido a una trayectoria de prealimentación a través de  $C_C$  y cuya posición es[37]:

$$z_1 = \frac{g_{m2}}{C_C}$$

En la figura 9 se ilustra el movimiento de los polos a causa de la compensación de Miller en el plano de frecuencia compleja. En la figura 10 se muestra el resultado de la compensación a través de un diagrama de Bode. Nótese que el polo no dominante no empieza a afectar la

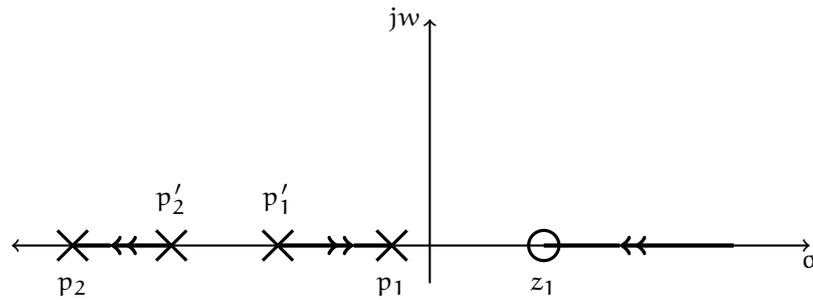


Figura 9: Movimiento de los polos

magnitud hasta después de que ésta sea menor a la unidad de forma tal que el comportamiento del sistema se aproxima a uno de primer grado, asegurando la estabilidad en lazo cerrado. Por el contrario, el cero del SPD hace más negativo el cambio de fase e incrementa la magnitud al actuar como un polo y un cero en el Semiplano Izquierdo (SPI) respectivamente. Estos son efectos negativos para el objetivo de una compensación de frecuencia, el cual es mover los polos no dominantes y el cero lo más lejanos posible, al origen del plano complejo. Esto se traduce en buscar que el margen de fase sea mayor a los  $45^\circ$ .

Se puede mostrar que si el cero es colocado al menos 10 veces la frecuencia de ganancia unitaria GBW, entonces para obtener  $45^\circ$  y  $60^\circ$  de margen de fase, el polo no dominante  $p_2$  se tiene que colocar al menos en  $1,22 \cdot \text{GBW}$  y  $2,2 \cdot \text{GBW}$  respectivamente[37].

### 2.1.3 Resistor nulificador

Como se estudió con anterioridad, el capacitor de Miller introduce un cero en el SPD. Este cero tiende a limitar el producto ganancia-ancho de banda que de otra forma se podría alcanzar si tal cero no estuviera presente. Un método para eliminar dicho efecto es insertar un resistor nulificador en serie con el capacitor de Miller.

Se puede obtener una función de transferencia al resolver las ecuaciones de los nodos del circuito incluyendo el resistor nulificador y obtener las posiciones de los polos y ceros del sistema. Si se asume que  $R_z$  es menor que las resistencias de salida de ambas etapas de amplificación y que los polos del sistema están ampliamente espaciados (que es el caso debido al capacitor de Miller) se obtienen las posiciones de los polos y ceros del sistema[50]:

$$p_1 \cong -\frac{1}{g_{m2} \cdot R_2 \cdot R_1 \cdot C_C}$$

$$p_2 \cong -\frac{g_{m2}}{C_2}$$

$$p_4 = -\frac{1}{R_z \cdot C_1}$$

$$z_1 = \frac{1}{C_C \left( \frac{1}{g_{m2}} - R_z \right)}$$

Se observa que la posición del cero  $z_1$  en el SPD está en función del valor de la resistencia nulificadora  $R_z$ . Como el valor del capacitor de

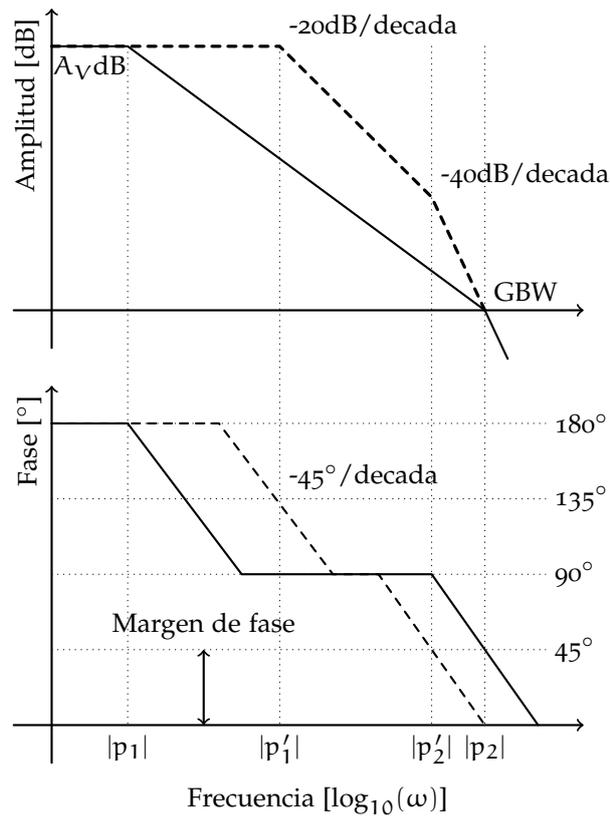


Figura 10: Respuesta en frecuencia

compensación  $C_C$  depende de las magnitudes de  $C_1$  y  $C_2$ , el polo de salida  $p_2$  no puede cambiar a través de  $C_2$  y queda fijo después de que la compensación se diseñó. Esto deja como única alternativa el incrementar la trasconductancia de la segunda etapa  $g_{m2}$ . A pesar de esto el resistor nulificador se ha utilizado en el diseño de amplificadores de dos etapas con buenos resultados.

#### 2.1.4 Compensación por prealimentación

Aplicaciones de alto nivel (como un ADC) requieren de amplificadores que sean al mismo tiempo precisos y rápidos. Sin embargo, diseñar amplificadores con tales características es una tarea difícil ya que son requerimientos de diseño que se contradicen.

Un amplificador de alta ganancia utiliza diseños multietapa con transistores de longitudes de canal grandes, polarizados con bajos niveles de corriente. Un amplificador de amplio ancho de banda, por el contrario, utiliza transistores de longitudes cortas, polarizados con altos niveles de corriente.

El uso de un capacitor en la compensación de Miller penaliza el ancho de banda de un amplificador al enviar el polo dominante a bajas frecuencias.

En la figura 11 se muestra un esquema de compensación de frecuencia por prealimentación que no utiliza el capacitor de Miller.

El esquema de compensación por prealimentación utiliza un cambio de fase positivo de ceros en el SPI, el cual es creado por una trayectoria

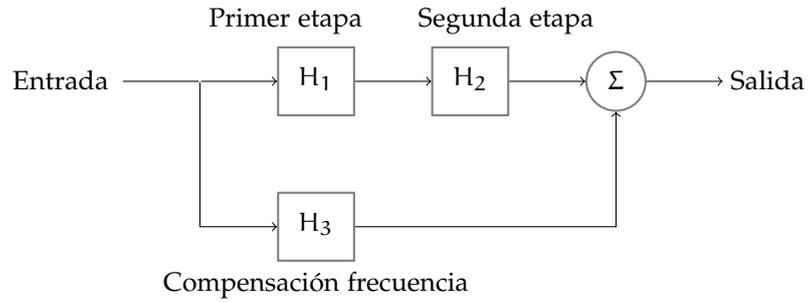


Figura 11: Diagrama de bloques de compensación por prealimentación de un amplificador de dos etapas.

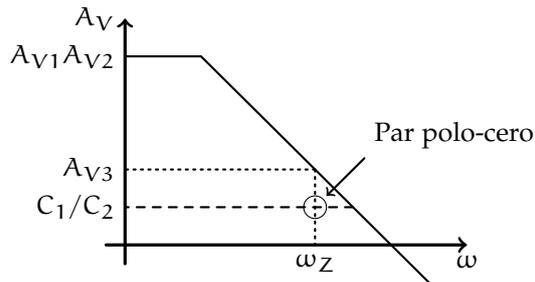


Figura 12: Respuesta en frecuencia de cancelación perfecta

directa desde la entrada hasta la salida para compensar el cambio de fase negativo, debido a los polos presentes en un amplificador de múltiples etapas[45, 20, 48].

Como se aprecia en la figura 11, existen tres bloques  $H_1$ ,  $H_2$  y  $H_3$ . Los dos primeros corresponden a las etapas de ganancia del amplificador y el tercero se refiere a la etapa que introduce la trayectoria de prealimentación. A partir de ahí, se puede asumir una respuesta de un polo de los tres bloques. El polo de la primera etapa  $H_1$  es  $\omega_{p1}$ , mientras que las etapas  $H_2$  y  $H_3$  tienen un polo común en  $\omega_{p2}$ .

De esta forma, la función de transferencia para el sistema descrito es de la siguiente forma:

$$H(s) = \frac{A_{V1} \cdot A_{V2} + A_{V3} \left(1 + \frac{s}{\omega_{p1}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \tag{2.2}$$

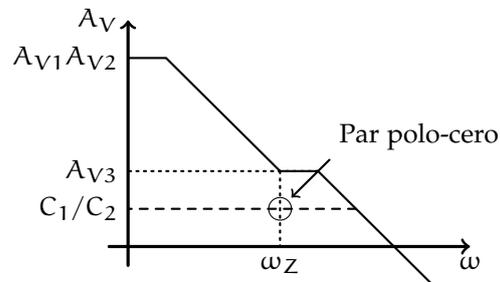


Figura 13: Respuesta en frecuencia de discrepancia entre polo y cero

$$= \frac{(A_{V1} \cdot A_{V2} + A_{V3}) \left(1 + \frac{A_{V3} \cdot s}{(A_{V1} \cdot A_{V2} + A_{V3}) \cdot \omega_{p1}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (2.3)$$

Se puede observar que además de los dos polos ya descritos, un cero es creado por la trayectoria de prealimentación, cuya posición en el SPI es:

$$z_1 = -\omega_{p1} \left(1 + \frac{A_{v1} \cdot A_{v2}}{A_{v3}}\right) \simeq -\frac{g_{m1}}{C_{01}} \left(\frac{g_{m2}}{g_{m3}}\right) \quad (2.4)$$

Se puede notar que la posición del cero es aproximadamente  $g_{m2}/g_{m3}$  veces el producto ganancia-ancho de banda.

Entonces, las etapas  $H_2$  y  $H_3$  pueden ser diseñadas de tal manera que el cambio de fase negativo (debido al polo  $\omega_{p2}$ ) sea compensado con el cambio de fase positivo (debido al cero  $z_1$ <sup>1</sup>). Cuando la frecuencia de  $\omega_{p2}$  y  $z_1$  coinciden exactamente, el margen de fase del amplificador es de  $90^\circ$  y la frecuencia de ganancia unitaria esta dada por  $\omega_{GBW} = A_{v2} (g_{m1}/g_{m2})$ . El comportamiento en frecuencia de la función de transferencia para una perfecta cancelación se refleja en la figura 12.

En contraste con la compensación de Miller, no existe una división de polos y se mejora el ancho de banda del amplificador. La técnica de prealimentación en conjunto con una estrategia de varias etapas permite el diseño de un amplificador de ganancia alta y respuesta rápida. Además, al no usar un capacitor, también se reduce substancialmente el área y el consumo de potencia, especialmente en amplificadores multietapa<sup>2</sup>.

A pesar de todo, una cancelación perfecta es una tarea de diseño complicada y en la mayoría de los casos imposible. En la figura 13 se muestran los efectos de una cancelación imperfecta. La discrepancia entre las posiciones del polo y el cero puede afectar el desempeño del amplificador al degradar el tiempo de establecimiento debido al espacio entre el polo y el cero. En consecuencia, el par polo-cero es creado a altas frecuencias para evitar componentes de tiempo de establecimiento lentos, asociados a cancelaciones en bajas frecuencias [49].

## 2.2 VOLTAJE DE DESVÍO

En la sección 3.4 se estudiarán los efectos no ideales de un amplificador y se analizará como estos afectan el desempeño de un amplificador. Sin embargo, en este punto es conveniente introducir el voltaje de desvío (un efecto no ideal), el cual representa la desviación más seria en los amplificadores diferenciales CMOS y es el tema central de este trabajo.

En un amplificador diferencial ideal, al tener entradas en modo común (figura 14a) la tensión de salida es cero. Por otro lado, un amplificador real presenta una tensión de salida diferente de cero. Esta tensión se conoce como voltaje de desvío referido a la salida, el cual se representa como  $A \cdot V_{off}$ , donde  $A$  es la ganancia del amplificador y  $V_{off}$  es el voltaje de desvío referido a la entrada. En la figura 14a se

- 1 Puede surgir la duda de considerar el polo no dominante de la primera etapa. Sin embargo, de forma general, el número de ceros en el LHP creados por la prealimentación es igual al orden de la primera etapa.
- 2 Aunque se hace referencia a amplificadores de dos etapas, esta cantidad puede ser arbitraria. Por lo tanto, se tiene que compensar los efectos del cambio de fase de cada etapa y al usar capacitores el uso de área de silicio no es práctico y el beneficio del esquema de prealimentación es más atractivo.

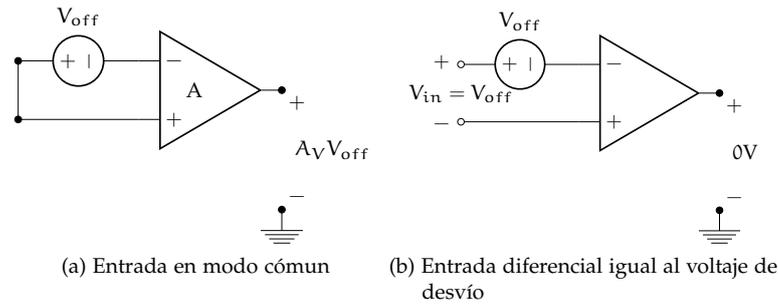


Figura 14: Voltaje de desvío en amplificador diferencial real

modela el voltaje de desvío referido a la entrada como una fuente de voltaje en CD conectada a una entrada del amplificador.

Por lo general, se asume que el voltaje de desvío referido a la entrada  $V_{off}$  es una señal en CD causada por variaciones en la temperatura y en los parámetros de los transistores CMOS, así como en errores sistemáticos inherentes al diseño. En los amplificadores CMOS la magnitud del voltaje de desvío referido a la entrada se encuentra en el orden de los mV, lo que en principio imposibilita su uso con señales por debajo de este nivel. Esto último se debe a las altas ganancias en lazo abierto que mantendrían al dispositivo saturado o lejos de un punto de operación adecuado[18].

Sin considerar el efecto de la variación por temperatura, se puede incluir un voltaje  $V_{in} = V_{off}$  en modo diferencial a la entrada del amplificador (figura 14b), para compensar el efecto de desvío. Debido a las limitaciones de la tecnología, el voltaje de desvío no se puede eliminar por diseño, por consiguiente la pregunta obligada es: ¿Qué mecanismo se puede utilizar para corregir o compensar el efecto del voltaje de desvío en los amplificadores CMOS?

### 2.3 TÉCNICAS DE COMPENSACIÓN DE VOLTAJE DE DESVÍO

Se ha establecido cómo el voltaje de desvío compromete el uso de amplificadores CMOS en sistemas de medición. La necesidad de mejorar las características de estos amplificadores para habilitar la integración con circuitos de procesamiento digitales y reducir costos con el uso de la tecnología CMOS, es la motivación para desarrollar diferentes técnicas de compensación de voltaje de desvío.

Dependiendo de como se lleva la corrección del voltaje de desvío a través del tiempo, las técnicas de compensación se pueden clasificar en estáticas y dinámicas.

#### 2.3.1 Técnicas estáticas

El voltaje de desvío es un parámetro que puede ser cuantificado experimentalmente de manera relativamente fácil. El medir y aplicar un voltaje para la corrección del desvío es una respuesta natural e inmediata. Como este cambio se realiza una sola vez antes de que el circuito se encuentre en operación, a esta estrategia se le conoce como técnica de compensación estática.

Una forma de cancelar el voltaje de desvío a largo plazo es mediante un proceso posterior a la fabricación de un amplificador para corregir

ciertos parámetros que lo causen. Esta aproximación en un principio es precisa, pero debido a las desviaciones por temperatura y envejecimiento, con el tiempo aparecen componentes de voltaje no esperados. Además este postratamiento es costoso ya que es un proceso único para cada chip.

Otro método es compensar el efecto antes de cada operación. Esta sintonización se puede llevar a cabo a través de introducir el voltaje diferencial necesario (figura 14b) de forma directa o indirecta en las entradas del amplificador o a través de puertos auxiliares de calibración. Una estrategia de este último tipo es utilizar transistores de compuerta flotante para inyectar corrientes que compensen las variaciones en el voltaje de disparo de los transistores de un amplificador. Sin embargo esta corrección, aunque se realice constantemente, sigue siendo estática pues durante la operación ninguna desviación posterior es compensada. En consecuencia, el requerir de calibraciones constantes es una desventaja que impide su uso en una amplia gama de aplicaciones en circuitos, donde la intervención de un operador externo no es posible[17].

### 2.3.2 Técnicas dinámicas

Las técnicas estáticas de compensación son una solución obvia, pero sus desventajas plantean la necesidad de incorporar circuitos adicionales para la compensación del voltaje de desvío de un amplificador. Sin la intervención de un usuario para una recalibración, este circuito continuará compensando las pequeñas variaciones del voltaje de desvío debidas al tiempo y temperatura. Por tal motivo, a esta técnica se le llama compensación dinámica.

Aunque a lo largo de los años ha surgido una confusión al momento de nombrar las diferentes técnicas de compensación dinámica, se pueden distinguir principalmente dos: el autocero y el recortador[5].

#### *Autocero*

Se puede describir al autocero como un circuito de modulación del voltaje de desvío en el dominio del tiempo. Por supuesto, esto se deriva de su principio de operación, donde se pueden distinguir dos fases en el tiempo. En una primera fase, el voltaje de desvío del sistema es medido y almacenado. En la siguiente fase, la señal es amplificada y el voltaje de desvío almacenado es substraído de la misma.

Posiblemente la forma más sencilla de implementar esta compensación es utilizando un capacitor para almacenar el voltaje de desvío. Existen diversos métodos para implementar la técnica del autocero que en particular se pueden clasificar por la forma como se almacena el voltaje de desvío  $V_{off}$ .

**ALMACENAMIENTO DE DESVÍO A LA SALIDA** A esta técnica también se le llama cancelación de voltaje de desvío en lazo abierto. Como se muestra en la figura 15 al utilizar un capacitor a la salida de una etapa de amplificación se puede almacenar el voltaje de desvío referido a la salida. Durante una fase F2 de muestreo, los interruptores S1 y S3 están cerrados mientras que S2 y S4 permanecen abiertos [4]. La tensión presente a la salida del amplificador  $V_{out1}$ , que es la que se

*El autocero es una modulación del voltaje de desvío en el tiempo*

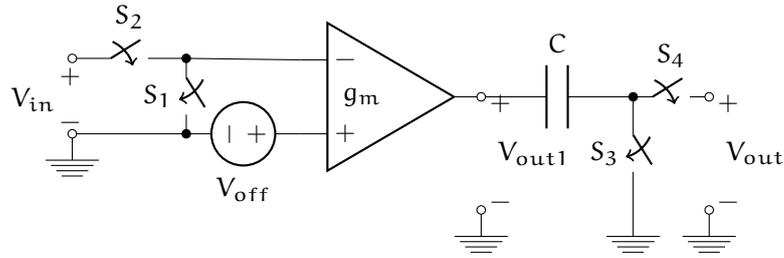


Figura 15: Amplificador con autocero de almacenamiento de voltaje de desvío a la salida.

utilizará como voltaje de compensación  $V_c$ , se puede expresar como [18]:

$$V_c = V_{out1} = A_V \cdot V_{off} \quad (2.5)$$

Donde  $A_V$  es la ganancia del amplificador. Durante la siguiente fase F1 de señal, los interruptores  $S_2$  y  $S_4$  se encuentran cerrados y los interruptores  $S_1$  y  $S_3$  abiertos. En esta fase ocurre la cancelación del voltaje de desvío, la cual se puede expresar referida a la salida de la señal  $V_{out2}$  de la siguiente forma:

$$V_{out1} = A_V(V_{in} + V_{off}) \quad (2.6)$$

$$V_{out2} = V_{out1} - V_c = A_V \cdot V_{in} \quad (2.7)$$

De la ecuación 2.7 se deduce teóricamente que el voltaje de desvío fue cancelado y la salida corresponde únicamente a la señal de interés amplificada. Sin embargo, en la realidad, al utilizar interruptores implementados con transistores MOS, se puede asumir que estos inyectarán una carga  $q_{iny}$  en el capacitor  $C1$  del autocero en el momento que se cierran, e igualmente inyectarán una carga  $-q_{iny}$  cada vez que se abren.

Al final de la fase de muestreo del autocero,  $S_3$  se abre y  $S_4$  se cierra. Por lo tanto la diferencia de inyección de carga, debida a estos dos interruptores, se introduce en el capacitor  $C1$ . En consecuencia:

$$V_{out1} = V_c = A_V \cdot V_{off} + \frac{q_{iny3} - q_{iny4}}{C1} \quad (2.8)$$

Esto resulta en un voltaje de desvío residual de:

$$V_{off,res} = \frac{q_{iny3} - q_{iny4}}{A_V \cdot C1} \quad (2.9)$$

De la ecuación 2.9 se concluye que por diseño, el voltaje de desvío residual se puede disminuir aumentando el tamaño del capacitor  $C1$  y la magnitud de la ganancia  $A_V$  del amplificador. Es importante comentar que las corrientes de fuga del capacitor también provocan voltaje de desvío residual y este efecto referido a la entrada también se divide entre la ganancia.

Una desventaja del autocero con almacenamiento a la salida es que el rango de salida se ve reducido en  $2 \cdot A_V \cdot V_{off,max}$ , donde  $V_{off,max}$  es el voltaje de desvío máximo de entrada que se puede esperar en un amplificador sin compensar. En consecuencia, esta técnica puede ser utilizada únicamente en amplificadores de baja ganancia[18].

*El autocero presenta un efecto no deseado de inyección de carga debido a los interruptores*

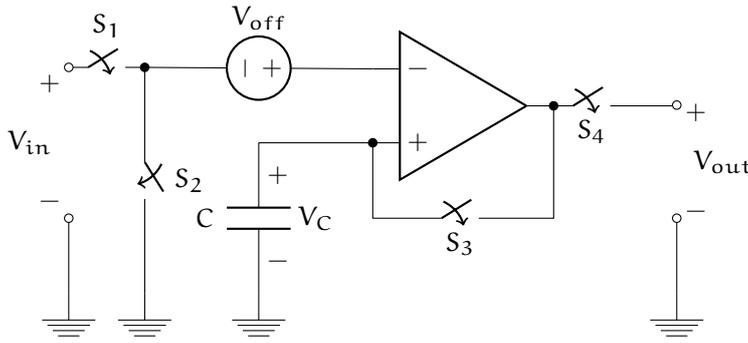


Figura 16: Amplificador con autocero de almacenamiento de voltaje de desvío a la entrada.

**ALMACENAMIENTO DE DESVÍO A LA ENTRADA** La segunda aproximación de un autocero con capacitor de compensación es la de medir y almacenar el voltaje de desvío a la entrada. A esta técnica también se le conoce como cancelación de voltaje de desvío en lazo cerrado [4]. De forma general, su implementación se muestra en la figura 16.

Durante la fase de muestro F2, S1 y S4 están abiertos y por el contrario S2 y S3 se encuentran cerrados. En esta fase el voltaje del capacitor se puede expresar de la siguiente forma[18]:

$$V_C = \frac{A_V}{A_V + 1} \cdot V_{off} \quad (2.10)$$

Durante la fase de señal F1 se produce el caso complementario, S1 y S4 están cerrados, al mismo tiempo que S2 y S3 están abiertos. Es entonces cuando la cancelación del voltaje de desvío ocurre y el voltaje de salida se expresa como:

$$V_{out} = A_V (V_{in} + V_{off} - V_C) = A_V \left( V_{in} + \frac{1}{A_V + 1} V_{off} \right) \quad (2.11)$$

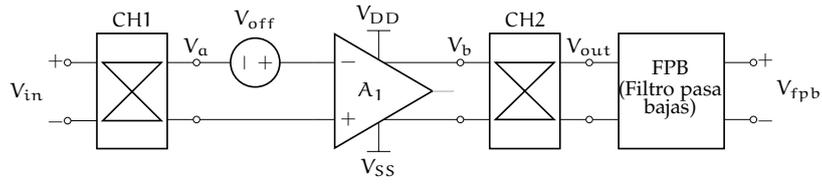
En este caso existe un voltaje de desvío residual en función de la ganancia que no puede ser cero debido a que la ganancia es finita. Además también existen contribuciones de desvío a causa de la inyección de carga producida por el interruptor S3. De esta forma el desvío residual es:

$$V_{off,res} = \frac{V_{off}}{A_V + 1} + \frac{q_{iny3}}{C1} \quad (2.12)$$

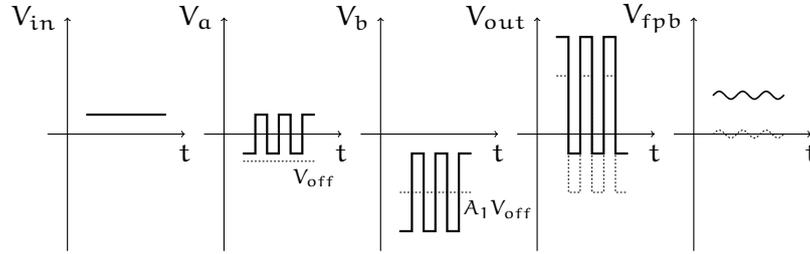
**EFFECTOS NO IDEALES DEL AUTOCERO** Ya se ha hablado del efecto de inyección de carga, debido a los interruptores del autocero, que desvía su comportamiento real del teórico ideal. De manera general todo autocero presentará efectos de inyección de carga debido a que hacen uso de interruptores. Sin embargo, existen otras arquitecturas de autocero que buscan minimizar esta desventaja con la inclusión de ciertas técnicas, aunque se ha comprobado que los efectos de inyección de carga no se pueden eliminar del todo[29].

Un punto importante a destacar es que, por la acción de muestreo, el autocero no se puede utilizar en operaciones de tiempo continuo<sup>3</sup>

<sup>3</sup> Existe sin embargo una arquitectura del autocero llamada *ping-pong* [ref] que puede ser usada en tiempo continuo. Aquí dos amplificadores con autocero trabajan de forma complementaria. Cuando uno amplifica la señal, el otro mide y almacena su voltaje de desvío y viceversa.



(a) Arquitectura.



(b) Señales en el dominio del tiempo

Figura 17: Amplificador con compensación de voltaje de desvío por recortador.

debido a que la señal de entrada se pierde durante la duración de la fase de medición y almacenamiento del voltaje de desvío.

Adicionalmente, un autocero no puede distinguir entre el voltaje de desvío y el ruido de baja frecuencia. De esta manera el comportamiento del autocero al ruido con respecto a la frecuencia se ve afectado negativamente[10]. El detalle de un estudio cuantitativo al respecto está fuera de los propósitos de este trabajo, sin embargo se puede consultar ya documentado en [5].

### Recortador

De manera análoga al autocero, se puede definir al recortador como un circuito de modulación de voltaje de desvío en el dominio de la frecuencia. Específicamente, el recortador modula a diferentes frecuencias la señal de interés y la señal de desvío. La arquitectura de un amplificador con recortador se detalla en la figura 17a. Ahí se muestran los moduladores de frecuencia CH1 y CH2 junto al amplificador  $A_1$  y un Filtro Pasa Bajas (FPB)[5, 18, 2].

De forma idealizada se puede explicar el funcionamiento de la compensación de voltaje de desvío por recortador en el dominio del tiempo de la siguiente forma (figura 17b):

El primer recortador CH1 modula la señal de entrada a una frecuencia mayor. Después el amplificador amplifica la señal modulada superpuesta a sus propias fuentes de variaciones donde predomina el voltaje de desvío. En este punto, el recortador CH2 demodula la señal de entrada amplificada y modula el ruido y el voltaje de desvío referidos a la salida del amplificador  $A_1$ . Finalmente, el FPB elimina las contribuciones moduladas tanto del ruido como del voltaje de desvío, de la señal de entrada amplificada y demodulada.

Las expresiones matemáticas que formalizan esta explicación [1, 18, 8] son largas y complicadas y su exposición cae fuera del propósito de este trabajo.

**EFFECTOS NO IDEALES DEL RECORTADOR** La modulación de la señal de entrada se lleva de manera casi ideal, sin embargo, como la

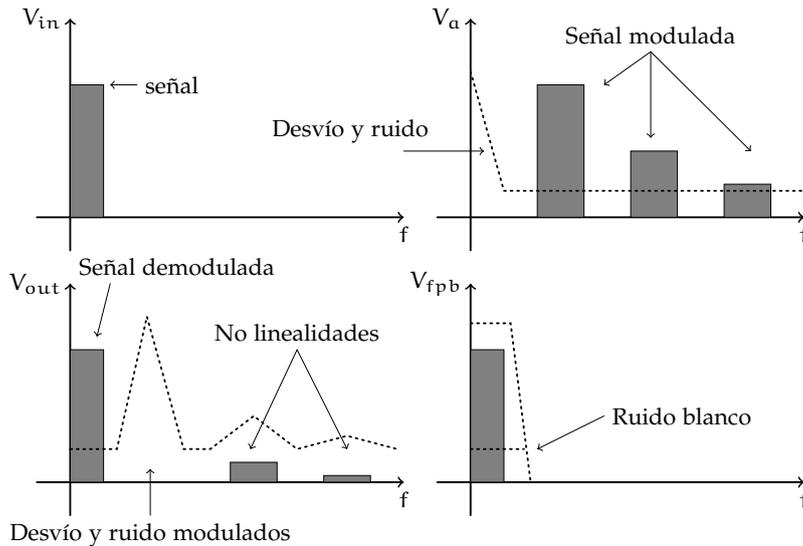


Figura 18: Formas de onda ideales en el dominio de la frecuencia de un amplificador con recortador.

señal amplificada esta ligeramente retrasada cuando es demodulada, se causan variaciones de voltaje de alta frecuencia debido al limitado ancho de banda del amplificador  $A_1$ .

Además, debido a la acción del recortador sobre el voltaje de desvío, se produce un rizo a la salida  $V_{l_{pf}}$  que tiene la misma frecuencia que la señal de reloj del recortador y su amplitud es proporcional al voltaje de desvío del amplificador y a la frecuencia de  $-3\text{db}$  del FPB.

Este rizo y el ruido en altas frecuencias pueden ser filtradas utilizando un FPB a la salida de un amplificador con recortador. Por otro lado, los amplificadores CMOS tienen altos niveles de ruido  $1/f$ . Para reducir el ruido  $1/f$ , el cual se estudiará más a detalle en la sección 3.5.2, se debe elegir una frecuencia de modulación del recortador mayor a la frecuencia de codo del ruido  $1/f$  [5].

Esto se ilustra en la figura 18. Aquí se muestra como la señal es modulada en tanto que el ruido y el voltaje de desvío son superpuestos a ésta. Después la señal, el voltaje de desvío y el ruido son modulados nuevamente, es decir es demodulada. Al finalizar la señal es filtrada.

En la práctica, el nivel de ruido de un amplificador con recortador es ligeramente mayor al nivel de ruido térmico. Sin embargo, la necesidad de suprimir el rizo del recortador significa que sólo se puede obtener un ancho de banda reducido.

Para finalizar, el voltaje de desvío residual en este tipo de amplificadores se debe principalmente a la discrepancia de inyección de carga de las líneas de reloj que van a los recortadores de entrada y salida[2].

Con respecto a lo anterior, en la figura 19 se muestra un modelo de este efecto utilizando los capacitores  $C_1$  a  $C_4$  a modo de representar la interferencia de la señal de reloj en la señal del amplificador.  $R_1$  y  $R_2$  modelan la resistencia de encendido de los interruptores utilizados en el recortador y la resistencia de la fuente[18].

Considerando primero la interferencia de la señal de reloj, a través de los capacitores  $C_1$  y  $C_2$ , se produce un pico en las líneas en el punto  $V_a$ . Si ambas líneas tienen capacitancias de interferencia iguales ( $C_1 = C_2$ ) entonces no existe un voltaje de desvío residual, debido a que los picos

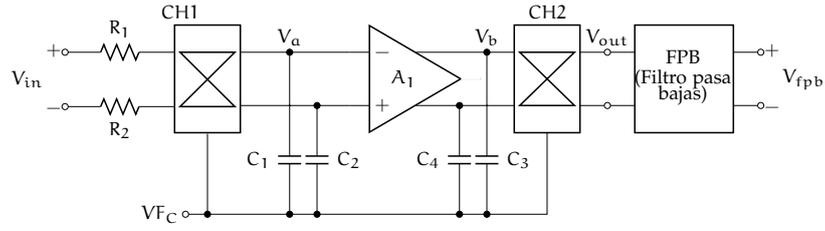
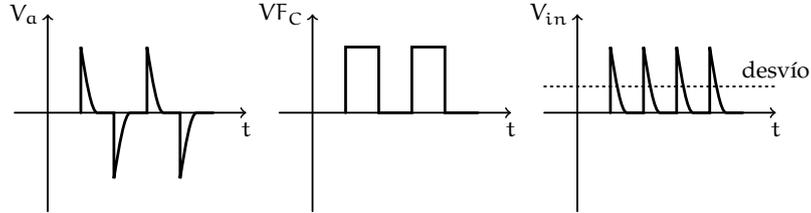


Figura 19: Modelo de inyección de carga de un recortador

Figura 20: Voltaje de desvío residual debido a picos de voltaje causados por discrepancia entre capacitores  $C_1$  y  $C_2$ .

de voltaje en modo común se eliminan por la configuración diferencial. Sin embargo, existe una ligera discrepancia entre los capacitores y un componente diferencial aparecerá en  $V_a$ , el cual se traducirá a un voltaje de desvío residual debido a que estos picos son demodulados por el recortador de entrada hacia la entrada[2].

Este efecto se ilustra en la figura 20. Por lo tanto, se inyecta carga en la entrada cada vez que el reloj del recortador conmuta. Esta carga diferencial se puede expresar como:

$$q_{iny} = (C_1 - C_2) \cdot V_F \quad (2.13)$$

donde  $V_F$  es el voltaje de manejo del reloj  $V_{FC}$ . Esta carga es aplicada dos veces por cada periodo de reloj. Esto significa que toda la corriente pasará a través de los resistores  $R_1$  y  $R_2$ . Así, el voltaje de desvío residual se expresa como:

$$V_{off,res1} = 2 \cdot (R_1 + R_2) \cdot (C_1 - C_2) \cdot V_F \cdot F_C \quad (2.14)$$

donde  $F_C$  es la frecuencia del recortador. Esto significa que el voltaje de desvío residual se incrementa cuando la frecuencia del recortador aumenta. Sin embargo la frecuencia del recortador debe ser mayor que la frecuencia de codo del ruido  $1/f$  para obtener un desempeño en ruido óptimo.

Además, la discrepancia entre los capacitores  $C_3$  y  $C_4$  también causa picos en el punto  $V_b$ , y en consecuencia un pico en modo diferencial aparecerá en  $V_a$ . Como estos picos de voltaje son demodulados por el recortador de entrada hacia la entrada[2] se origina un voltaje de desvío residual. Este efecto se visualiza en la figura 21.

Lo último conduce a un voltaje de desvío residual que se puede expresar como:

$$V_{os,res2} = \frac{2 \cdot (C_3 - C_4) \cdot V_F \cdot F_C}{g_{m1}} \quad (2.15)$$

donde  $g_{m1}$  es la trasconductancia del amplificador con recortador. Se observa entonces que amplificadores con mayor transconductancia son

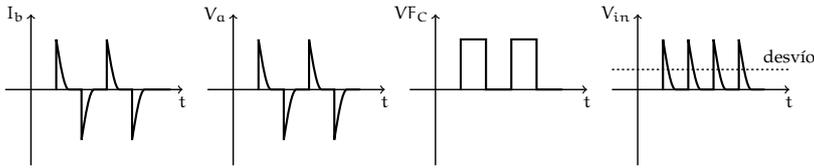


Figura 21: Voltaje de desvío residual debido a picos de voltaje causados por discrepancia entre capacitores C<sub>3</sub> y C<sub>4</sub>

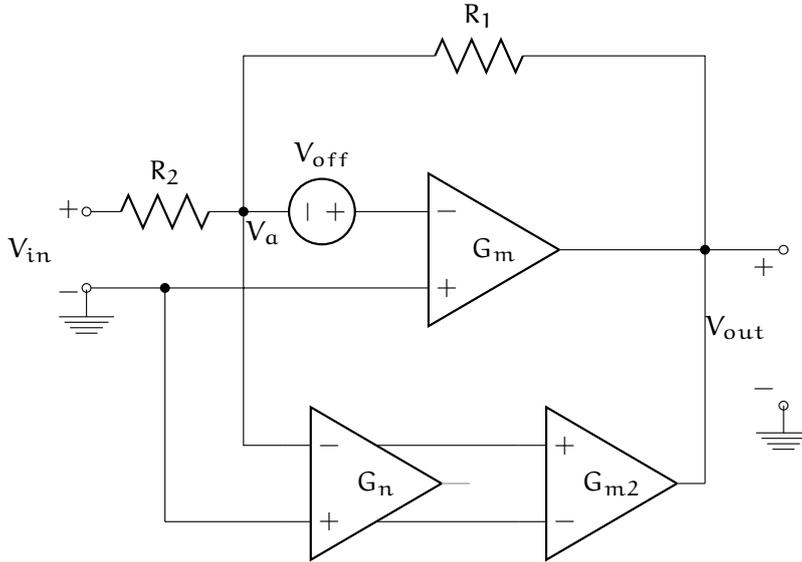


Figura 22: Concepto de estabilización de voltaje de desvío

menos sensibles a la discrepancia de C<sub>3</sub> y C<sub>4</sub>. Así, la contribución total de voltaje de desvío residual debido al efecto de inyección de cargas es:

$$V_{off,res} = V_{off,res1} + V_{off,res2} \tag{2.16}$$

De este análisis se concluye que es necesario invertir esfuerzo en el diseño físico de recortadores diferenciales y en las líneas de reloj debido a que la capacitancia entre capas de metal o líneas de señal puede estar en el orden de fF.

*Estabilización de voltaje de desvío*

Se ha concluido que la técnica del autocero no es apropiada para aplicaciones de tiempo continuo. De manera similar se ha declarado que los amplificadores con recortador no son adecuados para aplicaciones de banda ancha. Sin embargo, utilizando estas técnicas con topologías de trayectorias múltiples se pueden realizar amplificadores compensados en voltaje de desvío de banda ancha que trabajen en tiempo continuo. En la figura 22 se muestra que el concepto de estabilización de voltaje de desvío es una técnica que utiliza una de estas topologías[5].

En la estabilización de voltaje de desvío se encuentran presentes los resistores R<sub>1</sub> y R<sub>2</sub> para indicar una red de retroalimentación negativa. Por este motivo, el voltaje diferencial V<sub>a</sub> es substancialmente igual al voltaje de desvío V<sub>off</sub>. Se utiliza un amplificador auxiliar G<sub>n</sub>, con un voltaje de desvío hipotético de 0V, que es usado para medir este voltaje y enviar una señal a través del amplificador G<sub>m2</sub> para que este último

proporcione una corriente a la salida de  $G_m$  que compensa el voltaje de desvío de entrada.

Como se necesita  $V_a \cong V_{off}$  para una compensación voltaje de desvío correcta, se concluye que sólo es posible utilizar esta técnica en amplificadores en retroalimentación negativa. En consecuencia, el voltaje de desvío residual del amplificador resulta en terminos de la ganancia finita combinada de los amplificadores, que se puede expresar como[18]:

$$V_{off,res} \approx \frac{A_m}{A_n \cdot A_{m2}} V_{off} \quad (2.17)$$

donde  $A_n$ ,  $A_m$  y  $A_{m2}$  son las ganancias del amplificador de estabilización, el amplificador principal y el puerto auxiliar del amplificador principal respectivamente. Una conclusión inmediata de la relación 2.17 es que se necesita que  $A_n \cdot A_{m2} \gg A_m$  para reducir el voltaje de desvío.

**EFFECTOS NO IDEALES DE LA ESTABILIZACIÓN DE VOLTAJE DE DESVÍO** La topología presentada en la figura 22 se puede analizar en dos distintas trayectorias. La primer trayectoria corresponde al amplificador principal  $G_m$  y se caracteriza por la presencia de señales en altas frecuencias. Asimismo, en la trayectoria secundaria que corresponde a los amplificadores de estabilización se tienen señales de baja frecuencia. Por lo tanto, las características en altas frecuencias de un amplificador estabilizado en voltaje de desvío, como por ejemplo la frecuencia de ganancia unitaria, serán determinadas por el amplificador principal  $G_m$ . De manera análoga, las características en bajas frecuencias, como el desempeño al ruido  $1/f$ , se determinan por el amplificador de estabilización  $G_n$ . De este último punto, cabe señalar que como la trayectoria de bajas frecuencias tiene cierto ancho de banda, el lazo de estabilización no distingue el ruido  $1/f$  del voltaje de desvío. En consecuencia, la técnica de estabilización de voltaje de desvío reduce igualmente el ruido  $1/f$ [5].

Además, en el estudio anterior se consideró un amplificador de estabilización ideal con voltaje de desvío igual a cero. Sabemos que en la realidad esto no es así y el voltaje de desvío de este amplificador contribuye de manera importante en el desempeño del amplificador. Por este motivo, es necesario compensar también el voltaje de desvío del amplificador de estabilización. En este sentido, se pueden utilizar el recortador o el autocero para esta tarea[17, 3, 39]. De hecho, la importancia de eliminar esta contribución secundaria tiene como efecto el usar siempre la estabilización de voltaje de desvío con otra técnica de compensación en diseños prácticos, para obtener amplificadores compensados de banda ancha que trabajen en tiempo continuo. Sin embargo, la trayectoria de bajas frecuencias hereda inconvenientes y efectos no ideales de la técnica de compensación secundaria utilizada [5].

#### 2.4 ESTUDIO COMPARATIVO DE TÉCNICAS DE COMPENSACIÓN

Existen numerosas topologías para la compensación de voltaje de desvío con diferentes propuestas para minimizar las desventajas que presentan K.A.A. Makinwa [24], C.C. Enz [8], C. Menolfi [6], M. A. P. Pertijs [28], J. C. van der Meer [16], R. Poujois [40]. Estas se pueden

TOPOLOGÍA	ANCHO DE BANDA	RUIDO 1/F	RUIDO BLANCO	COMPLEJIDAD
Sintonización	neutral	alto	neutral	baja
Autocero	neutral	bajo	alto	media
recortador	bajo	bajo	neutral	alta
Estabilización de voltaje de desvío	neutral	bajo	medio	media

Tabla 3: Comparación cualitativa de diferentes estrategias de compensación del voltaje de desvío.

TOPOLOGÍA	DESVÍO RESIDUAL	RUIDO RESIDUAL
Autocero[39]	1 $\mu\text{V}$ - 10 $\mu\text{V}$	48 nV/ $\sqrt{\text{Hz}}$
Estabilización con recortador[17]	1 $\mu\text{V}$	8.5 nV/ $\sqrt{\text{Hz}}$
Estabilización con recortador anidado [3]	$\pm 100$ nV	27 nV/ $\sqrt{\text{Hz}}$
Ajuste con compuerta flotante[47]	$\pm 25$ $\mu\text{V}$	no compensado

Tabla 4: Comparación cuantitativa de voltaje de desvío y ruido residual de diferentes estrategias de compensación.

clasificar por los principios teóricos de las expuestas en la sección 2.3. A través del estudio previo y considerando los diseños reportados en el estado del arte, se obtuvo la tabla 3 que es una comparación cualitativa de diseños de compensación del voltaje de desvío.

De manera similar, la tabla 4 es una comparación cuantitativa de diferentes circuitos de compensación reportados en el estado del arte.

Considerando aplicaciones como los sensores MEMS, se definen ciertos requerimientos de diseño para un amplificador. Primero, se necesitan circuitos de complejidad y área reducida para su integración en un mismo chip. Segundo, se requiere de un voltaje de desvío residual cuya amplitud este por debajo de las señales provenientes de un MEMS. Por último, los sensores por lo regular requieren de circuitos aptos para trabajar en tiempo continuo.

Por lo tanto, a partir de las tablas de comparación mostradas, se puede concluir que es necesaria una estrategia de compensación del voltaje de desvío que compita con las especificaciones reportadas en el estado del arte, que sea de complejidad reducida y sea apta para trabajar en tiempo continuo.

## 2.5 CONCLUSIONES

Este capítulo se divide en dos partes importantes donde se estudiaron diferentes tipos de efectos no deseados en un amplificador. Se justificó el diseño de circuitos de compensación al evidenciar que tales efectos

imposibilitan el uso de amplificadores en circuitos CMOS, la cual es la tecnología preferida por su bajo costo y por la posibilidad de integrar circuitos digitales.

En la primer parte se analizaron diferentes técnicas de compensación de frecuencia presentes en el estado del arte. Se concluyó que el uso de una trayectoria de prealimentación para cancelar el polo no dominante, es una estrategia que nos brinda la posibilidad de diseñar amplificadores de amplio de ancho de banda que a su vez tengan alta ganancia. Así se habilita el uso de estos dispositivos en aplicaciones que requieran tanto precisión como rapidez.

Además, en la segunda parte se presentaron diferentes estrategias de compensación del voltaje de desvío. Las ventajas y desventajas de cada una permite sentenciar que el uso de cada estrategia depende de las prestaciones que exige la aplicación. En este punto se resalta la necesidad no satisfecha por completo de un circuito de compensación de complejidad reducida, que trabaje en tiempo continuo y que posea voltajes residuales competitivos con las estrategias actuales.

En este capítulo se revisarán los conceptos básicos del diseño analógico. Se comenzará con las nociones básicas del modelado de un transistor MOS, para posteriormente habilitar el análisis del comportamiento de circuitos que incluyan transistores. A partir de ahí, se analizarán circuitos básicos que se utilizan en el diseño analógico. De esta forma se consigue una variedad de bloques de construcción para utilizarse en circuitos con aplicaciones más complejas. Una aplicación compleja y muy importante en diseño analógico es la amplificación, la cual se aborda en la última parte del presente capítulo donde se introducen los conceptos básicos del diseño de un amplificador operacional.

El marco teórico en esta sección se encuentra suficientemente consolidado en la literatura y si se requiere una exposición más profunda de cualquier concepto expuesto se puede consultar [37, 41, 14].

### 3.1 MODELO DE TRANSISTOR MOS

En la figura 23 se muestra el transistor MOS tipo N (con mayor cantidad de electrones libres que huecos) y en la figura 24 su representación simbólica. El transistor MOS es un dispositivo de 4 terminales, con dos terminales (drenaje y fuente) de material tipo N separadas por un sustrato de material tipo P (con mayor cantidad de huecos libres que electrones). Sobre el espacio localizado entre drenaje y fuente, se encuentra una capa de polisilicio separada del sustrato por una capa delgada de óxido de silicio que actúa como aislante. Esta capa de polisilicio es una tercera terminal conocida como compuerta.

De manera simple, al momento de aplicar un voltaje positivo en la compuerta, la carga positiva que se acumula en el polisilicio atrae a los portadores de carga minoritarios del material tipo P, es decir a los electrones. A medida que el voltaje se incrementa, mayor cantidad de electrones se acumulan en la frontera entre el sustrato y el óxido.

Cuando el voltaje de compuerta alcanza el voltaje de disparo, se invierte el tipo de material de la zona de sustrato. Una inversión significa un cambio de material semiconductor tipo P a tipo N o viceversa.

*Un material tipo N tiene mayor cantidad de electrones. Un material tipo P tiene mayor cantidad de huecos*

*Un transistor está encendido si el canal de conducción está formado*

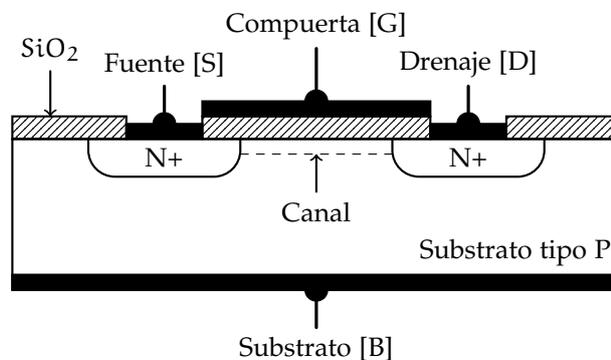


Figura 23: Transistor MOS

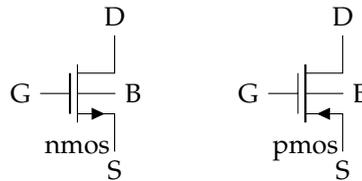


Figura 24: Símbolos del transistor MOS tipo N y P

Esta inversión se debe al intercambio en la densidad de portadores de carga libres en dicha zona. Consecuentemente se forma un canal de conducción de tipo N entre el drenaje y la fuente.

Si se aplica un voltaje entre drenaje y fuente, existirá un flujo de portadores de carga a través del canal de conducción. En este estado, se dice que el transistor se encuentra encendido. Si el voltaje de compuerta continua creciendo, más electrones se acercarán a la zona de inversión, ocasionando un crecimiento en el ancho del canal, disminuyendo su resistencia y, en consecuencia, aumentando la corriente que fluye a través de él.

Sin embargo, existe un efecto secundario no deseado que afecta en gran medida el comportamiento del transistor que se conoce como efecto cuerpo. Este se debe a la diferencia de potencial entre substrato y fuente. En una terminal, como un material tipo P está en contacto con un tipo N, se forma un diodo parásito que en condiciones de conducción, desviaría la corriente hacia el substrato. Para poder controlar este efecto, la cuarta terminal, que se conoce como terminal de substrato, se utiliza para modificar esa diferencia de potencial.

Para el caso de un transistor tipo P, las terminales de drenaje y fuente son regiones de material tipo P sobre un substrato tipo N. Esta diferencia solo requiere considerar corrientes y voltajes inversos en las terminales del transistor, así como algunas diferencias entre los parámetros de la tecnología, como el voltaje de disparo. A pesar de eso, todos los conceptos del transistor N se extienden para el transistor P.

En este punto, es clara la necesidad de estudiar el comportamiento de la corriente a través del canal en función de los voltajes aplicados en las terminales del transistor. En el diseño de circuitos integrados analógicos CMOS, primero se necesita un modelo que describa el comportamiento de los transistores disponibles en la tecnología. Un modelo puede tomar la forma de ecuaciones matemáticas, representaciones en circuitos equivalentes o tablas.

En las siguientes secciones se desarrollan, de manera breve, los modelos más simples de un transistor MOS. Estos modelos son, como cualquier otro, una mera aproximación del comportamiento de un dispositivo real, que por su simplicidad, son útiles para la realización de cálculos a mano.

Sin embargo, basta con revisar la cantidad de modelos disponibles para saber que no hay una opinión unánime con respecto a qué modelo se acerca más a una descripción real. A pesar de ello, se puede decir que el modelo BSIM3v3 es lo más cercano a un estándar para simulación por computadora.

Esta última aseveración nos acerca a un hecho bien conocido: existe una diferencia de complejidad entre los diferentes modelos disponibles. Esta complejidad radica en la consideración u omisión de numerosos

*Todos los conceptos del transistor N se extienden para el transistor P*

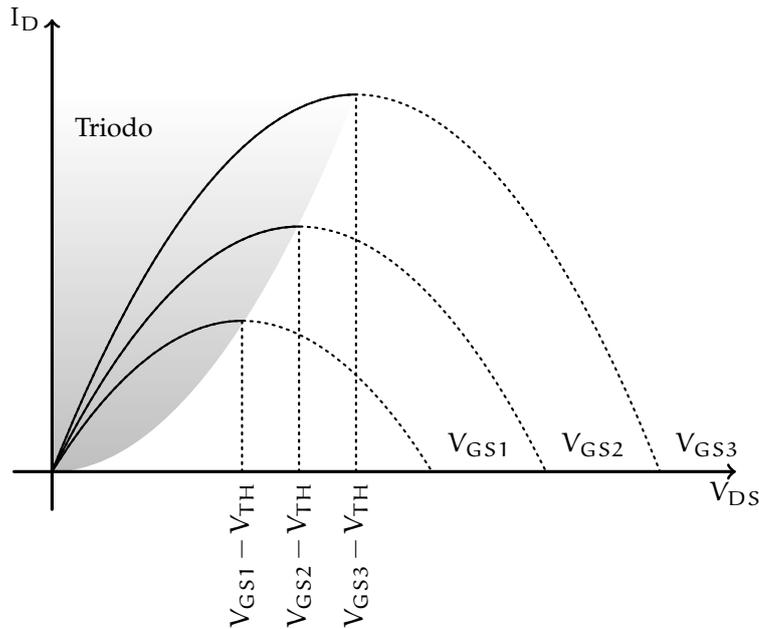


Figura 25: Región triodo

efectos que por lo regular son más evidentes en tecnologías modernas (menores dimensiones) o en condiciones de operación de difícil descripción (condiciones de ruido, operación en región de subumbral).

La inclusión de tal cantidad de efectos a un modelo y la adición de la complejidad del circuito a analizar, hace impráctico el cálculo a mano. De esta forma estos modelos casi ideales son meramente una necesidad para conocer y diseñar la topología de un circuito y el análisis de su desempeño se delega a un sistema de cómputo.

### 3.1.1 Modelo a gran señal

La ecuación 3.1 es un modelo simple para transistores con longitudes de canal mayores a  $10 \mu\text{m}$  propuesto en [44] en base a consideraciones de la física del dispositivo.

$$I_D = \frac{K_{n,p} \cdot W}{L} \left[ (V_{GS} - V_T) - \left( \frac{V_{DS}}{2} \right) \right] \cdot V_{DS} \quad (3.1)$$

donde:

$K_{n,p}$  constante dependiente de parámetros físicos

$W, L$  ancho y largo efectivo del canal

$V_{GS}$  voltaje entre compuerta y fuente

$V_{DS}$  voltaje entre drenaje y fuente

$V_T$  voltaje de umbral

$I_D$  corriente de drenaje

A partir de la ecuación 3.1, se pueden obtener las curvas de comportamiento de  $I_D$  en dependencia con  $V_{DS}$ . Como en este caso el voltaje  $V_{GS}$  no es constante, se tiene una variación en cada curva. En la figura 25 se muestran estas curvas que matemáticamente coinciden con una función cuadrática.

Sin embargo, esta predicción no es del todo cierta. En el dispositivo real existe un punto  $V_{DS} = V_{GS} - V_T$  donde el dispositivo se satura y

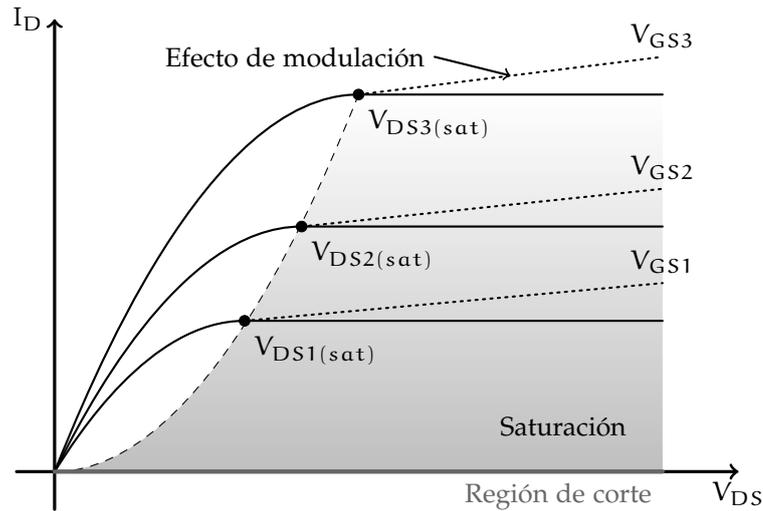


Figura 26: Región de saturación

el comportamiento varía. Esto significa que el transistor MOS trabaja por regiones de operación y como se indica en la figura 25, la región donde se cumple que  $V_{DS} < V_{GS} - V_T$  se conoce como región de triodo. De la misma forma encontramos que cuando  $I_D = 0$ , se necesita que  $V_{GS} - V_T \leq 0$ , lo que se conoce como región de corte. Esta región en conjunto con la región de saturación son las regiones utilizadas en circuitos digitales.

Ahora, como sabemos que para la región de saturación se requiere  $V_{DS} = V_{DS(sat)} = V_{GS} - V_T$ , de la ecuación 3.1 obtenemos:

$$I_D = \frac{1}{2} \cdot K_{n,p} \frac{W}{L} (V_{GS} - V_T)^2 \quad (3.2)$$

que es la relación de comportamiento para el transistor para todo  $V_{DS} \geq (V_{GS} - V_T) \geq 0$ . De la ecuación 3.2 la primera observación es que la corriente de drenaje se mantiene constante durante toda la región de saturación, sin embargo una vez más en la realidad esto no es cierto. En el transistor, mientras el voltaje de drenaje aumenta, la longitud del canal disminuye. Esto último se traduce en un fenómeno de incremento de corriente que se conoce como *modulación por ancho de canal* y se puede calcular por medio de un factor  $(1 + \lambda \cdot V_{DS})$ . Entonces el modelo de saturación se tiene que ajustar para tomar la siguiente forma:

$$I_D = \frac{1}{2} \cdot K_{n,p} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda \cdot V_{DS}) \quad (3.3)$$

*El modelo a gran señal es útil para aproximar el cálculo de la corriente de un transistor a partir de los voltajes en sus terminales*

Finalmente, en la figura 26 se muestran las curvas de operación del transistor actualizadas con la región de saturación. Las ecuaciones 3.1 y 3.3 corresponden al modelo del transistor a gran señal que es útil para aproximar el cálculo de la corriente de un transistor a partir de los voltajes en sus terminales.

### 3.1.2 Modelo a pequeña señal

Este modelo sirve para simplificar los cálculos bajo la condición de que el transistor se encuentre en una región de operación tal que los

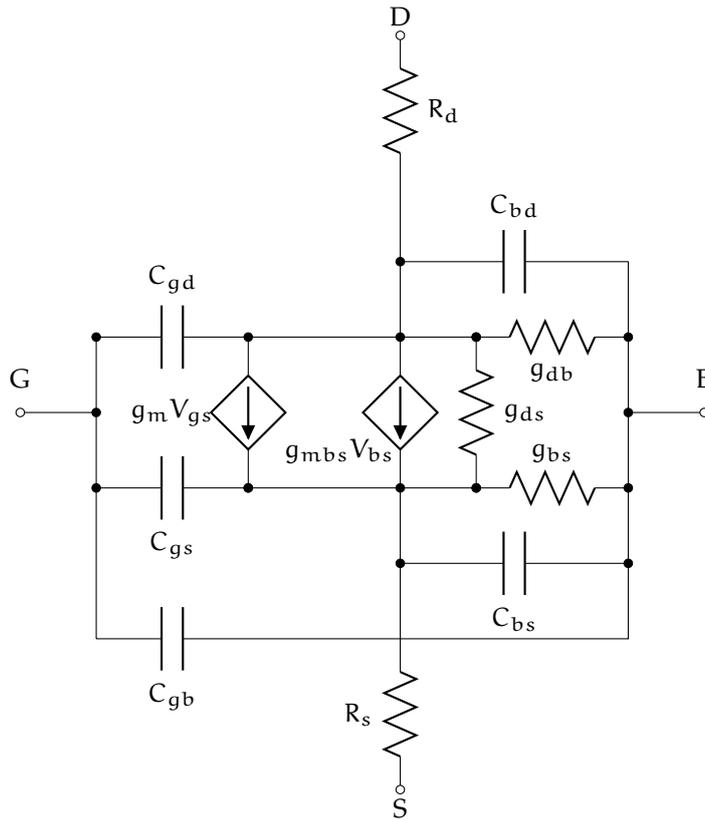


Figura 27: Modelo a pequeña señal del transistor MOS

voltajes y corrientes en gran señal se puedan representar como niveles en CD. En la figura 27 se muestra el diagrama del modelo a pequeña señal del transistor.

Como se considera que las componentes de gran señal están en CD, este análisis trata solo pequeñas perturbaciones entre las variables de gran señal, es decir, la derivada parcial de una entre otra. De esta forma, los valores de las conductancias y trasconductancias, evaluadas en el punto de polarización, que se muestran en la figura 27 son:

$$g_{bd} = \frac{\partial I_{BD}}{\partial V_{BD}} \tag{3.4}$$

$$g_{bs} = \frac{\partial I_{BS}}{\partial V_{BS}} \tag{3.5}$$

$$g_{mbs} = \frac{\partial I_D}{\partial V_{BS}} \tag{3.6}$$

$$g_{ds} = \frac{\partial I_D}{\partial V_{DS}} \tag{3.7}$$

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \tag{3.8}$$

De la ecuación 3.8, se puede obtener para saturación la trasconductancia como:

$$g_m = \sqrt{2K_{n,p} \frac{W}{L} |I_D| (1 + \lambda V_{DS})} \simeq \sqrt{2K_{n,p} \frac{W}{L} |I_D|} \tag{3.9}$$

La última aproximación de la trasconductancia es útil debido a la dificultad que representa el obtener el valor de  $\lambda$ . Los capacitores mostrados en la figura 27 corresponden a los efectos de capacitancia parásita que existen entre las terminales de un transistor. Además, si se requiere, se pueden incluir efectos de ruido al utilizar el modelo a pequeña señal con fuentes de corriente de ruido en paralelo con las conductancias y resistencia equivalentes para la fuente y el drenaje.

### 3.1.3 Otros modelos del transistor MOS

En el caso de gran y pequeña señal existen otros modelos que se pueden utilizar para la aproximación del comportamiento de un transistor. Estos incluyen la diversidad de modelos SPICE (ver anexo A.1), para simulación por computadora, que son utilizados cuando se requiere de precisión en la predicción.

Además, es importante aclarar que el modelo a gran señal presentado en la sección 3.1.1 predice que no existe corriente entre el drenaje y la fuente cuando  $V_{GS} < V_T$ . Esto en realidad no es cierto pues a medida que  $V_{GS}$  se acerca a  $V_T$ , la curva de comportamiento cambia de una cuadrática a una exponencial. A la región  $V_{GS} \geq V_T$  se le conoce como región de *inversión fuerte*, mientras que  $V_{GS} < V_T$  es la región de *inversión débil* o de *subumbral*. Esta región de operación es considerada para la operación de circuitos MOS donde se requiere de bajo consumo. Para este caso, los modelos SPICE son aptos para la predicción en la región de subumbral, sin embargo para cálculos a mano se puede utilizar la siguiente relación:

$$i_D \cong \frac{W}{L} \cdot I_{D0} \exp\left(\frac{V_{GS}}{n\left(\frac{kT}{q}\right)}\right) \quad (3.10)$$

donde  $I_{D0}$  es un parámetro dependiente del proceso y  $n$  es el factor de pendiente en subumbral. Como se puede observar de la ecuación 3.10, existe una dependencia de la temperatura, lo que hace que este parámetro sea importante de considerar. Una vez más, en la realidad, existe una tercera región de transición llamada *inversión moderada*. Desafortunadamente este modelo no describe de manera adecuada el comportamiento del transistor durante la transición entre la región de inversión fuerte y subumbral.

## 3.2 SUBCIRCUITOS ANALÓGICOS MOS

En esta sección se examinarán subcircuitos básicos utilizados comúnmente en circuitos analógicos MOS. De esta forma, al utilizar estos subcircuitos se pueden sintetizar circuitos con funciones más complejas como lo es un amplificador operacional, descrito más adelante.

### 3.2.1 Resistor activo

En la figura 28 se muestra un transistor polarizado en saturación con una conexión entre compuerta y drenaje. Esto significa que el voltaje  $V_{DS}$  controla la corriente  $I_D$  y por lo tanto el canal de trasconductancia se vuelve un canal de conductancia.

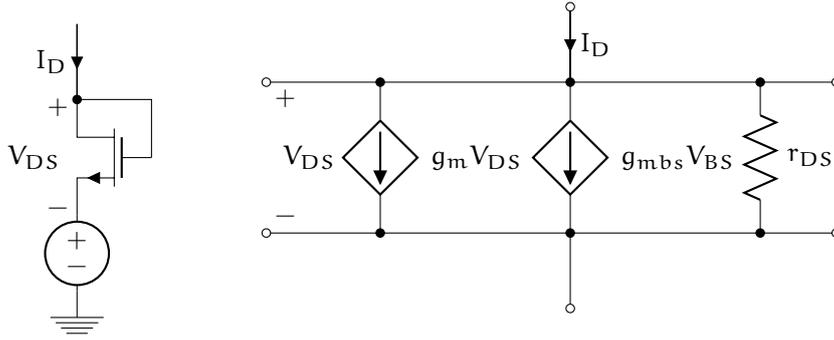


Figura 28: Resistor activo y modelo a pequeña señal

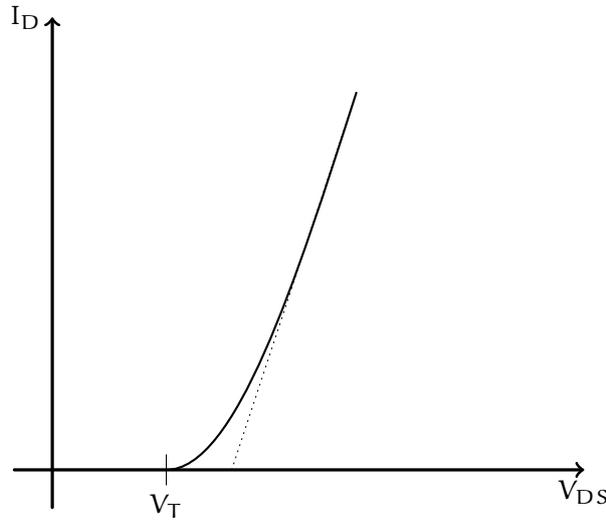


Figura 29: Curva caracterísitca de voltaje contra corriente del resistor activo

Como  $V_{GS} = V_{DS}$ , de la ecuación de gran señal para un transistor en saturación se obtiene:

$$I_D = \frac{K_n W}{2 L} (V_{DS} - V_T)^2 = \frac{\beta}{2} (V_{DS} - V_T)^2 \quad (3.11)$$

A partir de la ecuación 3.11 se pueden obtener la dependencia de la corriente con respecto al voltaje. En la figura 29 se muestra esta dependencia. Como se puede observar, la conexión entre compuerta y drenaje forma un subcircuito con características cualitativamente similares a una unión *np*, por lo tanto se le conoce como *conexión en diodo* o *diodo MOS*.

Finalmente, del modelo a pequeña señal mostrado en la figura 28 se puede observar fácilmente que la resistencia del transistor en pequeña señal se puede aproximar como:

$$R_{out} = \frac{1}{g_m + g_{mbs} + g_{DS}} \cong \frac{1}{g_m}$$

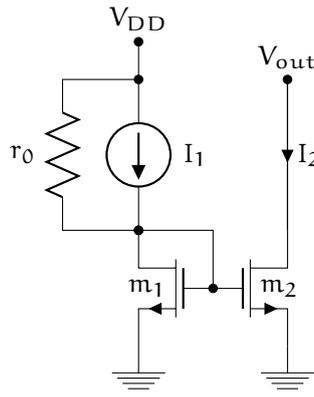


Figura 30: Espejo de corriente

### 3.2.2 Espejo de corriente

En la figura 30 se muestra el circuito de un espejo de corriente. Los transistores  $m_1$  y  $m_2$  del espejo de corriente se encuentran en la región de saturación, lo que significa que para el circuito que se conecta a  $m_2$  se debe de cumplir que:

$$(V_{D2} = V_{out}) > V_{GS(m_2)} - V_T$$

y para  $m_1$  se verifica la condición de saturación:

$$V_{D1} = V_{GS1}$$

$$V_{D1} > V_{GS1} - V_T$$

$$0 > -V_T$$

La condición de saturación se asegura con la conexión existente entre el drenaje y la compuerta del transistor  $m_1$ . Este tipo de conexión es la misma conexión de diodo utilizada en el resistor activo de la sección 3.2.1.

Entonces, ignorando el efecto de modulación de la longitud de canal y utilizando la ecuación 3.2, se pueden calcular las corrientes de drenaje como sigue:

$$I_1 = \frac{K_n}{2} \cdot \frac{W_1}{L_1} (V_{GS1} - V_T)^2$$

$$I_2 = I_{out} = \frac{K_n}{2} \cdot \frac{W_2}{L_2} (V_{GS2} - V_T)^2$$

de la figura 30 observamos que:

$$V_{GS1} = V_{GS2}$$

por lo tanto se puede definir la ganancia de corriente como:

$$I_{out} = \frac{W_2/L_2}{W_1/L_1} \cdot I_1 \quad (3.12)$$

De la ecuación 3.12 se puede observar que la relación entre las corrientes  $I_1$  e  $I_{out}$  depende únicamente de las dimensiones de los transistores. En el caso de que los dos transistores tengan dimensiones

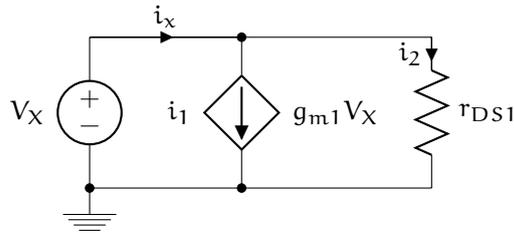


Figura 31: Resistencia de entrada del espejo de corriente

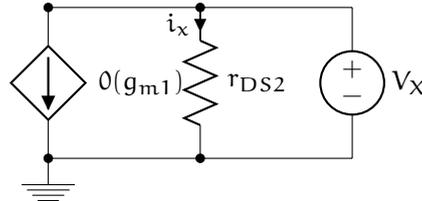


Figura 32: Resistencia de salida del espejo de corriente

idénticas obtendremos que  $I_1 = I_{out}$ , que es una conclusión esperada desde el análisis de la ecuación 3.2 donde se puede observar que dos transistores idénticos en dimensiones, con los mismos voltajes de compuerta a fuente y drenaje a fuente presentan la misma corriente de drenaje. Es por esto último que a este circuito se le conoce como espejo de corriente pues suministra a la salida una copia de la corriente de entrada. Sin embargo, esta copia no es ideal y la calidad de un espejo de corriente se puede cuantificar por medio de tres parámetros: ganancia, resistencia de entrada y resistencia de salida

Para analizar la resistencia de entrada se utiliza el circuito de la figura 31, que es el modelo a pequeña señal del circuito sin considerar los efectos parásitos y la modulación de la longitud de canal. Utilizando una fuente de voltaje de prueba  $V_X$ , la resistencia de salida será:

$$R_{in} = \frac{V_X}{i_x}$$

y del modelo a pequeña señal se obtiene:

$$i_x = i_1 + i_2$$

$$i_x = g_{m1} V_X + \frac{V_X}{r_{DS}}$$

por lo tanto la resistencia de entrada es:

$$R_{in} = \frac{1}{g_{m1} + \frac{1}{r_{DS1}}} \cong \frac{1}{g_{m1}} \tag{3.13}$$

De forma similar, se calcula la resistencia de salida utilizando el circuito de la figura 32. De manera inmediata se obtiene:

$$R_{out} = r_{DS2} \tag{3.14}$$

Claramente, la topología aquí presentada es la forma más simple de un espejo de corriente con una resistencia de entrada moderadamente baja y resistencia de salida moderadamente alta. Por lo tanto, existen varias alternativas de espejo de corriente para mejorar su desempeño al sacrificar otros aspectos.

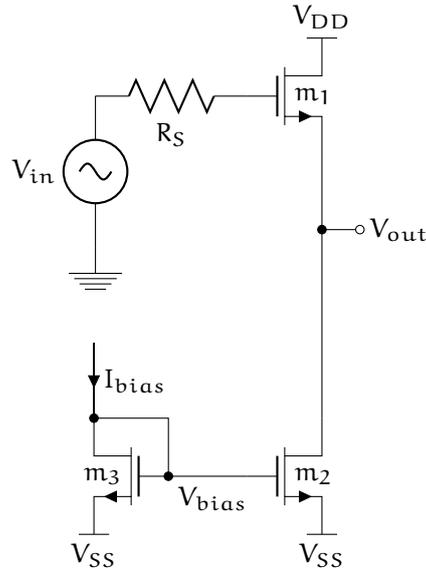


Figura 33: Seguidor de fuente CMOS

### 3.2.3 Seguidor de fuente

En la figura 33 se muestra el seguidor de fuente básico y en la figura 34 se detalla el modelo a pequeña señal equivalente. Este seguidor de fuente que consiste en un transistor NMOS cuya entrada se localiza en la compuerta y la salida en la fuente, mientras que la corriente de polarización la proporciona la salida de un espejo conectado a la fuente.

Analizando para la corriente en el nodo  $V_{out}$  se obtiene:

$$\left( \frac{1}{r_{DS2}} + \frac{1}{r_{DS1}} + g_{mb1} \right) V_{out} - g_{m1} V_{gs1} = 0$$

Como  $V_{gs1} = V_{in} - V_{out}$  y  $g_{m1} \gg (1/r_{DS1} + 1/r_{DS2} + g_{mb1})$ , se obtiene la ganancia de voltaje:

$$A_V = \frac{V_{out}}{V_{in}} = \frac{g_{m1}}{\left( \frac{1}{r_{D2}} + \frac{1}{r_{D1}} + g_{mb1} \right) g_{m1}} \approx 1 \quad (3.15)$$

La resistencia de salida del seguidor de fuente se puede calcular aplicando una fuente de voltaje de prueba en el nodo de salida  $V_{out}$ . De ahí se obtiene a partir del modelo a pequeña señal de la figura 34 que:

$$R_{out} = \frac{V_X}{I_X} = \frac{1}{\left( \frac{1}{r_{D1}} + \frac{1}{r_{D2}} + g_{m1} + g_{mb1} \right)} \approx \frac{1}{g_{m1}}$$

Lo que significa que  $R_{out}$  tiene un valor relativamente bajo.

La corriente máxima que el seguidor de fuente puede suministrar depende del voltaje de entrada  $V_{in}$  y del transistor  $M_2$ . Si se asume que el voltaje  $V_{in}$  se puede llevar hasta  $V_{DD}$ , la corriente máxima se puede calcular como:

$$I_{out,max} = \frac{K_n W}{2 L} (V_{DD} - V_{out} - V_{T1})^2 - I_{D2} \quad (3.16)$$

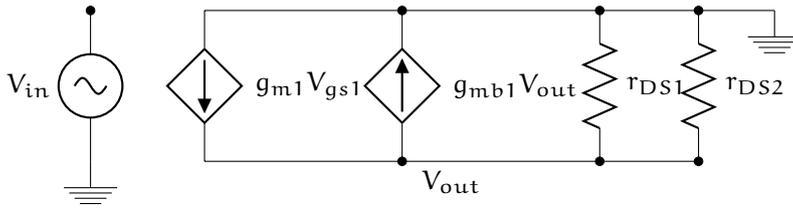


Figura 34: Modelo a pequeña señal de seguidor de fuente

La corriente máxima de entrada que puede manejar el seguidor de fuente a la salida está determinada por el voltaje  $V_{bias}$ .

Como se ha mostrado, el seguidor de fuente puede manejar corrientes grandes de salida y tiene una resistencia de salida baja por lo que el seguidor de fuente es un subcircuito que se utiliza como etapa de acoplamiento o como un cambiador de nivel de **CD**. Desafortunadamente, como la fuente es el nodo de salida, este subcircuito se vuelve dependiente del efecto cuerpo. El efecto cuerpo causa que el voltaje de disparo se incremente a medida que el voltaje de salida decrementa creando una situación en la el máximo voltaje de salida es substancialmente menor que  $V_{DD}$ .

### 3.2.4 Par diferencial

En la figura 35 se muestra el par diferencial **CMOS** construido con dos transistores tipo N,  $m_1$  y  $m_2$ , idénticos en dimensiones. En las compuertas de los transistores se encuentran  $V_p$  y  $V_n$ , que son voltajes en **CD**, en adición a componentes de señal de signo contrario, de manera que  $V_{p,n} = V_{CD} \pm \Delta V/2$ . Por el circuito circula una corriente  $I_B$  que es la suma de las corrientes  $I_1$  e  $I_2$ , las cuales pasan a través de los transistores. Por la simetría del circuito,  $V_X$  es un voltaje en **CD**. Entonces, a partir de la ecuación 3.2 se obtiene:

$$I_1 = \frac{K_n}{2} \left(\frac{W}{L}\right) \left(V_{CD} + \frac{\Delta V}{2} - V_X - V_T\right)^2$$

$$I_2 = \frac{K_n}{2} \left(\frac{W}{L}\right) \left(V_{CD} - \frac{\Delta V}{2} - V_X - V_T\right)^2$$

De esta topología, es de interés obtener el cambio de la relación entre corrientes  $\Delta I$ , por lo tanto:

$$\Delta I = I_1 - I_2 = 2 \cdot K_n \left(\frac{W}{L}\right) (V_{CD} - V_X - V_T) \Delta V$$

$$\Delta I = g_{m1} \Delta V \tag{3.17}$$

De la ecuación 3.17 se concluye que la diferencia de voltajes, en las terminales de entrada del par diferencial, produce una diferencia entre las corrientes de los transistores proporcional a  $g_{m1}$ . Como  $I_B = I_1 + I_2$ , se puede notar que el valor máximo que puede adquirir cualquiera de estas corrientes es  $I_B$ . En la figura 36 se muestra la proporción de cambio entre corrientes. Nótese que existe una región que es aproximadamente lineal.

Para calcular la resistencia de salida, se observa que como el voltaje  $V_X$  es un voltaje en **CD**, en un análisis en pequeña señal se puede

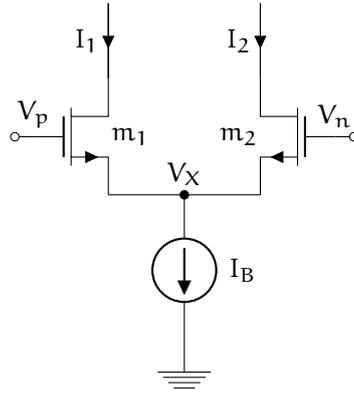


Figura 35: Par diferencial

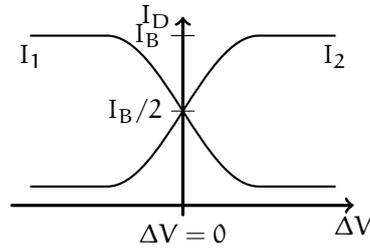


Figura 36: Proporción de cambio entre corrientes de un par diferencial

considerar como tierra. Por lo tanto, la única resistencia existente es la resistencia del canal del transistor  $r_{01}$ , por lo tanto:

$$R_{out} = r_{DS1} \tag{3.18}$$

Como las entradas del par diferencial se encuentran en las compuertas, la resistencia de entrada es cercana a la ideal.

### 3.2.5 Transistores de compuerta flotante

En la figura 37 se muestra el circuito que se compone de un transistor NMOS o PMOS con dos terminales, denominadas  $G_1$  y  $G_2$ , acopladas capacitivamente con la compuerta flotante  $G$ , de un transistor MOS de canal N. Como la compuerta  $G$  no tiene ninguna trayectoria directa a ningún voltaje ni señal, ya que permanece aislada de cualquier terminal del circuito mediante el óxido de silicio que la rodea, esta se considera una compuerta flotante.

Para el caso de un transistor MOS de compuerta flotante, canal N y con  $n$  terminales de entrada es fácil de mostrar que el voltaje en la compuerta flotante del transistor es:

$$V_G = \sum_{i=1}^n \frac{C_i}{C_T} V_{Gi} + \frac{C_{GD}}{C_T} V_D + \frac{C_{GS}}{C_T} V_S \tag{3.19}$$

donde

$$C_T = \sum_{i=1}^n C_i + C_{GD} + C_{GS} \tag{3.20}$$

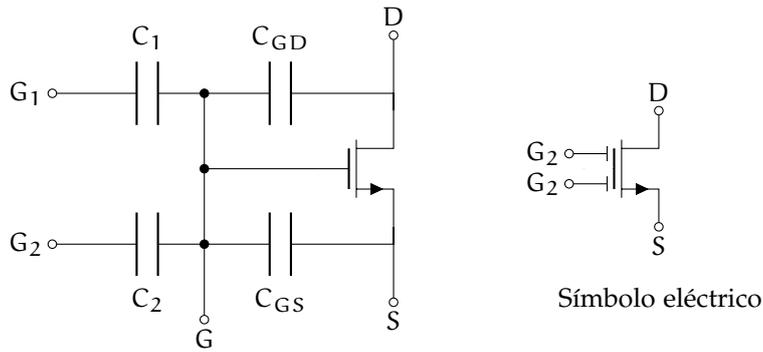


Figura 37: Transistor MOS de compuerta flotante canal N y símbolo eléctrico

Sin embargo, como la compuerta no tiene ninguna trayectoria a tierra, durante el proceso de fabricación quedan portadores de carga atrapados en la región entre los capacitores de entrada y la compuerta. Los efectos de carga atrapada se pueden cuantificar como la carga total atrapada, que no es predecible, entre la capacitancia total  $Q/C_T$ . Por lo tanto, el voltaje de compuerta es:

$$V_G = \sum_{i=1}^n \frac{C_i}{C_T} V_{Gi} + \frac{C_{GD}}{C_T} V_D + \frac{C_{GS}}{C_T} V_S + \frac{Q}{C_T} \tag{3.21}$$

De la ecuación anterior, al ignorar los efectos parásitos<sup>1</sup> y la carga atrapada, se puede deducir que el voltaje de compuerta es una suma ponderada de los voltajes de entrada. Esto significa que con esta topología se tiene la ventaja de utilizar transistores de múltiples entradas. Por el contrario, la carga atrapada en el la compuerta puede afectar el punto de operación del transistor, incrementa el voltaje necesario de polarización y en transistores que deben ser equivalentes entre sí, produce una discrepancia que se traduce en un voltaje de desvío.

La discrepancia entre transistores equivalentes, como los transistores de un espejo de corriente de relación 1:1 o los que forman un par diferencial, es un efecto no deseado en el diseño de circuitos analógicos que se explica mas a fondo en la sección 3.4.

Por lo anterior, para el caso de los amplificadores que es el tema central de este trabajo, es conveniente analizar el efecto de una compuerta flotante sobre la trasconductancia. Utilizando la ecuación 3.21 y el modelo a gran señal y despreciando las no idealidades para una compuerta flotante de dos entradas se obtiene:

$$I_D = \frac{K_n W}{2 L} \left[ \left( \frac{C_1}{C_T} V_{G1} + \frac{C_2}{C_T} V_{G2} \right) - V_S - V_T \right]^2$$

Entonces se calcula la trasconductancia a través de la terminal  $G_1$  como sigue:

$$g_{m1} = \frac{\partial I_D}{\partial V_{G1}} = \frac{C_1}{C_T} g_m \tag{3.22}$$

Una conclusión inmediata de la ecuación 3.22 es que la trasconductancia se reduce por un factor de  $C_1/C_T$ . Para calcular la conductancia

<sup>1</sup> Esta aproximación es válida cuando las capacitancias de entrada son mucho mayores a las capacitancias parásitas.

de salida se debe considerar el modelo de gran señal con el efecto de modulación por longitud de canal y considerando que  $V_S = 0$  se obtiene lo siguiente:

$$\begin{aligned} I_D &= \frac{K_n}{2} \frac{W}{L} \left[ \frac{C_1}{C_T} V_{G1} + \frac{C_2}{C_T} V_{G2} + \frac{C_{GD}}{C_T} V_D - V_T \right]^2 (1 + \lambda V_{DS}) \\ g_0 &= \frac{\partial I_D}{\partial V_D} = K_n \frac{W}{L} (V_{GS} - V_T) \frac{C_{GD}}{C_T} (1 + \lambda V_{DS}) \\ g_0 &= \frac{C_{GD}}{C_T} g_{0i} \end{aligned} \quad (3.23)$$

donde  $g_{0i}$  es la conductancia de salida de un transistor sin compuerta flotante. Claramente, la ecuación 3.23 concluye que la conductancia de salida también disminuye. En conjunción con la disminución de la trasconductancia, un transistor de compuerta flotante sufre de desventajas importantes como menor ganancia (lo que afecta la precisión), menor velocidad y es más sensible al ruido, lo que limita seriamente el rango dinámico. Además, al utilizar capacitores por cada entrada se incrementa dramáticamente el consumo de área de silicio y más si se considera la restricción que, para desprestigiar los efectos parásitos, requiere  $C_1, C_2 \gg C_{GD}, C_{GS}$ . Sin embargo, esta última restricción se elimina cuando se utilizan estos dispositivos en amplificadores que operan en lazo cerrado.

A pesar de esto, un transistor de compuerta flotante tiene una serie de ventajas. Primero, el utilizar múltiples entradas implica mayor flexibilidad en el diseño. Si se utiliza una entrada fija en CD tal que  $V_T = 0$ , el transistor de compuerta flotante se puede utilizar en aplicaciones de bajo voltaje y dispositivos de riel a riel. Además, al tener capacitores en las terminales de entrada, la suma ponderada no gasta potencia extra.

A pesar de todo, usualmente el efecto de carga atrapada inhabilita el uso de transistores de compuerta flotante y al no ser predecible implica que el voltaje de umbral tampoco es predecible. Por tal motivo, en el estado del arte existen alternativas para resolver este inconveniente. La primera técnica involucra el diseño del transistor en el silicio[9]. Esta consiste en colocar contactos entre la compuerta y todos los niveles de metal. Durante el proceso de fabricación, antes del atacado químico, los contactos distribuyen la carga atrapada en el metal debido a que es menos resistivo que el polisilicio. Una vez que el metal se retira, también parte de la carga atrapada se elimina y se disminuye el efecto en el voltaje de umbral mas no se elimina.

Otra estrategia es utilizar una variación de esta técnica llamada transistores de compuerta casi flotante [21][22]. En esta técnica, se conecta una resistencia entre la compuerta flotante y el voltaje de alimentación más positivo en caso de un transistor tipo n (o más negativo para un transistor tipo p). De esta forma, este resistor permite una fuga de portadores de carga cuando el transistor esta en corte.

En definitiva, el transistor de compuerta flotante, aunque sencillo, es un tipo de subcircuito especializado que se debe de considerar de forma delicada al momento de utilizarse en una aplicación debido a la cantidad de restricciones que presenta.

### 3.2.6 Amplificador de fuente común

Considerando un transistor NMOS polarizados con un voltaje de entrada  $V_{in}$  y la salida  $V_{out}$  en la terminal de drenaje como en la figura

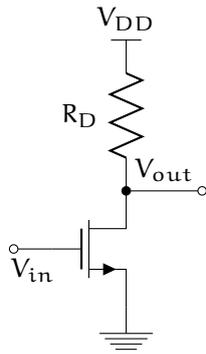


Figura 38: Amplificador de fuente común

38 tal que la corriente en el drenaje depende del voltaje de alimentación  $V_{DD}$ .

Tomando en cuenta el efecto por modulación de longitud de canal, se puede calcular la ganancia en voltaje del circuito de la siguiente manera:

$$V_{out} = V_{DD} - R_D \left[ \frac{K_n W}{2 L} (V_{in} - V_T)^2 (1 + \lambda V_{out}) \right]$$

$$A_V = \frac{\partial V_{out}}{\partial V_{in}} = -R_D I_D \lambda A_V - R_D g_m$$

Como el parámetro  $\lambda$  se relaciona con el efecto de modulación, se tiene que  $\lambda I_D = 1/r_{DS}$ . Por lo tanto se puede desarrollar la ecuación anterior y obtener:

$$A_V = -g_m (R_D || r_{DS}) \quad (3.24)$$

Como se puede observar de la ecuación anterior, el signo negativo indica que este circuito es un amplificador inversor. Por supuesto este resultado es equivalente al obtenido de un modelo de pequeña señal, donde es fácil ver que la resistencia de salida del amplificador de fuente común es:

$$R_{out} = (R_D || r_{DS}) \quad (3.25)$$

La ganancia depende de la resistencia  $R_D$ , cuyo valor es máximo cuando  $R_D = 0$ , al igual que la resistencia de salida. Por este motivo, este subcircuito se utiliza generalmente como etapa intermedia de ganancia.

### 3.3 AMPLIFICADOR OPERACIONAL

El amplificador diferencial es uno de los bloques principales en el diseño de circuitos integrados. En la figura 39 se muestra la topología de un circuito amplificador diferencial de una etapa.

Como se puede observar, este circuito utiliza un par diferencial constituido por transistores idénticos  $M_1$ . Este par diferencial está polarizado con una corriente  $I_B$ , que proviene de una copia de una fuente ideal, a través de un espejo de corriente simple. Debido a que por cada transistor  $M_1$  del par diferencial circula una corriente  $\Delta I/2$ ,

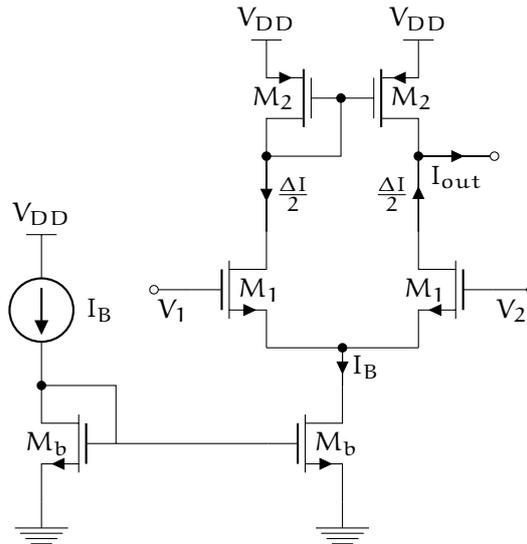


Figura 39: Amplificador diferencial de una etapa

se puede probar que la trasconductancia  $g_{m1}$  del par diferencial se aproxima con:

$$g_{m1} = \frac{2 \left( \frac{I_B}{2} \right)}{V_{sat}} \quad (3.26)$$

De la ecuación 3.17 sabemos que para el par diferencial, una diferencia entre los voltajes  $V_1$  y  $V_2$  produce una diferencia entre corrientes en sentido contrario. Sin embargo, como el par diferencial tiene un espejo de corriente conectado como carga activa, las corrientes a través de los transistores  $M_2$  son iguales y la diferencia de corrientes producida por el cambio de voltajes de entrada se refleja en la corriente de salida  $I_{out}$  tal que  $I_{out} = \Delta I$ . Entonces, este amplificador es un dispositivo que genera una diferencia de corrientes de salida a partir de una diferencia de voltajes de entrada.

Como en ejemplos anteriores, es necesario estimar la resistencia de salida  $R_{out}$  del amplificador. En un análisis de pequeña señal es fácil ver que existen dos resistencias en paralelo que corresponden a los canales de los transistores  $M_1$  y  $M_2$ , por lo tanto la resistencia de salida es:

$$R_{out} = r_{DS2} || r_{DS1} \quad (3.27)$$

Para obtener el voltaje de salida. De forma sencilla mediante la ley de Ohm se obtiene:

$$V_{out} = I_{out} (r_{DS2} || r_{DS1})$$

$$V_{out} = \Delta I (r_{DS2} || r_{DS1})$$

A partir del voltaje de salida es de interés saber como cambia este con respecto a los voltajes de entrada. Esta relación de cambio es la ganancia de voltaje, la cual se puede definir utilizando la ecuación 3.17 como sigue:

$$V_{out} = g_{m1} \Delta V (r_{DS2} || r_{DS1})$$

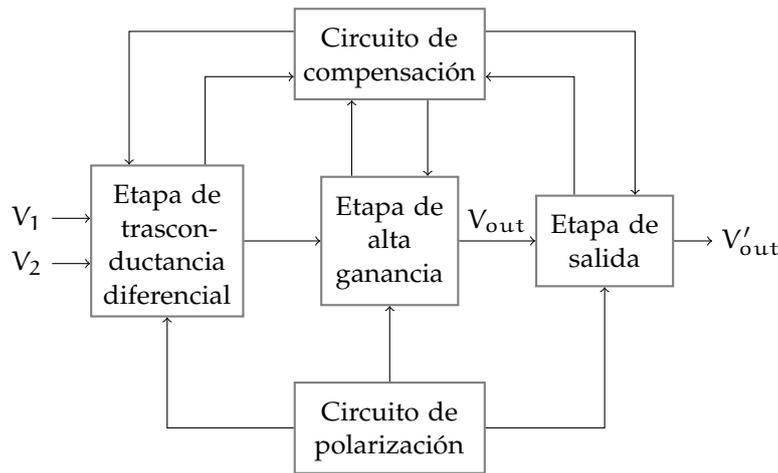


Figura 40: Diagrama de bloques de un OPAMP general de dos etapas

$$A_V = \frac{V_{out}}{\Delta V} = g_{m1} (r_{DS2} || r_{DS1}) \quad (3.28)$$

A partir de este análisis es claro como la caracterización de los sub-circuitos, que componen el amplificador, puede sintetizar los cálculos para describir un circuito más complejo. De manera general, esta es la forma en que un diseñador de circuitos analógicos trabaja.

El amplificador es de muchas formas el bloque más versátil e importante en los circuitos analógicos CMOS. Su desempeño usualmente limita la frecuencia más alta de una aplicación y el rango dinámico del circuito en general. El circuito aquí presentado se conoce como Amplificador Operacional de Transconductancia (OTA) y es un amplificador con una resistencia de salida típicamente alta y por si mismo solo puede manejar cargas que consisten en capacitancias pequeñas y resistencias grandes con un nivel aceptable de distorsión de señal.

Un Amplificador Operacional (OPAMP) se define como un OTA en adición a una etapa de salida de tal forma que este puede manejar cargas que consistan de capacitancias grandes y/o resistencias pequeñas. Es deseable que esta etapa de salida tenga un gran rango de voltaje de salida, preferentemente de riel a riel y una alta relación entre la máxima corriente de salida y la corriente de la etapa de salida en estado inactivo. En la literatura suele hablarse indistintamente del OTA y OPAMP como amplificadores operacionales remarcando la diferencia de acuerdo a si la salida es altamente resistiva o no.

De esta forma, en la figura 40 se muestra un diagrama de bloques que representa los aspectos importantes de un OPAMP de dos etapas. La primera etapa, la ganancia diferencial, forma la entrada del OPAMP y en ocasiones se utiliza para convertir la entrada diferencial en una salida única. Usualmente la primera etapa proporciona una cantidad de la ganancia total lo que mejora el desempeño en ruido y voltaje de desvío. La segunda etapa típicamente es un inversor amplificador que también puede convertir la señal diferencial en una señal simple si es que la primera etapa no lo llevo a cabo. La segunda etapa provee de ganancia extra para lograr ganancias altas en el diseño y si la primera etapa consigue una ganancia dentro de la especificación necesaria, esta etapa puede omitirse. La etapa de salida es el circuito que sirve para manejar cargas resistivas bajas. En el caso de etapas de amplificación

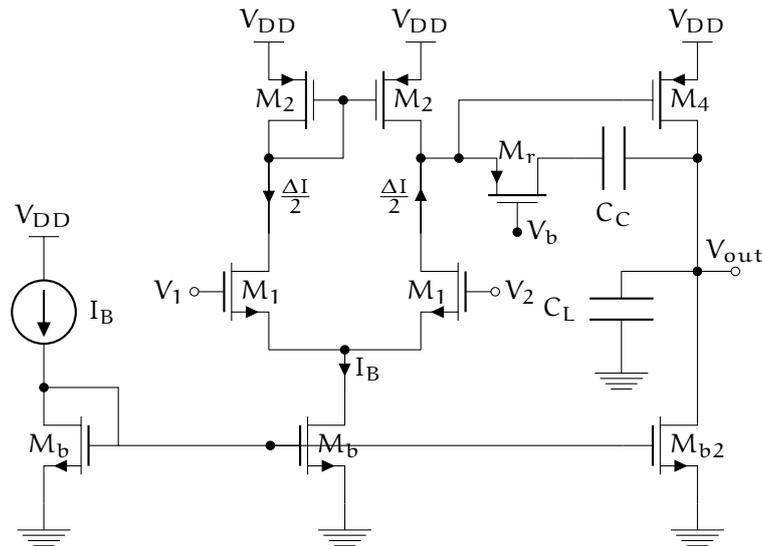


Figura 41: Amplificador operacional de dos etapas con compesación de Miller

interiores, donde las cargas capacitivas sean pequeñas (por ejemplo  $2\text{pF}$ ), esta etapa se puede omitir y obtener un *OTA*.

Estas tres etapas conforman la trayectoria de señal y cada una requiere de un circuito de polarización que establezca un punto de operación apropiado.

Por último, como se estudió en la sección 2.1, los amplificadores de dos etapas requieren de un circuito de compensación en frecuencia para asegurar su estabilidad en configuraciones de lazo cerrado. Esta etapa puede incluir cualquier técnica de las enunciadas en la sección 2.1.

En la figura 41 se muestra el circuito de un *OPAMP* de dos etapas. Como se puede observar, la primera etapa se compone del *OTA* de la figura 39. La segunda etapa es un amplificador de fuente común que se compone del transistor  $M_4$  y cuya polarización viene dada por el transistor  $M_{b2}$ . La etapa de compensación utilizada es un circuito de compensación de frecuencia de Miller con resistor nulificador que consiste en el capacitor  $C_C$  y un resistor activo en serie formado con el transistor  $M_r$ .

En este punto del análisis, se puede escalar a un nivel de jerarquía mayor a partir de los parámetros calculados y presentar el macromodelo del *OPAMP* que se muestra en la figura 42. Como es común en el diseño analógico, el macromodelo de un *OPAMP* se utiliza para realizar cálculos a mano de circuitos aún más complejos que incluyan al *OPAMP* como componente.

### 3.4 EFECTOS NO IDEALES DE UN AMPLIFICADOR

Idealmente un *OPAMP* es un dispositivo con ganancia de voltaje diferencial infinita, resistencia de entrada infinita y resistencia de salida igual a cero, no presenta una dependencia de la frecuencia y la temperatura y no sufre de efectos de distorsión y ruido. No hace falta aclarar que los *OPAMP* reales solo se aproximan a ese comportamiento. De manera específica, las principales diferencias entre un *OPAMP* ideal y uno real son las siguientes:

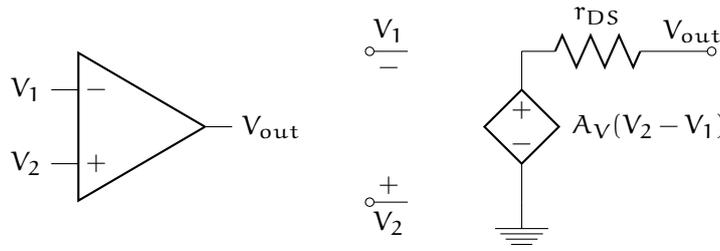


Figura 42: Símbolo y macromodelo de un OPAMP

1. *Ganancia finita dependiente de la frecuencia.* En los OPAMP reales la ganancia es finita y, debido a capacitancias parásitas, movilidad finita de portadores de carga y otros, depende de la frecuencia de operación. Aunque no se trató de manera explícita, en los análisis de respuesta en frecuencia de un OPAMP de la sección 2.1 se puede observar como decrece la ganancia  $A_V$  para frecuencias altas. Es usual el describir este comportamiento en terminos del ancho de banda de ganancia unitaria  $f_0$ , que es la frecuencia para la que se cumple  $|A_V(f_0)| = 1$ .
2. *Rango lineal finito.* La relación  $V_{out} = A_V(V_1 + V_2)$  entre los voltajes de entrada y salida sólo es válido para un rango limitado de  $V_{out}$ . En los OPAMP reales, el voltaje de salida cumple  $V_{SS} \leq V_{out} \leq V_{DD}$ .
3. *Voltaje de desvío.* En la sección 2.2 se introdujo el análisis del voltaje de desvío en un OPAMP. Es el voltaje necesario para que el voltaje de salida sea igual a cero. Para los CMOS OPAMP es típicamente  $\pm 2$  a 10mV.
4. *Razón de rechazo de modo común.* La Razón de Rechazo de Modo Común (CMRR) se define usualmente en decibeles y se expresa como:

$$CMRR = 20 \log_{10} \frac{A_D}{A_C} \quad (3.29)$$

donde  $A_D$  es la ganancia diferencial (que es igual a la ganancia  $A_V$  discutida anteriormente) y  $A_C$  es la ganancia de modo común. Esta última se define como la relación del voltaje de salida, con el voltaje de modo común a la entrada  $V_{in,c}$ , es decir

$$V_{in,c} = \frac{V_1 + V_2}{2} \quad (3.30)$$

Un OPAMP diferencial ideal elimina cualquier componente de modo común y solo toma en cuenta el voltaje de entrada de modo diferencial  $V_{in,d} = V_1 - V_2$ . La CMRR es una forma de medir como un amplificador rechaza estas componentes de modo común y usualmente se encuentra en el rango de 60 a 80dB.

5. *Velocidad de respuesta.* Para un voltaje de escalón de entrada grande, algunos transistores de un OPAMP pueden salir de la región de saturación. De esta forma, el voltaje de salida seguirá el voltaje de entrada en una razón más lenta. La máxima razón de cambio  $dV_{out}/dt$  se llama velocidad de respuesta y no está directamente relacionada con la frecuencia.

Figura 43: Discrepancia en un transistor MOS

6. *Impedancia de salida diferente a cero.* En las secciones anteriores se ha realizado un análisis para la impedancia de salida, donde se ha concluido que es usualmente resistiva, finita y mayor que cero. Esta resistencia afecta la rapidez con la que el OPAMP carga a un capacitor conectado a su salida, y por consecuencia, acota la frecuencia de señal más alta posible.
7. *Ruido.* Como los transistores CMOS pueden generar por si mismos fuentes importantes de ruido se realiza un análisis más detallado de esta no idealidad en la sección 3.5.
8. *Rango dinámico.* Debido al limitado rango lineal del OPAMP, existe una amplitud máxima de la señal de entrada  $V_{in,max}$  que el dispositivo puede manejar sin generar un cantidad excesiva de *distorsión*. Debido a señales con efectos secundarios no deseados<sup>2</sup> también existe una amplitud mínima  $V_{in,min}$  para que la salida sea distinguible del ruido y distorsión. Una estimación optimista del voltaje máximo es  $V_{in,max} \approx V_{DD}/A_V$ , mientras que el voltaje mínimo es del mismo orden de magnitud que el voltaje de ruido equivalente a la entrada  $V_n$ , por lo tanto  $V_{in,min} \approx \sqrt{V_n^2}$ . Entonces el rango dinámico  $V_{dr}$  en decibeles se define como

$$V_{dr} = 20 \log_{10} \left( \frac{V_{in,max}}{V_{in,min}} \right) \quad (3.31)$$

9. *Razón de rechazo de fuente de alimentación.* Pueden existir variaciones  $V_{sn}$  en los voltajes de alimentación debido a componentes de ruido. En tal caso, aparecerá un voltaje correspondiente de magnitud  $A_p V_{sn}$  a la salida del OPAMP, donde  $A_p$  sería la ganancia relacionada. La Razón de Rechazo de Fuente de Alimentación (PSRR) se expresa comúnmente en decibeles y se define como

$$PSRR = 20 \log_{10} \left( \frac{A_D}{A_P} \right)$$

10. *Discrepancia.* La discrepancia se refiere a las variaciones aleatorias observadas en algún parámetro P de dos o más transistores diseñados iguales[25, 43, 38]. Estas variaciones son resultado de varios fenómenos aleatorios que ocurren durante cada etapa del proceso de fabricación. Como se observa en la figura La discrepancia se puede representar, principalmente, como una variación nominal en las dimensiones de un transistor. En casos como el par diferencial o el espejo de corriente, donde el diseño exige que dos transistores tienen que ser iguales, la discrepancia contribuye a una desviación del comportamiento esperado de forma aleatoria entre chip y chip. Aunque la discrepancia de un parámetro P sea aleatoria, se puede acotar la variación a través de la siguiente relación[30]:

$$\sigma^2(\Delta P) = \frac{A_P^2}{WL} \quad (3.32)$$

<sup>2</sup> Por ejemplo ruido de señales de reloj y distorsion de bajo nivel.

donde  $A_p$  es una constante de proporcionalidad de área para el parámetro  $P$ , donde el interés se centra en el caso del voltaje de umbral (ver apéndice A.2). La discrepancia es la principal causa del voltaje de desvío, el cual, como se presentó en la sección 1.3.2, limita seriamente el número de chips producidos que se encuentran dentro de los parámetros esperados, es decir, limita el rendimiento de la producción de circuitos. Existen técnicas para mejorar el emparejamiento por diseño de transistores, por ejemplo aumentando el tamaño de los transistores, sin embargo se penaliza el consumo de potencia y la velocidad del circuito. Actualmente está comprobado que el compromiso exactitud-velocidad-potencia no se puede optimizar a través de diseño porque depende únicamente de los parámetros de discrepancia dictados por la tecnología CMOS.

### 3.5 RUIDO

En circuitos integrados, existen variaciones no deseadas en la señal a procesar, debido a otras señales presentes que causan interferencia a las cuales se les conoce como ruido. Las fuentes de ruido en un circuito integrado se pueden clasificar en dos tipos: el ruido electrónico proveniente del dispositivo y el ruido ambiental proveniente del entorno en el que se encuentra el dispositivo. Debido a que para considerar el ruido ambiental se requiere del conocimiento de una aplicación específica, se considera únicamente el ruido del dispositivo.

Existen 2 tipos de ruido en un dispositivo MOS y su caracterización es importante para conocer las limitaciones del procesamiento de la señal y, de ser posible, tomar medidas para incrementar el desempeño del circuito.

#### 3.5.1 Ruido térmico

El ruido térmico tiene su origen en los portadores de carga libres. Estos portadores de carga se propagan de manera aleatorio debido a su temperatura y ocasionan un voltaje fluctuante  $V_{nT}^2$  aún en la ausencia de corriente. Una manera de cuantificar estas variaciones es a través del cuadrado medio  $\overline{V_{nT}^2}$ . Se puede probar que  $\overline{V_{nT}^2}$  en un resistor real  $R$  esta dado por:

$$\overline{V_{nT}^2} = 4 \cdot k \cdot T \cdot R \cdot \Delta f \quad (3.33)$$

donde  $k$  es la constante de Boltzmann y  $\Delta f$  es el ancho de banda en el que se calcula. De esta ecuación se puede observar que, como es de esperar, las contribuciones de ruido aumentan si la temperatura y el ancho de banda incrementa. Esto último es claro para la temperatura, sin embargo si la ecuación 3.33 fuera cierta, para cualquier ancho de banda implicaría que la energía del ruido sería infinita. En realidad, para frecuencias de aproximadamente  $10^{13}$  Hz otros fenómenos físicos se involucran y el ruido disminuye de forma que la contribución total es finita.

Además se puede deducir que el valor promedio del ruido (componente en DC) es cero y que su densidad espectral  $\overline{V_{nT}^2}/\Delta f$  es independiente de la frecuencia, por lo que el ruido térmico es un ruido blanco.

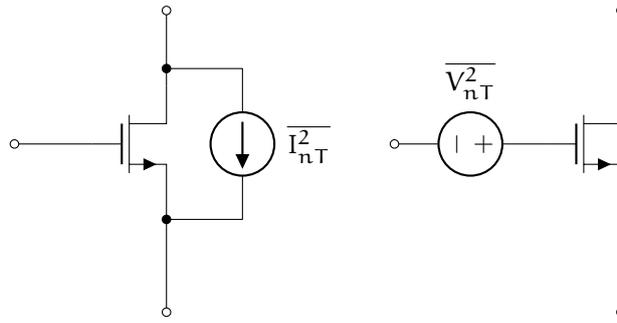


Figura 44: Modelo equivalente de ruido térmico en un transistor MOS

Las contribuciones de ruido térmico se pueden representar como corrientes, dado que  $\overline{I_{nT}^2} = \overline{V_{nT}^2} / \overline{R_{nT}^2}$  tenemos que el cuadrado medio de corriente es:

$$\overline{I_{nT}^2} = \frac{4 \cdot k \cdot T}{R} \cdot \Delta f \quad (3.34)$$

Como el canal de un transistor MOS contiene portadores de carga libres, sufre de ruido térmico. De esta forma se puede utilizar la ecuación 3.33 donde  $R$  corresponde a la resistencia del canal. Si el transistor está en saturación, entonces la resistencia del canal se puede aproximar a  $R \approx (3/2) \cdot g_m$  obteniendo:

$$\overline{I_{nT}^2} = \frac{8 k \cdot T}{3 g_m} \cdot \Delta f \quad (3.35)$$

En la figura 44 se muestran los modelos de ruido equivalente para un transistor MOS. Por lo regular, en los circuitos es más conveniente modelar el ruido como una fuente de corriente.

### 3.5.2 Ruido $1/f$

En un transistor MOS existen estados extras de energía de un electrón. Estos estados se encuentran en la frontera entre el silicio y el óxido y son ocasionados por contaminación o defectos de la estructura cristalina en la capa de agotamiento. Los electrones que pasan a través del canal pueden quedar atrapados y ser liberados en esta frontera de manera aleatoria introduciendo variaciones de ruido. Como este proceso es relativamente lento, la mayor parte de la energía de ruido es a bajas frecuencias.

El ruido  $1/f$  también se puede modelar como una fuente de corriente en paralelo con la resistencia del canal y el valor cuadrado medio de las variaciones de voltaje esta dado por:

$$\overline{V_{nT}^2} = \frac{K}{C_{ox} \cdot W \cdot L} \cdot \frac{\Delta f}{f} \quad (3.36)$$

donde  $K$  es una constante que depende de la temperatura y el proceso de fabricación. De esta ecuación se puede deducir una vez más que el valor promedio es cero y la densidad espectral de potencia  $\overline{V_{nT}^2} / \Delta f$  es inversamente proporcional a la frecuencia. Debido a esto, este ruido se conoce como ruido  $1/f$ .

En la figura 45 se muestran las densidades espectrales del ruido  $1/f$  con respecto al térmico. Algo a notar es la frecuencia de corte  $f_c$  que

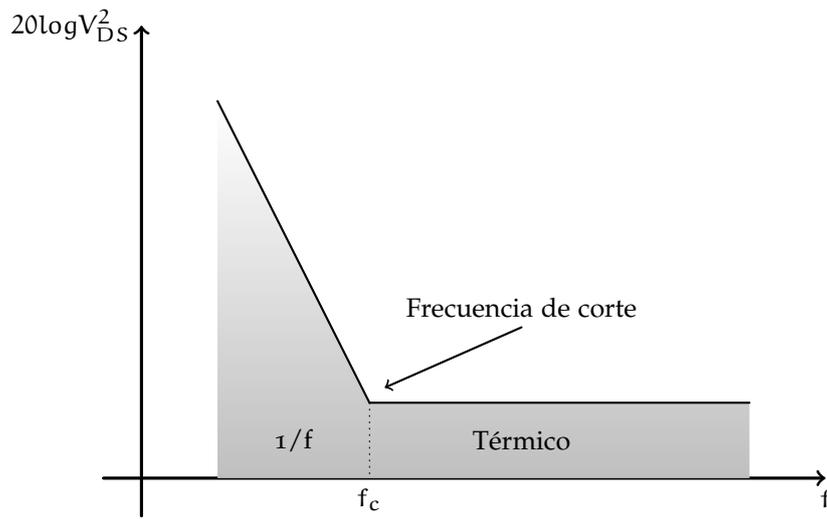


Figura 45: Densidad espectral de ruido térmico y  $1/f$

marca la frontera entre el ruido  $1/f$  y el térmico y se puede probar que su valor es:

$$f_c = \frac{3}{8} \cdot \frac{K}{C_{ox} \cdot W \cdot L} \cdot \frac{g_m}{k \cdot T} \quad (3.37)$$



Parte III

DISEÑO DE PREAMPLIFICADORES CMOS  
DE ALTO DESEMPEÑO



## METODOLOGÍA Y DESARROLLO DE LA INVESTIGACIÓN

---

El presente capítulo inicia con la definición de preamplificador de alto desempeño para posteriormente presentar el diseño y análisis matemático de tres tipos de preamplificadores de alto desempeño. Esta exposición se realiza en orden de acuerdo a la “trayectoria de diseño” recorrida durante el trabajo. Así, se enfatizan las características de cada topología y se clarifica la forma en como se complementan entre si.

### 4.1 PREAMPLIFICADORES DE ALTO DESEMPEÑO

De acuerdo a la arquitectura de un microsensar genérico mostrada en la figura 4, se define en este trabajo a un preamplificador como la etapa de amplificación más cercana al elemento sensor. Por este motivo, un preamplificador puede no proporcionar la máxima amplitud deseada al momento de procesar la señal y se suele utilizar como etapa intermedia en el procesamiento de señales. De esta forma sus características de respuesta al ruido, el voltaje de desvío, la distorsión de señal, su ancho de banda y su precisión son más importantes.

Cuando se introducen las especificaciones de diseño para acondicionar un sensor MEMS, las señales de salida a tratar tienen amplitudes alrededor de los  $\mu\text{V}$  o menos y su espectro de frecuencias puede ser amplio. Consecuentemente, al realizar la amplificación de este tipo de señales se tiene que asegurar que las características del preamplificador cumplan de manera adecuada esta tarea<sup>1</sup>. Si el preamplificador cumple este último requisito, se dice entonces que es de alto desempeño.

En las siguientes secciones se presenta el diseño de nuevas topologías de preamplificadores de alto desempeño utilizando técnicas tanto nuevas como consolidadas, presentes en el estado del arte.

### 4.2 COMPENSACIÓN DE VOLTAJE DE DESVÍO MEDIANTE FPB

En la figura 46 se muestra un diagrama de bloques de un amplificador operacional de transconductancia de dos etapas. Se observan los voltajes de desvío referidos a la entrada  $V_{\text{off}1}$  y  $V_{\text{off}2}$  de la primera y segunda etapa respectivamente los cuales son la principal fuente de error (por encima de las contribuciones de ruido). Tomando en cuenta que para un voltaje de entrada  $V_{\text{in}} = 0$  la salida del sistema es el voltaje de desvío referido a la salida que es igual a  $V_{\text{off}|sal} = A_V V_{\text{off}|ent}$ . Para eliminar este efecto no deseado, esta estrategia plantea medir esta contribución a la salida del sistema y realizar una retroalimentación negativa. Para lograr esto, se elimina la componente de señal de la salida mediante un FPB y se utiliza la señal restante (que es un componente en CD) para cambiar el balance de corriente del par diferencial de entrada hasta que el componente en CD de salida sea cero. Utilizando esta topología,

---

<sup>1</sup> Se puede cuantificar que tan adecuado es el procesamiento analógico calculando la relación necesaria entre precisión y resolución.

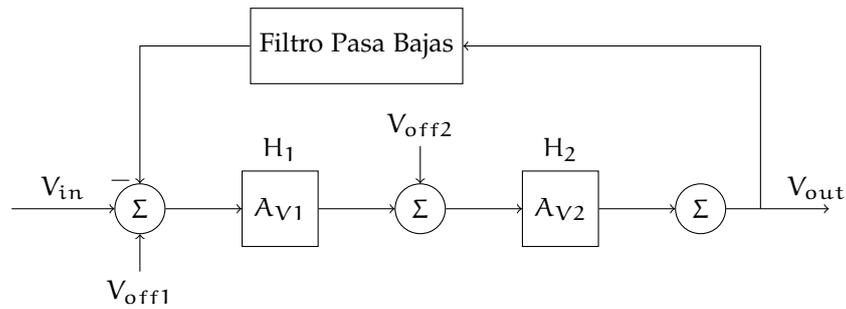


Figura 46: Diagrama de bloques de compensación por retroalimentación en baja frecuencia

mediante un análisis sencillo se obtiene que el voltaje de desvío referido a la entrada es:

$$V_{\text{off|ent}} = \frac{V_{\text{off1}}}{A_{V1}A_{V2}} + \frac{V_{\text{off2}}}{A_{V1}^2A_{V2}} \approx \frac{V_{\text{off1}}}{A_V} \quad (4.1)$$

De la expresión 4.1 se puede estimar que para una ganancia  $A_V$  en el rango de 80 dB y  $V_{\text{off1}}$  de aproximadamente 10 mV, se espera un voltaje de desvío referido a la entrada de 10  $\mu\text{V}$ [7]. Este valor es similar al reportado en otras técnicas en el estado del arte [3]. Sin embargo, esta estrategia evita el uso de ganancias altas en el lazo de compensación de retroalimentación (en este caso la ganancia es 1), usar modulación de señales, efectos de inyección de carga, rizo de recortado y efectos de plegado de ruido, todos asociados con autoceros o recortadores.

#### *Diseño de FPB usando elementos altamente resistivos*

Al utilizar un filtro pasa bajas para realizar un circuito de compensación de desvío se debe considerar que el orden de este no debe ser mayor a 2, de lo contrario se introducirían componentes de fase que resultarían en un amplificador inestable a bajas frecuencias. En amplificadores de dos etapas con polos localizados en  $\omega_1$  y  $\omega_2$ , si se desea una ganancia entre estos polos de  $A_V = 20n$  dB, donde  $n$  es un entero positivo, un análisis sencillo en frecuencia estipula que el cero  $z_1$  del filtro (que es igual a la frecuencia de corte) debe localizarse al menos a una frecuencia de  $n/k$  décadas por debajo de  $\omega_1$ , donde  $k$  es el orden del filtro[7].

Para un filtro RC de orden 1 diseñado con un capacitor de 1  $\mu\text{F}$  se requiere una resistencia del orden de 1 G $\Omega$  la cual no se puede obtener mediante elementos pasivos en un circuito integrado. Sin embargo, se ha comprobado que es posible obtener resistencias con valores dentro del rango de esa magnitud empleando transistores que operan en región de inversión débil[7]. Estos consisten en variar el voltaje de compuerta<sup>2</sup> hasta que el transistor se encuentre cerca de la región de corte. Es entonces cuando la resistencia del canal se aproxima a la resistencia de la región de difusión  $R_{\text{leak}}$  lo que produce un divisor resistivo parásito. Como los valores de resistencia alcanzados son elevados, a estos transistores se les conoce usualmente como Resistor Casi Infinito (RCI).

<sup>2</sup> En este caso, el voltaje de compuerta es el voltaje de polarización del transistor el cual permite controlar el valor de resistencia

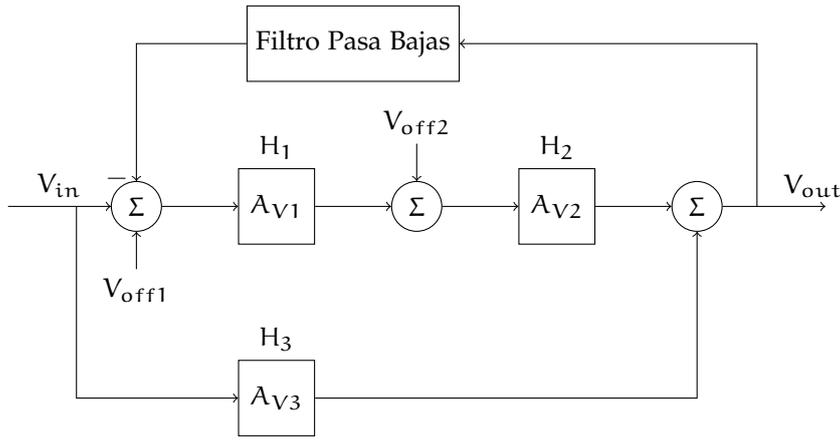


Figura 47: Diagrama de bloques de diseño de OTA compensado en frecuencia y desvío

### 4.3 DISEÑO DE OTA COMPENSADO EN FRECUENCIA Y EN DESVÍO

En este diseño se propone un esquema de compensación de voltaje de desvío para un OTA totalmente diferencial configurado con retroalimentación capacitiva (figura 47). La compensación de voltaje de desvío se realiza mediante un lazo de retroalimentación de baja frecuencia, el cual utiliza un FPB como se detalla en la sección 4.2. Para mejorar el Producto Ganancia Ancho de Banda (GBW) se utiliza un esquema de compensación de frecuencia por prealimentación.

#### 4.3.1 Compensación de frecuencia

Se utiliza la compensación de frecuencia por prealimentación detallada en la sección 2.1.4. La trayectoria directa de prealimentación (figura 48) se realiza por medio de una etapa extra de ganancia H<sub>3</sub> diseñada con un par diferencial que comparte la carga activa con la etapa de ganancia H<sub>2</sub>. Por lo tanto la función de transferencia es:

$$H(s) = \frac{A_{V1} \cdot A_{V2} + A_{V3} \left(1 + \frac{s}{\omega_{p1}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)}$$

$$H_1 = \frac{A_{V1}}{1 + \frac{s}{\omega_{p1}}} = \frac{g_{m1}/g_{01}}{1 + (sC_{01})/g_{01}}$$

$$H_2 = \frac{A_{V2}}{1 + \frac{s}{\omega_{p2}}} = \frac{g_{m2}/g_{02}}{1 + (sC_L)/g_{02}}$$

donde C<sub>01</sub> y g<sub>01</sub> son la capacitancia y conductancia de salida de la primera etapa H<sub>1</sub>. Análogamente, C<sub>L</sub> y g<sub>02</sub> son la capacitancia (en este caso igual a la capacitancia de carga) y la conductancia de salida de la segunda etapa H<sub>2</sub>. A partir de la expresión 2.4 y a la posición del polo  $\omega_{p2} = C_L/g_{02}$ , se puede obtener la condición necesaria para la cancelación de polo-cero:

$$C_{01} = \frac{g_{m1}}{g_{02}} C_L \frac{g_{m2}}{g_{m3}} \tag{4.2}$$

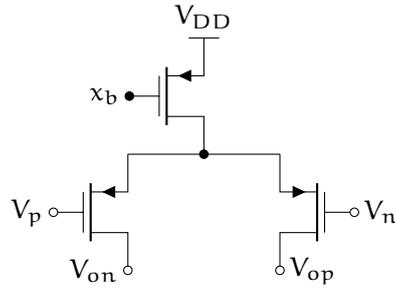


Figura 48: Circuito de compensación de frecuencia por prealimentación

El cero no se calcula para cancelar el polo  $\omega_{p2}$  dado que para cumplir la expresión relacionada se requiere que  $A_{V3} \gg A_{V1}A_{V2}$  donde,  $A_{V3}$  es la ganancia de la etapa de compensación. Eso significa que se pierde la ventaja de acumular ganancia en dos etapas, que en principio es el porque de hacer una compensación de frecuencia.

Por lo tanto, para obtener valores prácticos entre las capacitancias se requiere que  $g_{m1}g_{m2}/g_{02}g_{m3}$  se lo más pequeño posible.

#### 4.3.2 Etapas de ganancia

El OTA del presente diseño consiste en un circuito amplificador completamente diferencial<sup>3</sup> de dos etapas de ganancia  $H_1$  y  $H_2$ , como se muestra en la figura 49 el cual esta diseñado con transistores P para mejorar la respuesta al ruido  $1/f$ . Las terminales  $V_p$  y  $V_n$  corresponden a las entradas de voltaje diferencial, mientras que  $V_{op}$  y  $V_{on}$  son las salidas. El diseño del circuito comienza con el cálculo de la trasconductancia de los transistores del par diferencial de entrada  $m_{p1}$  de la primer etapa  $H_1$ . Este se realizó de acuerdo a una especificación de diseño de ruido térmico[13].

$$g_{m1,2} = \frac{16 kT}{3 S_n} \quad (4.3)$$

donde  $k$  es la constante de Boltzmann,  $T$  es la temperatura y  $S_n$  es la especificación de ruido. En este caso se utilizó  $S_n = 2,8nV/\sqrt{Hz}$ , que es similar al diseño reportado en [46] para acondicionar un microsensor de campo magnético con una resolución de  $\mu T$ . Como se propuso una corriente de polarización  $I_B$  para el OTA y una corriente de polarización  $I_{B1}$  para la etapa  $H_1$ , se puede calcular el tamaño del transistor  $m_{p1}$  utilizando la expresión 3.2 como sigue:

$$Rel_{mp1} = \frac{g_{m1}^2}{4K_p I_{B1}}$$

donde  $Rel$  es la relación de tamaño  $W/L$  de un transistor.

Posteriormente se calculan las dimensiones para el transistor de polarización  $m_{pb1}$  de la primera etapa. Como este transistor forma parte de un espejo de corriente con respecto al transistor  $m_{pb}$ , la relación de tamaños entre ellos viene dada de acuerdo a la expresión 3.12 de la siguiente forma:

$$Rel_{mpb1} = \frac{I_B}{I_{B1}} Rel_{mpb}$$

<sup>3</sup> Un amplificador totalmente diferencial posee una entrada diferencial y una salida diferencial.

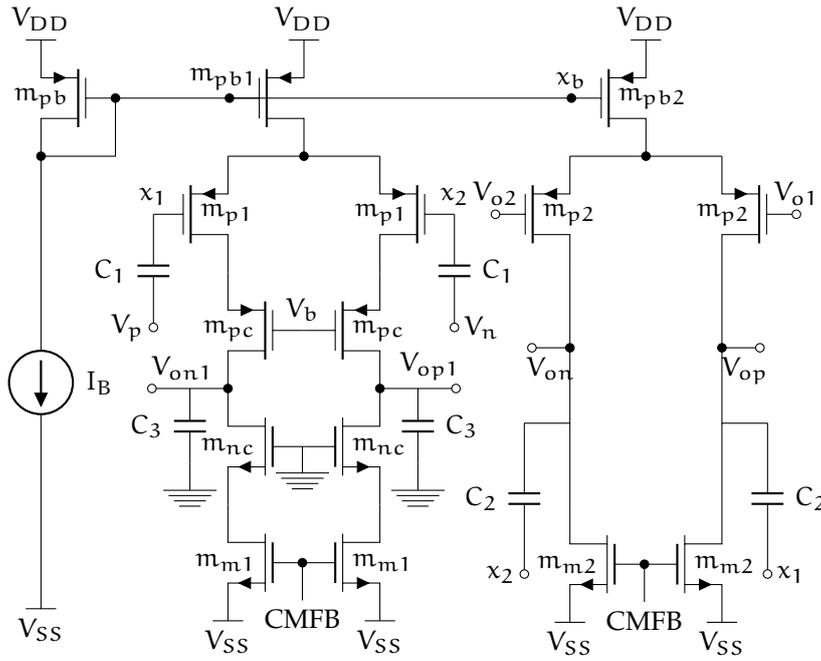


Figura 49: Circuito electrónico de OTA compensado en frecuencia y desvío

Esto significa que se necesita la relación de tamaño de  $m_{pb}$ . El criterio utilizado para proponer  $m_{pb}$  fue considerar la **CMRR**, la cual requiere que la relación de tamaño del transistor no sea pequeña, para que los voltajes de umbral no sean grandes y no exista peligro de que el transistor pase a región de triodo y se afecte gravemente la **CMRR**.

Como se requiere alta ganancia en el circuito, la primer etapa tiene transistores cascode  $m_{pc}$ . En la literatura a esta topología se le conoce como *amplificador telescópico* [14]. Un cascode eleva la trasconductancia por  $r_{DS0,casc}$ , que es la resistencia de salida del transistor  $m_{pc}$ , siempre y cuando esté polarizado correctamente por un voltaje en compuerta que mantenga al transistor en saturación. En este caso se polarizó el cascode  $m_{pc}$  con un voltaje igual a cero y  $m_{nc}$  con  $V_b$ . Se debe tomar en cuenta que el mínimo voltaje de alimentación del circuito depende de la malla con mayor caída de tensión necesaria para mantener a todos los transistores encendidos.

Como una corriente  $\Delta I/2$  (donde  $\Delta I_{max} = I_B$ ) pasa a través de los transistores de la carga activa de la etapa  $H_1$ , se propone un voltaje de saturación y las dimensiones se pueden calcular a través de la relación de corriente en gran señal como sigue:

$$Rel_{m,m1} = \frac{2I_B}{K_n V_{sat}^2}$$

La etapa  $H_1$  se diseñó como etapa totalmente diferencial y como el voltaje en **CD** en los nodo de salida debe ser un voltaje común  $V_{CM}$  igual a la mitad de la excursión de la señal, se necesita de un circuito de retroalimentación. Esto se debe a que el voltaje de modo común  $V_{CM}$  tiene una variación de dependencia con el modo común de entrada.

Por lo tanto, un Circuito de Retroalimentación de Modo Común (CMFB) calcula  $V_{CM}$  de la siguiente forma:

$$V_{CM} = \frac{V_{op1} + V_{on1}}{2} \quad (4.4)$$

El CMFB utilizado en este diseño es igual al reportado en [14] y los detalles se omiten por simplicidad.

La trasconductancia de la segunda etapa  $H_2$  está de cierta manera restringida a cumplir la expresión 4.2, sin embargo como se puede observar se tienen varios grados de libertad en sus parámetros. Conseguir una cancelación perfecta y parámetros prácticos al mismo tiempo es una tarea de sintonización complicada que requiere ajustes con la retroalimentación de una simulación por computadora. Para este caso se proponen dimensiones del transistor  $m_{p2}$  idénticas al transistor  $m_{p1}$  y dimensiones para el transistor  $m_{pf}$  de forma tal que  $Rel_{mpf} = 2Rel_{mp1}$ . Además se propuso una corriente de polarización de la etapa  $H_2$  y considerando una especificación de capacitancia de carga común de  $C_L = 2pF$  para asegurar la interconectividad del OTA, la única forma para cumplir la ecuación 4.2 fue el modificar el valor de la capacitancia de salida de la primera etapa  $C_{01}$  al agregar el capacitor  $C_3$ , tal que la nueva capacitancia de salida es  $C'_{01} = C_{01} + C_3$ .

La trasconductancia  $g_{m2}$  y  $g_{m3}$  se calcularon a partir de la relación 3.2 de saturación de la siguiente forma:

$$g_m = \sqrt{I_{B2} K_p \frac{W}{L}} \quad (4.5)$$

Después, se prosigue con calcular las dimensiones de los transistores de polarización de la etapa  $H_2$  y  $H_3$  de la misma forma como se realizó para  $H_1$ .

#### 4.3.3 Compensación de desvío

Para compensar el efecto del voltaje de desvío se utiliza la técnica detallada en la sección 4.2 utilizando elementos altamente resistivos. En la figura 50 se muestra el circuito electrónico de esta implementación, que corresponde a un filtro RC que se conecta de la salida  $V_{op}$  al nodo  $x_1$ . Como se trata de un amplificador completamente diferencial, se coloca otro filtro de forma análoga entre la salida  $V_{on}$  y el nodo  $x_2$ . Aunque en la figura 50 no se muestra, el capacitor faltante en la terminal  $x_1$  para completar el filtro es  $C_1$ , el cual se reutiliza en la retroalimentación capacitiva y de esta forma se disminuye el uso de área de silicio. Es fácil probar que la función de transferencia para este FPB es:

$$H_{coff}(s) = \frac{1}{1 + (R_{mr} C_1) s} \quad (4.6)$$

Donde  $R_{mr}$  es la resistencia equivalente de los elementos altamente resistivos formados con los transistores  $m_r$  en serie y polarizados en la región de subumbral mediante el voltaje  $V_{rb}$ . De la expresión 4.6 se puede obtener un análisis de frecuencia para obtener la frecuencia de corte del filtro, sin embargo como la resistencia de los elementos altamente resistivos, aunque grande, es imprecisa al punto de no ser posible conocer su valor analíticamente<sup>4</sup>, por lo que la frecuencia de

<sup>4</sup> Típicamente la magnitud de esta resistencia es de MΩ

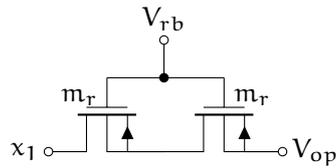


Figura 50: Circuito de compensación de desvío

PARAMETRO	VALOR
Corriente de polarización [ $\mu A$ ]	
$I_B$	10
Voltajes de alimentación [V]	
$V_{DD}, V_{SS}, V_{BP}, V_{RG}$	1.65, -1.65, -0.5, 0
Dimensiones de transistor W/L [ $\mu m/\mu m$ ]	
$m_{p1}, m_{p2}, m_{p3}, m_{pb}, m_{pb1}, m_{pb2}, m_{pb3}, m_r, m_{pc}, m_{nc}, m_{m1}, m_{m2}$	144/1.2, 144/1.2, 288/0.6, 36/1.2, 36/1.2, 216/1.2, 270/2.4, 6/6, 36/1.2, 18/1.2, 18/1.2, 378/2.4
Capacitores [pF]	
$C_1, C_2, C_3, C_L$	0.1, 10, 2.6, 5

Tabla 5: Especificaciones de diseño A de OTA

corte solo se puede obtener mediante simulaciones por computadora. A pesar de eso, para este propósito únicamente se requiere un valor de resistencia alto para poder eliminar las componentes de señal y compensar el voltaje de desvío con una ganancia unitaria. Como se analizó en la sección 4.2, el ancho de banda se limita en un rango pequeño de frecuencias, que si bien imposibilita a este amplificador para su uso en CD, la frecuencia de paso es pequeña y hace adecuado a este diseño para trabajar en la mayoría de las aplicaciones. Además, como el desvío es una señal CD, esta estrategia de compensación elimina las variaciones no sistemáticas de desvío en la entrada.

#### 4.3.4 Especificaciones físicas

En la tabla 5 se muestran los valores de los parámetros de diseño que se obtuvieron a partir de la metodología anterior.

#### 4.3.5 Resultados

##### Análisis en CD

Para analizar la función de transferencia del OTA en CD, se utiliza un análisis SPICE del circuito de simulación, donde se varía el voltaje diferencial de entrada  $\Delta V_{in} = V_p - V_n$ , de forma tal que  $\Delta V_{in}$  tome valores dentro del rango de los voltajes de alimentación. Para este objetivo se utilizaron los programas de diseño de circuitos de Mentor Graphics® cuyo motor de simulación por defecto es Eldo. En la figura

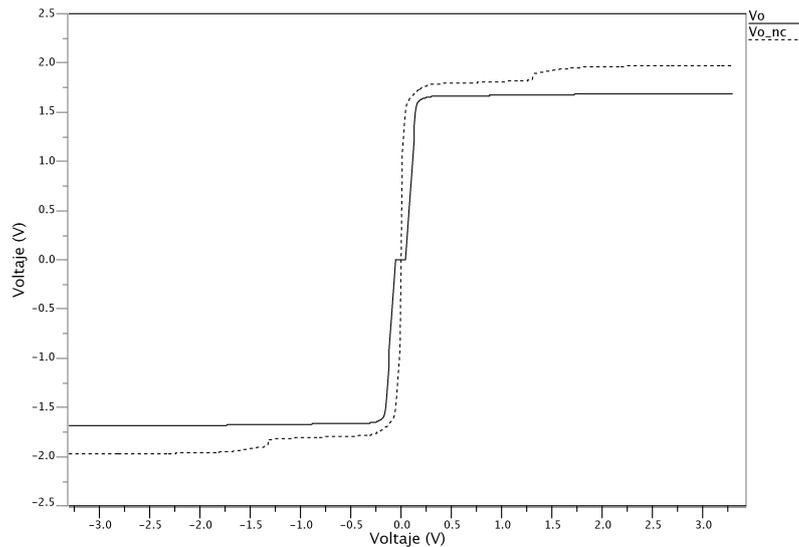


Figura 51: Análisis en CD de OTA compensado en frecuencia y desvío

51 se muestra una gráfica con los resultados obtenidos. En ésta se pueden observar dos curvas,  $V_o$  que es la salida de voltaje diferencial del OTA y  $V_{o\_nc}$  que es también la salida pero del OTA sin incluir el circuito de compensación de voltaje de desvío.

Cómo los OTA se utilizan para el tratamiento de señales analógicas, el análisis CD no es relevante ya que únicamente muestra las componentes que no varían con el tiempo. Sin embargo, este análisis se utiliza para encontrar el valor del voltaje diferencial de entrada donde la salida hace la transición de  $V_{SS}$  a  $V_{DD}$  y encontrar el voltaje de desvío sistemático. Este voltaje de desvío es importante para topologías de amplificador de una salida, ya que para simulaciones posteriores en otros dominios, se necesita realizar una compensación del desvío para analizar el dispositivo dentro de la región de operación deseada y no en un estado saturado. Una observación final involucra al voltaje de salida para el OTA compensado, el cual alrededor de  $0V$  presenta un rango muerto o sin ganancia. Esto se debe a que la compensación de desvío sin ganancia elimina componentes pequeñas en CD.

#### Análisis en CA

Como la precisión de un amplificador depende de su ganancia y como para amplificadores reales ésta es finita y diferente con respecto a la frecuencia, es de interés cuantificarla. Esto se logra por medio de un análisis en Corriente Alterna (CA) o de frecuencia. Este análisis se lleva a cabo en pequeña señal y consiste en calcular las variaciones del voltaje de salida con respecto a las variaciones en la entrada para definir la ganancia del circuito con respecto a un rango de frecuencias dado. En la figura 52 se muestra el resultado de este análisis nuevamente para el OTA compensado y sin compensar en desvío.

Se puede observar que se consigue una ganancia en lazo abierto de 93.32 dB, un GBW de 33.65 MHz, una frecuencia de corte<sup>5</sup> de 500 Hz

<sup>5</sup> Esta frecuencia se define en el punto que la ganancia difiere en -3 dB sobre su valor promedio máximo.

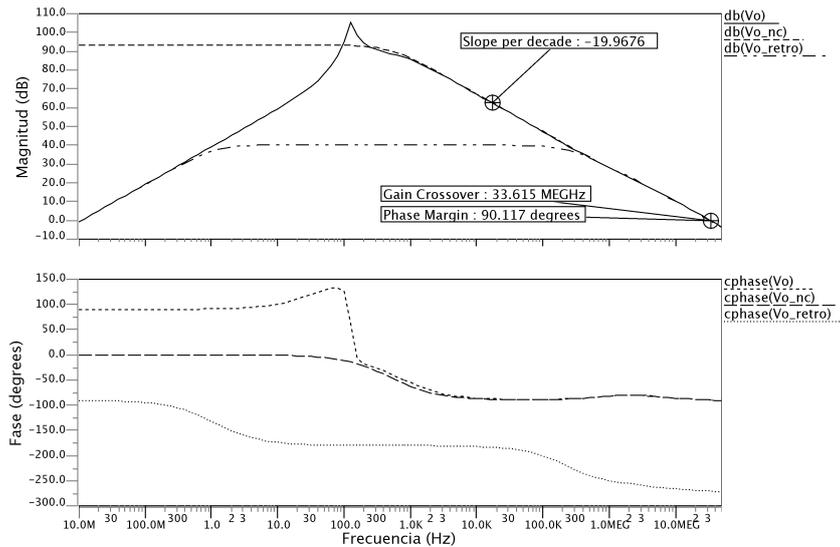


Figura 52: Análisis en CA de OTA compensado en frecuencia y desvío

y un margen de fase de  $90.1^\circ$  el cual se debe a la compensación de frecuencia. De esta forma, el OTA se comporta en frecuencia como un sistema de primer orden, con una pendiente de  $-20$  dB/dec.

Se puede observar como a diferencia del OTA no compensado en desvío, el FPB produce una respuesta similar a un FPB con una frecuencia de corte baja de  $97.9$  Hz y una frecuencia de ganancia unitaria mínima de  $11.1$  mHz.

Estas especificaciones de frecuencia mejoran al retroalimentar el OTA. Como se diseñó una retroalimentación capacitiva con ganancia  $100$ , la frecuencia de corte baja mejora hasta  $1.14$  Hz y la frecuencia de corte alta a  $261.7$  KHz.

#### Análisis transitorio

Se utiliza este tipo de análisis para caracterizar la respuesta del OTA con respecto al tiempo. En la figura se muestra la respuesta del sistema con respecto a una función de pulsos cuadrados a la entrada. A través de este análisis se calcula la velocidad de respuesta, que en flanco ascendente es de  $6.6$  V/ $\mu$ s y en flanco descendente es de  $7.3$  V/ $\mu$ s. La velocidad de respuesta de un OTA generalmente se encuentra entre  $1$  y  $20$  V/ $\mu$ s. Cabe señalar que debido al margen de fase obtenido no existe un sobretiro en la respuesta al escalón.

#### PSRR

Igualmente, a través de un análisis de frecuencia se obtiene la PSRR referida a la fuente de alimentación, que es positiva o negativa para este caso de alimentación dual. Debido a la falta de simetría referida a las fuentes ocasionada por las condiciones de polarización, la relación positiva suele ser diferente de la negativa. En la figura 54a se muestra la PSRR referida a la fuente positiva que es de  $67.85$  dB de forma constante hasta los  $200$  kHz y en la figura 54b se muestra la PSRR referida a la fuente negativa que es igual a  $37.31$  dB constante hasta  $200$  kHz. El

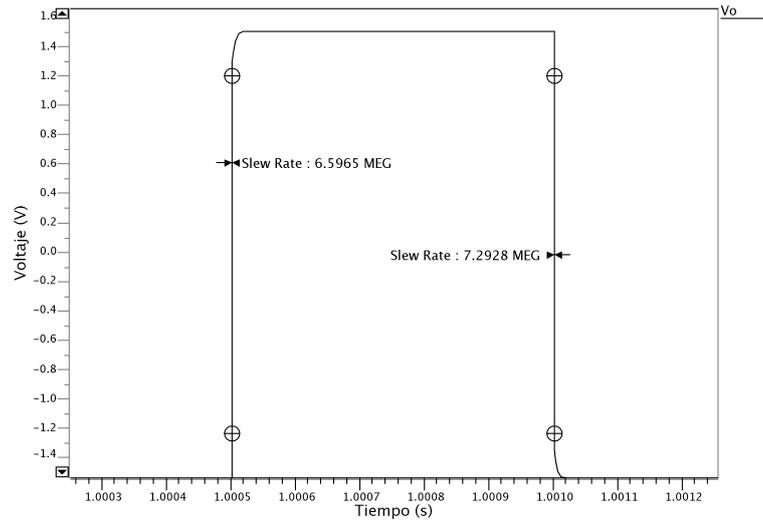


Figura 53: Análisis transitorio de OTA compensado en frecuencia y desvío

valor usual se encuentra alrededor de los 60 dB, lo que significa que el diseño es sensible a variaciones introducidas por medio de la fuente de alimentación negativa.

#### CMRR

Para obtener la CMRR se realiza un análisis en pequeña señal de la relación entre la ganancia de modo común y la ganancia del OTA. Se utilizó un circuito reportado en [37] para la obtención directa de una relación  $1/CMRR$ , la cual se muestra en la figura 55. Como se puede observar, se obtuvo una CMRR constante de 188.3 dB hasta 250 kHz, que es un alto desempeño al modo común con respecto a diseños convencionales que presentan entre 60 y 70 dB.

#### Resistencia de salida

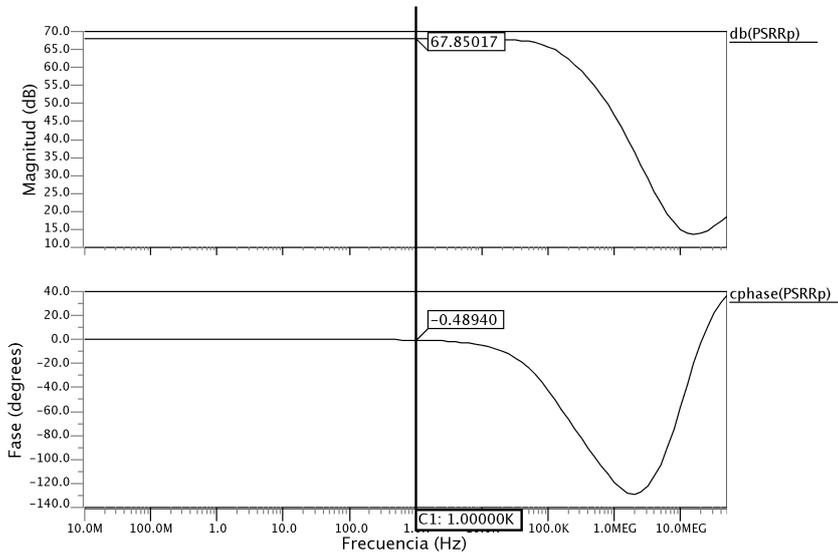
Para simular la resistencia de salida se utiliza una resistencia de carga de prueba  $R_L$  a la salida del OTA. De esta forma, la caída de tensión del voltaje causado por  $R_L$  en un valor de voltaje constante de entrada se puede usar para calcular la resistencia de salida  $R_o$  como:

$$R_o = R_L \left( \frac{V_{o1}}{V_{o2}} - 1 \right) \quad (4.7)$$

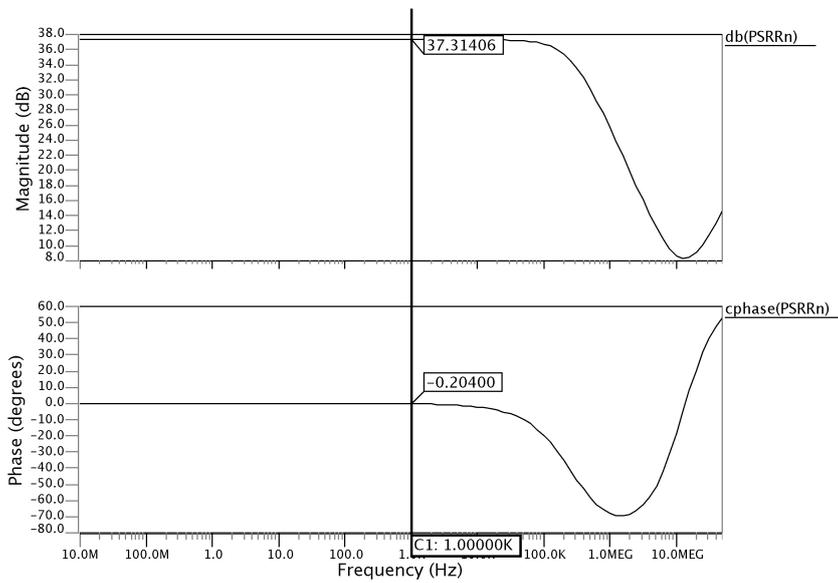
donde  $V_{o1}$  y  $V_{o2}$  son los voltajes de salida sin y con la resistencia de carga respectivamente. En la figura 56 se muestra la simulación para una  $R_L = 20K\Omega$  donde se obtiene una resistencia de salida de 14.4 K $\Omega$ . Este resultado es medianamente grande pero esperado para un OTA.

#### Análisis de ruido

Mediante las herramientas de Eldo, se realizó un análisis de ruido del OTA y se obtuvieron las gráficas mostradas en la figura 57. En la figura 57a se muestra el espectro de ruido, donde se indica una componente de análisis a 1 KHz que resultó en 24.97 nV/ $\sqrt{Hz}$  y un ruido equivalente



(a) Respuesta en frecuencia de PSRR+



(b) Respuesta en frecuencia de PSRR-

Figura 54: PSRR de OTA compensado en frecuencia y desvío

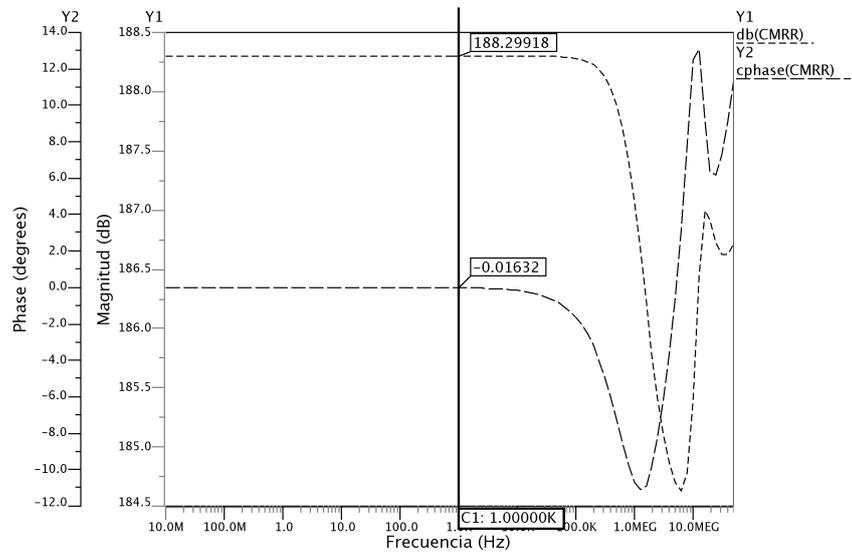


Figura 55: CMRR de OTA compensado en frecuencia y desvío

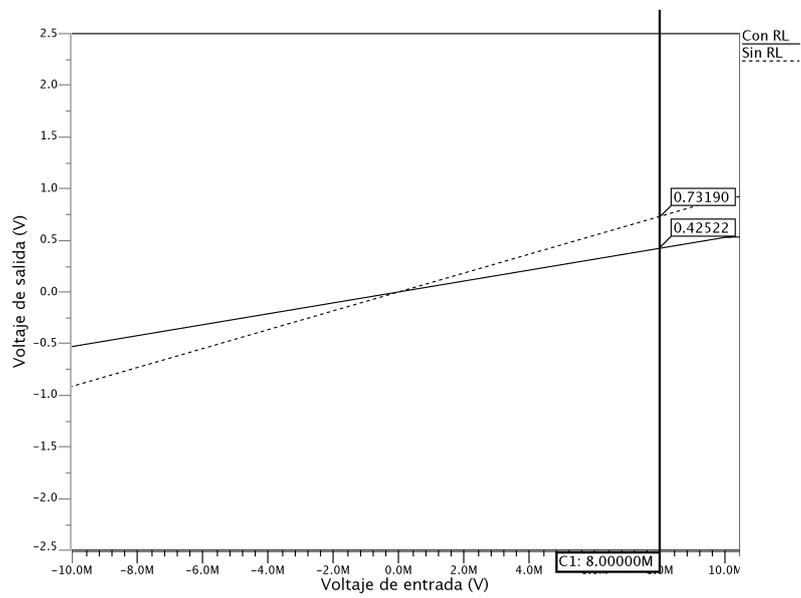


Figura 56: Resistencia de salida de OTA compensado en frecuencia y desvío

de  $122.03 \text{ nV}/\sqrt{\text{Hz}}$  en un ancho de banda de aproximadamente de 1 kHz (5 Hz a 1KHz) el cual se seleccionó similar al reportado en [46].

Un resultado interesante proviene de la comparación entre los espectros de ruido del diseño con y sin compensación de desvío que se muestra en la figura 57b. Se puede observar como la potencia para la región de ruido  $1/f$  del caso compensado es mayor y está de acuerdo al espectro de potencia mostrado en la sección 3.5. Como la ganancia en bajas frecuencias disminuye debido al FPB utilizado como circuito compensador, una predicción intuitiva es que el ruido  $1/f$  también disminuye, caso contrario al resultado obtenido.

#### *Voltaje de desvío*

El cálculo de desvío depende de la discrepancia entre transistores emparejados clave en el diseño que en este caso corresponden al par diferencial y los espejos de corriente. Esta discrepancia se cuantifica mediante la ecuación 3.32 para la variación del voltaje de disparo de cada par y se obtiene la contribución del voltaje de desvío a través de una simulación Monte Carlo. La simulación Monte Carlo consiste iteraciones en el cálculo consecutivo de las condiciones de trabajo variando uno o más parámetros de acuerdo a una distribución de probabilidad.

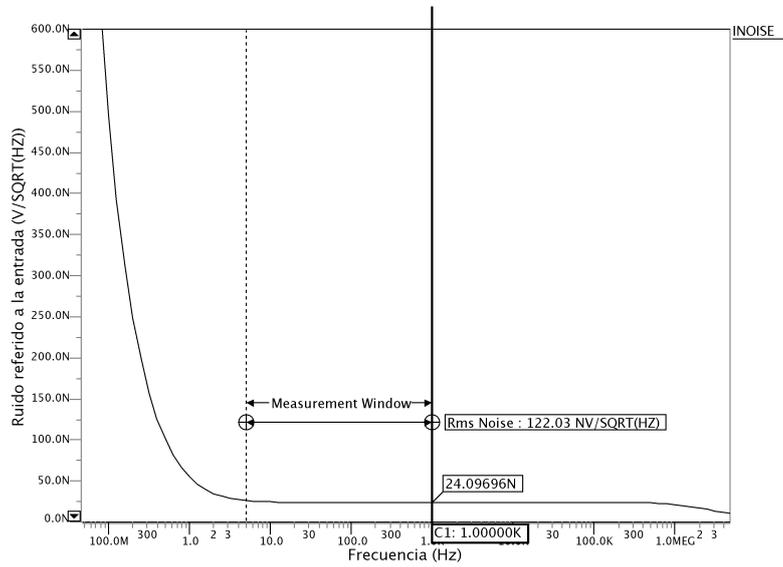
En la figura 58 se muestra una simulación Monte Carlo del OTA compensado y sin compensar. Ahí se ejemplifica como la discrepancia produce voltajes de desvío que de origen saturan al amplificador y como se vuelve a llevar a un punto de operación práctico utilizando la estrategia de compensación de desvío.

Con un análisis del punto de operación se puede obtener el voltaje de desvío por cada muestra. En la figura 59 se muestra el histograma del voltaje de desvío referido a la salida en lazo abierto. De ahí se observó un rango de voltajes de desvío de  $\pm 16\text{mV}$  que corresponde a un desvío referido a la entrada en un rango de  $\pm 0.35\mu\text{V}$ , con una desviación estándar de  $0.12\mu\text{V}$ . Es común acotar el voltaje de desvío  $V_{\text{off,in}}$  como cuatro desviaciones estándar, que es igual a  $0.48\mu\text{V}$ .

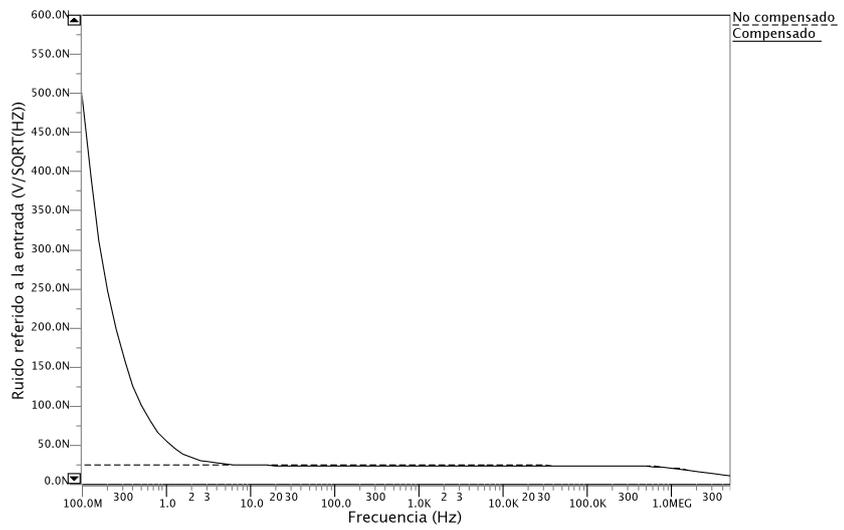
#### *Análisis de temperatura*

En la figura 60 se muestra un análisis de tiempo transitorio donde se realizaron variaciones de temperatura en un rango de 0 a  $70^\circ\text{C}$ , el cual es el rango promedio de temperatura de trabajo para circuitos CMOS ya encapsulados y se indican las amplitudes para los casos de  $0^\circ$ ,  $20^\circ$  y  $70^\circ$ . En un inicio se concluyó que las variaciones de voltaje de corrimiento producidas por la temperatura son componentes en CD que la compensación de desvío elimina. En consecuencia, intuitivamente se esperaban variaciones menores para el diseño compensado que el diseño no compensado, lo cual es el caso contrario al obtenido.

Se requiere un análisis mas exhaustivo para explicar este efecto que esta fuera del objetivo del presente trabajo. Sin embargo una posible causa se puede derivar de los resultados de un análisis en frecuencia mostrado en la figura 61, donde se observa una variación de ganancia con respecto a la temperatura. Las variaciones afectan en mayor medida al filtro de compensación cuyas diferencias en frecuencias de corte son importantes. Como la ganancia para temperaturas altas aumenta hasta



(a) Ruido a 1 KHz y en ancho de banda de 5 Hz a 1 KHz



(b) Comparación de espectro de ruido con y sin estrategia de compensación

Figura 57: Espectro de ruido

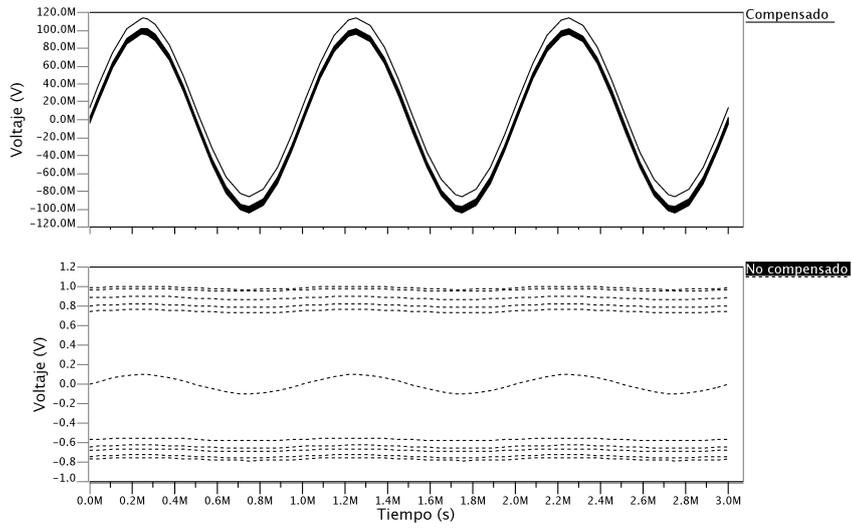


Figura 58: Simulación Monte Carlo de OTA compensado en frecuencia y desvío

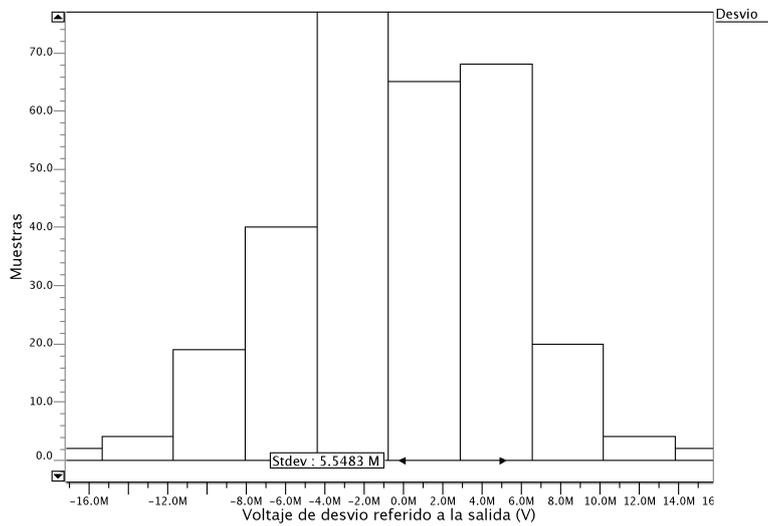


Figura 59: Voltaje de desvío residual de OTA compensado en frecuencia y desvío

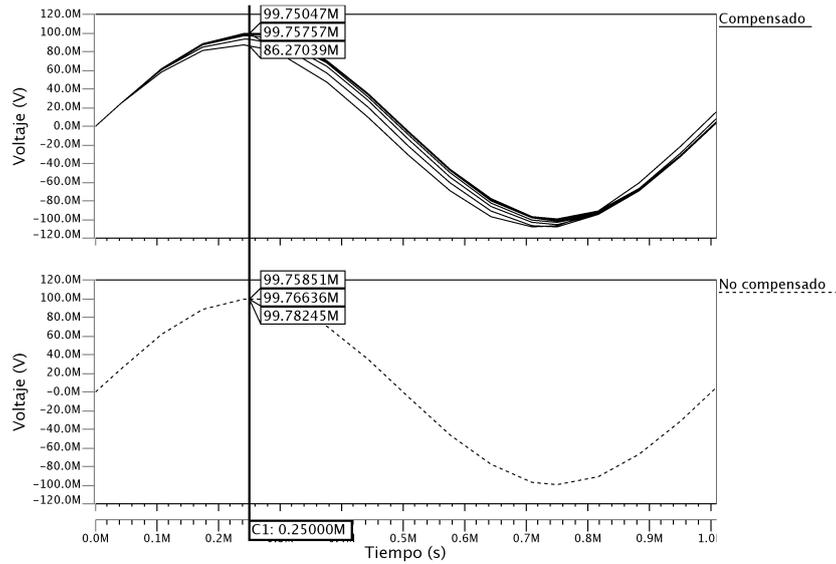


Figura 60: Compensación de efectos de variación de temperatura

frecuencias mayores, existe un error de ganancia finita diferente. Este error se calcula como:

$$A_{V,lc} = \frac{\beta}{1 + \frac{1}{A_V}} \quad (4.8)$$

donde  $A_{V,lc}$  es la ganancia en lazo cerrado,  $\beta$  es el factor de ganancia de retroalimentación y  $A_V$  es la ganancia en lazo abierto. Esta diferencia en la frecuencia de establecimiento de ganancia produce un error en la salida del amplificador, que como depende de la expresión 4.8 no es suficiente para saturar el amplificador como se aprecia en la figura 60.

En la figura 62 se muestran los cambios de voltaje no lineales referidos a la entrada causados por la temperatura. Es importante aclarar que como la amplitud de estas variaciones es mucho menor que la amplitud del voltaje de desvío y como estas no alcanzan (en lazo cerrado) a apartar al amplificador de la región de operación deseada, la temperatura no es un factor crítico de diseño.

#### 4.4 DISEÑO DE OPTIMIZACIÓN DE CONSUMO DE CORRIENTE

En el diseño anterior se tuvo que cumplir con la restricción de compensación de frecuencia. En esta se observó que la relación  $g_{m1}g_{m2}/g_{01}g_{m3}$  tiene que ser pequeña para que sea posible el obtener capacitancias prácticas. Como  $g_{m1}$  tiene que ser grande para reducir el ruido y el desvío y  $g_{m1} \gg g_{01}$ , se tiene por consecuencia que  $g_{m3} \gg g_{m2}$ . Para lograrlo se requiere que la corriente en la etapa de compensación de frecuencia sea grande, lo que presenta una desventaja.

Este diseño propone un cambio en el esquema de compensación de frecuencia de forma tal que la trayectoria de prealimentación se introduce a través terminales extra de transistores de compuerta flotante que forman el par diferencial de la segunda etapa.

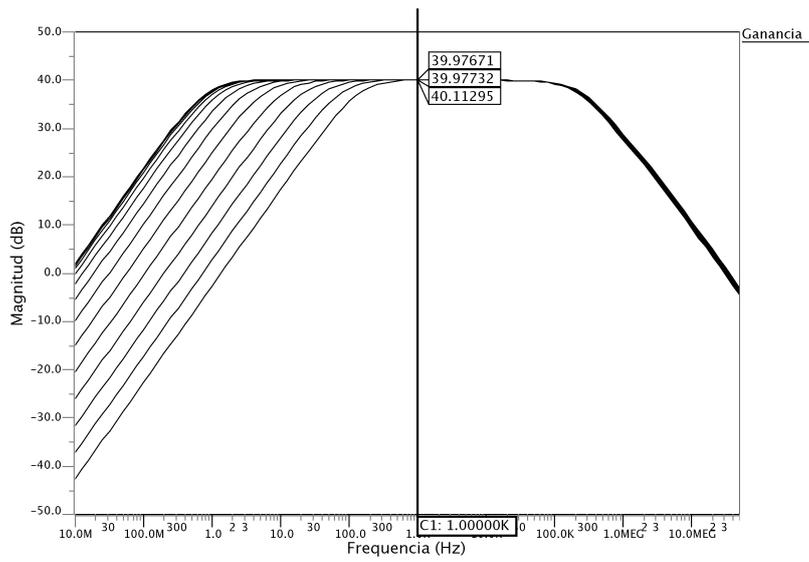


Figura 61: Variación de ganancia por efectos de temperatura

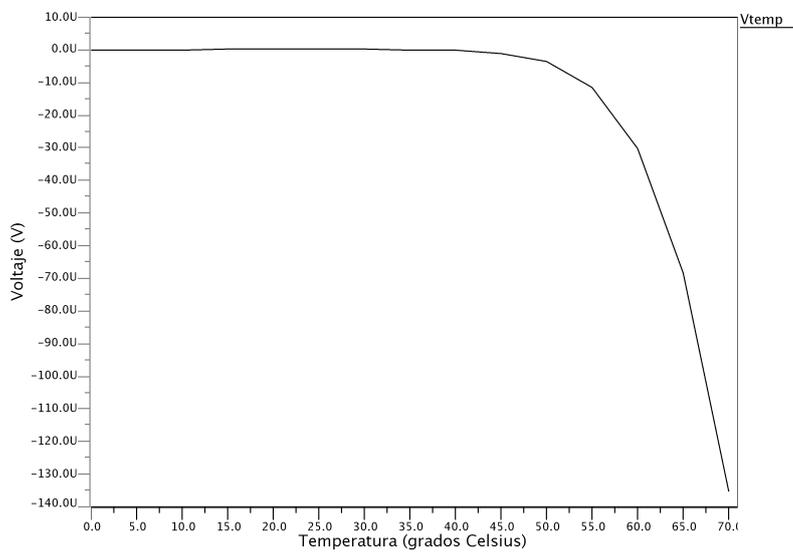


Figura 62: Variación de voltaje referida a la entrada producida por el cambio de temperatura

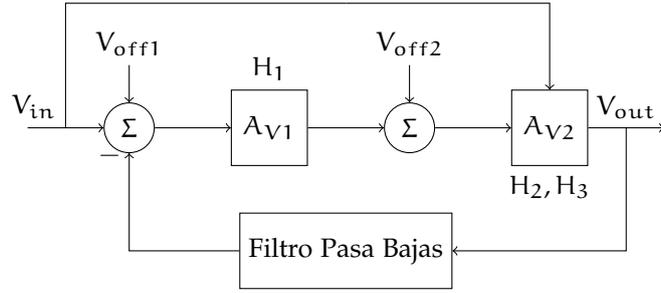


Figura 63: OTA compensado en frecuencia por prealimentación usando transistores de compuerta flotante y compensado en desvío

Se utiliza un OTA totalmente diferencial configurado con retroalimentación capacitiva (figura 63) que es similar al diseño anterior con la diferencia de que está invertido el tipo de los transistores. Usualmente como los diseños se realizan de forma natural con transistores N (por el tipo de sustrato de la tecnología), a los diseños equivalentes invertidos a transistores P se les llama foldeados, por el anglicismo derivado. Se usaron transistores N debido a que la relación entre tamaños y trasconductancia es diferente entre los dos tipos de transistores y fue más eficaz el utilizar transistores N para cumplir la condición de compensación de frecuencia.

#### 4.4.1 Compensación de frecuencia

En la figura 63 se muestra como la etapa de compensación  $H_3$  está combinada con la etapa de ganancia  $H_2$  a causa del uso de los transistores de compuerta flotante, al contrario de como se reporta en la sección 2.1 donde son etapas distintas. La función de transferencia del diagrama de bloques de la figura 63 está dada por:

$$H(s) = A_{V1}A_{V2} \frac{1 + s/(A_{V1}\omega_{p1})}{(1 + s/\omega_{p1})(1 + s/\omega_{p2})} \quad (4.9)$$

$$H_1(s) = \frac{A_{V1}}{1 + s/\omega_{p1}} = \frac{g_{m1}/g_{01}}{1 + sC_{01}/g_{01}} \quad (4.10)$$

$$H_2(s) = H_3(s) = \frac{A_{V2}}{1 + s/\omega_{p2}} = \frac{g_{m2}/g_{02}}{1 + sC_L/g_{02}} \quad (4.11)$$

Como se puede observar,  $H(s)$  tiene una ganancia en CD dado por  $A_V \approx A_{V1}A_{V2}$ , dos polo  $\omega_{p1}$  y  $\omega_{p2}$  y el cero creado por la trayectoria de compensación. El polo  $\omega_{p2}$  se cancela con el cero si  $\omega_{p2} = A_{V1}\omega_{p1}$ , o de forma equivalente si  $C_{01} = g_{m1}C_L/g_{02}$ . De esta forma, para obtener valores prácticos en  $C_{01}$  y  $C_L$ , se requiere que  $g_{m1}/g_{02}$  sea lo más pequeño posible. Esta reducción en la expresión de cancelación es gracias a que las etapas  $H_2$  y  $H_3$  son la misma, por lo tanto comparten la misma trasconductancia y  $g_{m2}/g_{m3} = 1$ . De esta forma es relativamente más sencillo hacer una cancelación adecuada y no se gasta corriente extra en una etapa de compensación separada.

#### 4.4.2 Etapas de ganancia

La figura 64 muestra la implementación de esta estrategia. Se utiliza la misma topología de dos etapas de ganancia completamente diferencial

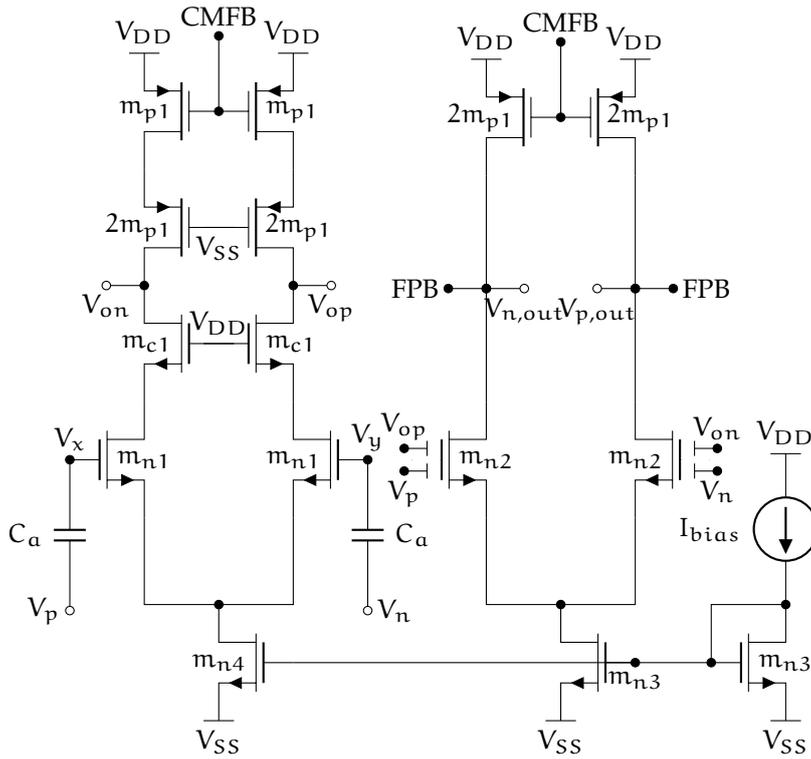


Figura 64: Circuito OTA totalmente diferencial compensado en frecuencia por prealimentación mediante transistores de compuerta flotante y compensado en desvío

utilizando un amplificador telescópico, sin embargo el circuito está en configuración *no foldeada*. De la misma forma que en el caso anterior, los dos circuitos CMFB son similares a los reportados en [14], e igualmente los detalles del diseño se han omitido por simplicidad.

La metodología de diseño y las expresiones de cálculo de dimensiones utilizadas son las mismas que se presentaron en la sección 4.3.2 con el respectivo cambio de parámetro  $K_{n,p}$  y con la excepción de que no se calcula la tercera etapa  $H_3$ .

Por el contrario,  $H_3$  es la representación de la trayectoria de compensación a través de un transistor de compuerta flotante de dos entradas. Este transistor ocupa dos capacitores,  $C_{g1}$  y  $C_{g2}$  para ponderar las entradas en la compuerta como se muestra en la figura 65. A partir de la ecuación 3.22 y como se desea que  $g_{m2} = g_{m3}$ , en consecuencia se obtiene que:

$$g_{m2} = \frac{C_{g1}}{C_T} g_m$$

$$g_{m3} = \frac{C_{g2}}{C_T} g_m$$

$$C_{g1} = C_{g2}$$

lo que significa que las capacitancias del transistor de compuerta flotante son iguales.

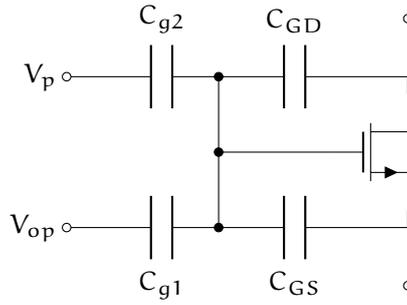


Figura 65: Transistor de compuerta flotante para compensación de frecuencia

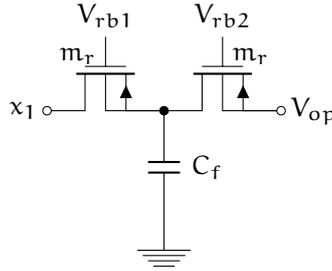


Figura 66: Circuito de compensación de desvío

4.4.3 Compensación de desvío

De la misma forma que el diseño anterior, el efecto del voltaje de desvío se se compensa utiliza la técnica detallada en la sección 4.3.3. En la figura 66 se muestra el circuito electrónico de esta implementación, que corresponde a un filtro RC de segundo orden. El usar un filtro de segundo orden es una mejora en este diseño que incrementa la velocidad de respuesta de la compensación y asegura que el circuito esta listo para operar más rápido. La función de transferencia para el FPB de segundo orden es:

$$H_{\text{coff}}(s) = \frac{1}{\zeta_1 s^2 + \zeta_2 s + 1} \tag{4.12}$$

$$\zeta_1 = R_{m_r1} R_{m_r2} C_f C_1$$

$$\zeta_2 = R_{m_r1} C_f + R_{m_r2} C_1 + R_{m_r1} C_1$$

Donde  $R_{m_r1}$  es la resistencia del transistor  $m_r$  polarizado con el voltaje  $V_{rb1}$  y  $R_{m_r2}$  es la resistencia activa polarizada con el voltaje  $V_{rb2}$ .  $C_f$  es un capacitor intermedio para conseguir el filtro de segundo orden cuyo valor se propuso de 1 pF por practicidad.

4.4.4 Especificaciones físicas

En la tabla 6 se muestran los valores de los parámetros de diseño que se obtuvieron a partir de la metodología anterior. Al contrario del caso anterior, no se realizó un diseño físico del dispositivo pues se decidió que la prueba del concepto de optimización no necesitaba ir más allá de una simulación.

PARAMETRO	VALOR
Corriente de polarización [ $\mu\text{A}$ ]	
$I_B$	160
Voltajes de alimentación [V]	
$V_{DD}, V_{SS}$	1.65, -1.65
Dimensiones de transistor W/L [ $\mu\text{m}/\mu\text{m}$ ]	
$m_{n1}, m_{n2}, m_{n3}, m_{n4}, m_{c1}, m_{p1}, m_r$	120/1.2, 48/0.6, 96/1.2, 12/1.2, 48/1.2, 24/1.2, 6/6
Capacitores [pF]	
$C_1, C_f, C_g, C_L$	10, 100000, 10, 2

Tabla 6: Especificaciones de diseño B de OTA

#### 4.4.5 Resultados

##### *Análisis en CA*

El análisis en CA del diseño optimizado en consumo de corriente se muestra en la figura 67. Con este diseño se obtuvo una ganancia en lazo abierto de 98.47 dB con un GBW de 71 MHz y un margen de fase de 89.67°. La frecuencia de corte alta es de 535.43 Hz, mientras que la frecuencia de corte baja, debida al circuito de compensación, es de 98.9 mHz. Para una configuración en lazo cerrado de ganancia 40 dB estas características mejoran a una frecuencia de corte alta de 968.82 KHz y una frecuencia de corte baja de 2.8 mHz.

Debido a la respuesta en frecuencia del filtro de segundo orden utilizado como circuito de compensación de desvío, se observa un sobretiro, sin embargo a partir de 100 mHz la respuesta en frecuencia no presenta variaciones con respecto a un sistema de primer grado.

##### *Análisis transitorio*

En la figura 68 se muestra el análisis transitorio del diseño optimizado en consumo de corriente. Se obtuvo una velocidad de respuesta en flanco ascendente de 13.96 V/ $\mu\text{s}$  y en flanco descendente de 9.82 V/ $\mu\text{s}$ . Una vez más, debido al margen de fase casi ideal no se presenta sobretiro alguno.

##### *PSRR*

En la figura 69a se muestra el análisis en frecuencia correspondiente a la fuente positiva. Se obtuvo una PSRR de 106.5 dB con una frecuencia de corte (-3dB) de 662 Hz. Mientras que en la figura 69b se muestra el análisis en frecuencia que corresponde a la fuente negativa. Se obtuvo una PSRR de 124.4 dB con una frecuencia de corte de 1.7 k. Esta mejora se debe a los tamaños de los transistores tipo n utilizados en la polarización de cada etapa del circuito.

##### *CMRR*

En la figura 70 se muestra el análisis en frecuencia correspondiente a la CMRR del diseño optimizado en consumo de corriente. Se puede

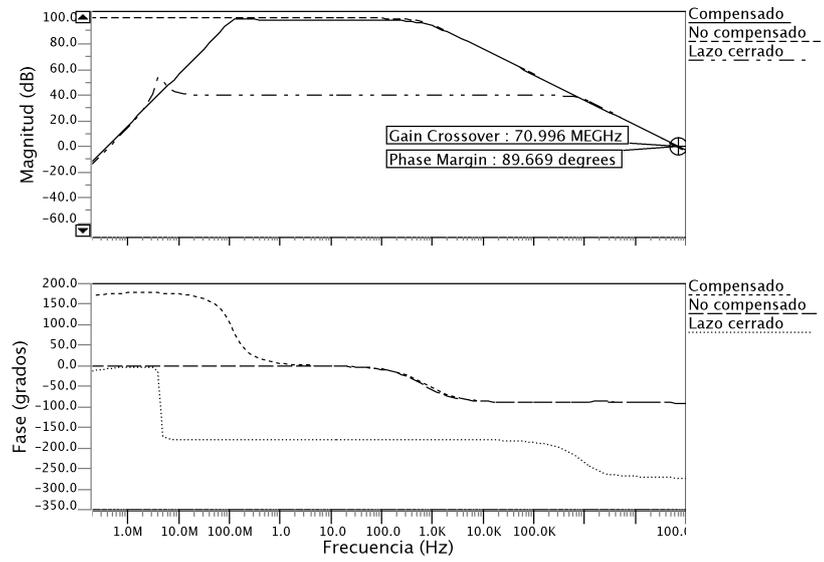


Figura 67: Análisis de CA de OTA con consumo de corriente optimizado

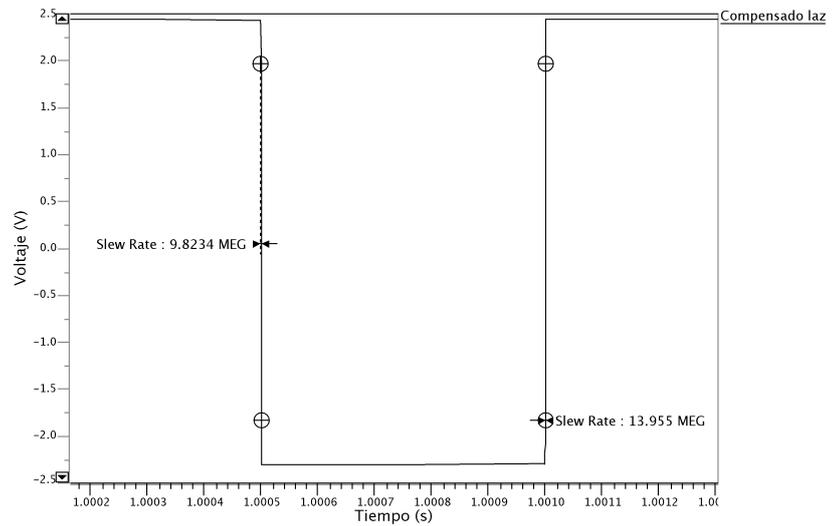
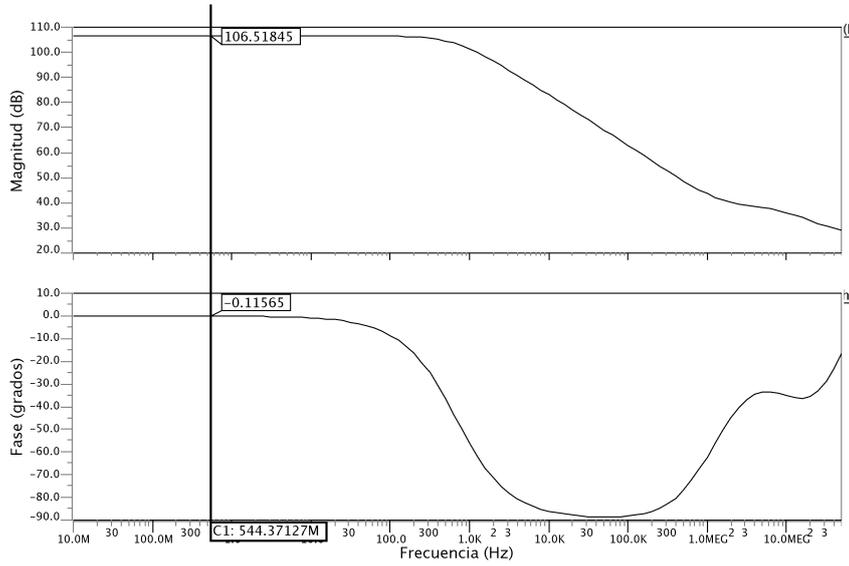
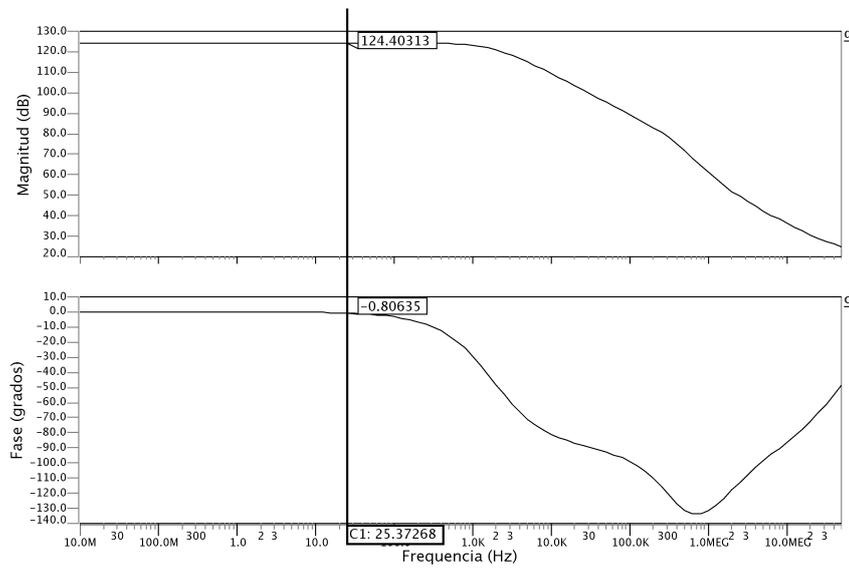


Figura 68: Análisis transitorio de OTA optimizado en consumo de corriente



(a) Respuesta en frecuencia de PSRR+



(b) Respuesta en frecuencia de PSRR-

Figura 69: PSRR de OTA optimizado en consumo de corriente

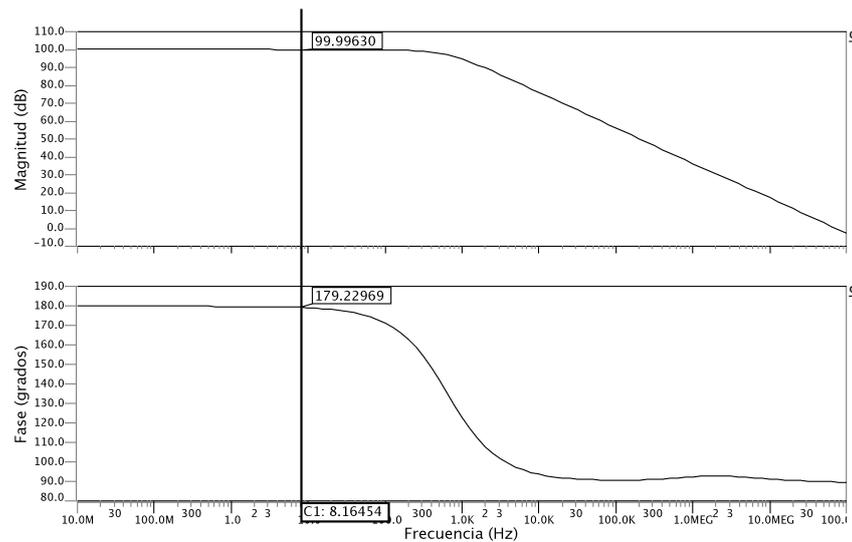


Figura 70: CMRR de OTA compensado en frecuencia y desvío optimizado en consumo de corriente

observar que se obtuvo una magnitud de 100 dB constante hasta una frecuencia de 632 Hz. Lo que resulta ser mayor al desempeño habitual de 60-70 dB.

#### *Resistencia de salida*

En la figura 71 se observa un análisis en CD para obtener la resistencia de salida del diseño. Se utilizó una resistencia de prueba de 20 K $\Omega$  y de acuerdo a la ecuación 4.7 se obtuvo una resistencia de salida de 817.17 $\Omega$ .

#### *Análisis de ruido*

En la figura 72a se muestra un análisis de ruido en frecuencia mediante Eldo. Se obtuvo una especificación de ruido de 20.55 nV/ $\sqrt{\text{Hz}}$  para una frecuencia de 1 KHz y un ruido equivalente de 44.8 nV/ $\sqrt{\text{Hz}}$  para un rango de 1 KHz (1-2 KHz). Se puede observar como la frecuencia de codo para el ruido 1/f se encuentra dentro del rango de operación (250 Hz) para aplicaciones de baja frecuencia. Por lo tanto este diseño es más sensible al ruido 1/f. Esto último se enfatiza en la figura 72b donde se presenta una comparación de los espectros de potencia de ruido para el diseño de OTA con y sin compensación. Es de notar como la estrategia de compensación de desvío reduce el desempeño a ruido de bajas frecuencias.

#### *Voltaje de desvío*

En la figura 73 se presenta un análisis transitorio de la respuesta del diseño con y sin incluir el circuito de compensación de desvío. Las variaciones de los voltajes de disparo se calcularon mediante la ecuación 3.32. Aquí se enfatiza como la compensación de desvío impide la saturación del amplificador a partir de la predicción de variaciones de proceso. Por lo tanto, en la figura 74 se muestra un histograma que

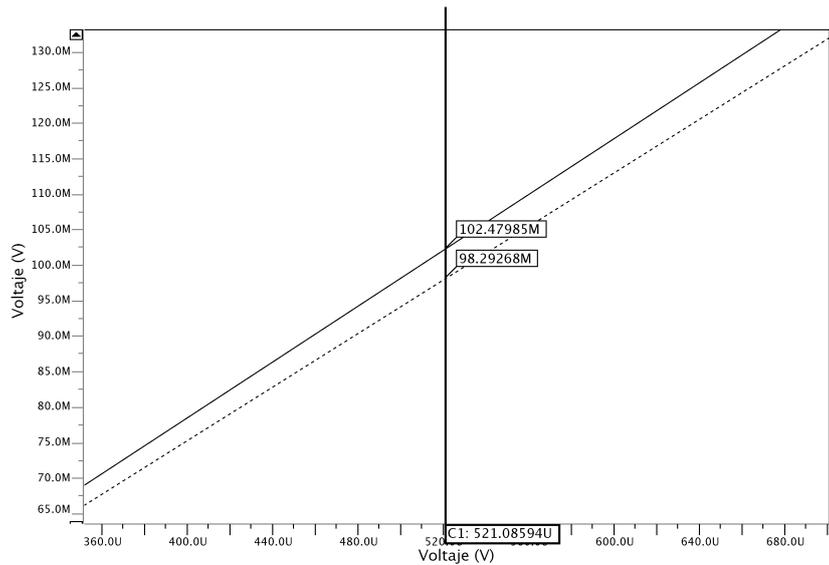


Figura 71: Resistencia de salida de OTA compensado en frecuencia y desvío optimizado en consumo de corriente

corresponde al voltaje de desvío referido a la salida en lazo abierto. Se observa un rango de voltajes de desvío de  $-8$  mV a  $6$  mV que corresponde a un rango de desvío referido a la entrada de  $-80$  nV a  $60$  nV con una desviación estándar de  $24$  nV. Esto se traduce en un voltaje de desvío referido a la entrada de  $96.4$  nV.

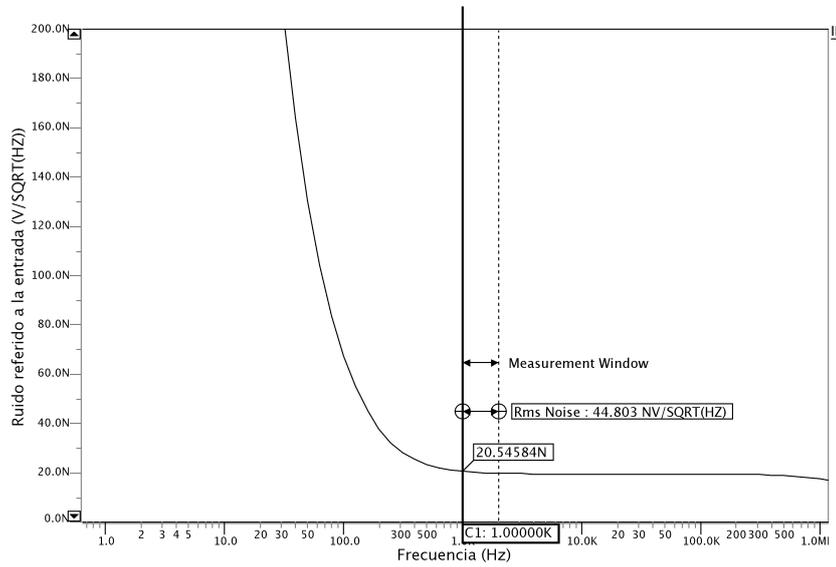
#### Análisis de temperatura

En la figura 75 se muestra un análisis transitorio de los efectos de temperatura en el OTA optimizado en consumo de corriente con y sin circuito de compensación de desvío. Las condiciones de temperatura varían con respecto a un rango estándar de operación de  $0$  a  $70^{\circ}\text{C}$ . En este caso se observa que las contribuciones de la temperatura se traducen únicamente a componentes de desvío, por lo que se observa una variación solo en la instancia no compensada.

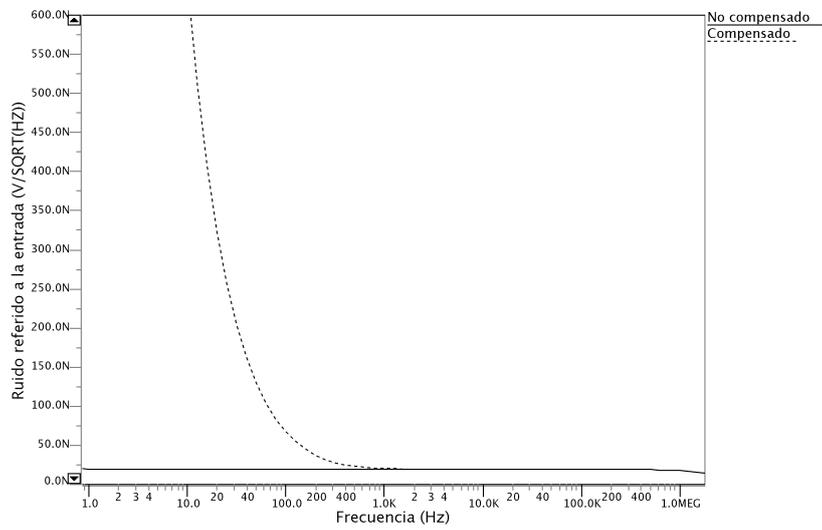
En la figura 76 se muestra un análisis en frecuencia dependiente de la temperatura. Se puede observar como las variaciones importantes se encuentran en la respuesta en frecuencia del circuito de compensación de desvío. Es importante aclarar que estas variaciones se deben al comportamiento de los transistores en la región de subumbral.

#### 4.5 OTA COMPENSADO EN FRECUENCIA Y DESVÍO UTILIZANDO REUTILIZACIÓN DE CORRIENTE

Usualmente el ancho de banda de un amplificador es directamente proporcional a su consumo de potencia. Al incorporar transistores de compuerta flotante se permite el uso de una compensación de frecuencia por prealimentación sin aumentar el consumo de potencia debido a la etapa de transconductancia extra necesaria. Una alternativa reportada en [20] propone la reutilización de la corriente de polarización para utilizar la carga activa de un amplificador como una etapa extra de transconductancia y asegurando que no se consume potencia extra.



(a) Ruido a 1 KHz y en ancho de banda de 1-2 KHz



(b) Comparación de espectro de ruido con y sin estrategia de compensación

Figura 72: Espectro de ruido de OTA optimizado en consumo de corriente

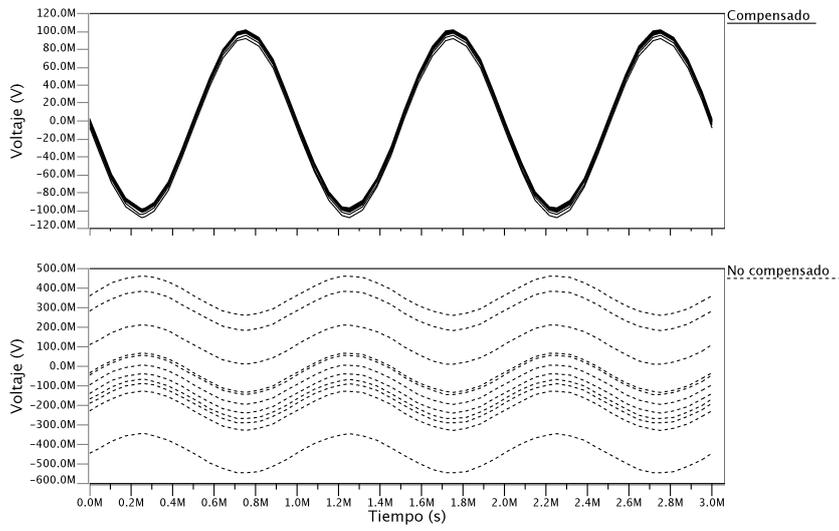


Figura 73: Simulación Monte Carlo de OTA optimizado en consumo de corriente con y sin compensación de desvío

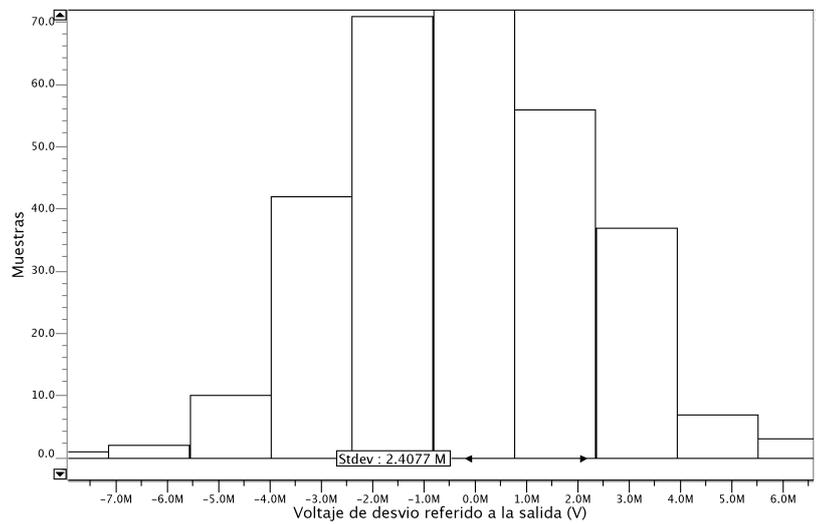


Figura 74: Voltaje de desvío residual de OTA compensado en frecuencia y desvío optimizado en consumo de corriente

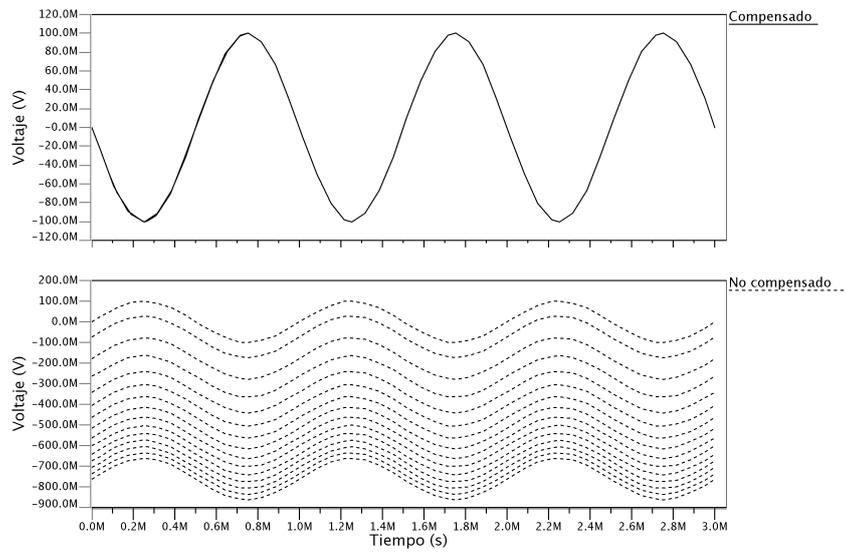


Figura 75: Análisis de efectos de variación de temperatura

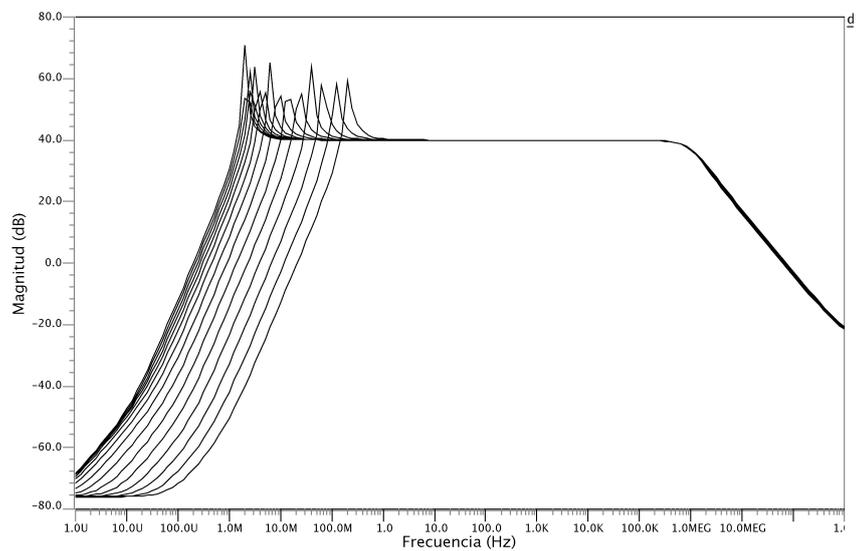


Figura 76: Variación de ganancia por efectos de temperatura

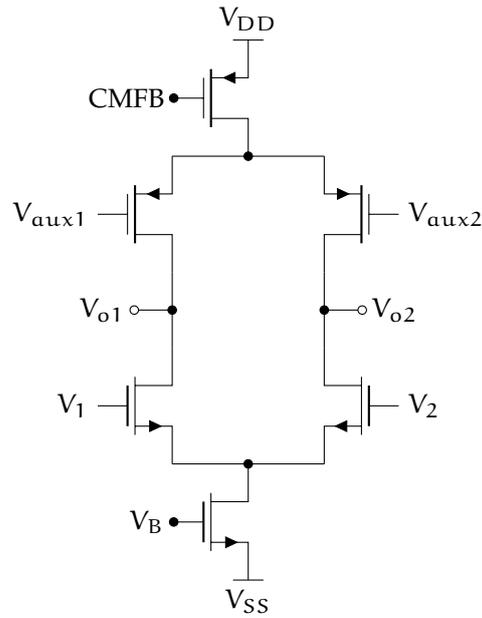


Figura 77: Concepto de reutilización de corriente

En la figura 77 se muestra una etapa de ganancia a la que se añade una segunda etapa a través de una reutilización de corriente. Como se observa, la carga dinámica se sustituye por un par diferencial encontrado con transistores de tipo inverso. Las corrientes entre los dos pares diferenciales se utilizan como salida de cambio entre el desbalance de los voltajes de entrada de ambos. Para un par diferencial se sabe que  $\Delta I = g_m \Delta V$ , por lo que el cambio a la salida del bloque es  $\Delta I - \Delta I'$ , donde  $\Delta I'$  es el cambio de corriente ocasionado por el par diferencial extra. Entonces la relación con respecto al voltaje resulta:

$$\Delta I_{reu} = g_m \Delta V - g'_m \Delta V' \quad (4.13)$$

Debido a que se trata de un diseño completamente diferencial, es necesario añadir un CMFB para el transistor de polarización.

En este diseño se propone utilizar esta técnica para incorporar una compensación de frecuencia por prealimentación y una compensación de desvío utilizando una etapa de transconductancia para mejorar el tiempo de cancelación.

En la figura 78 se muestra el diagrama de bloques de la propuesta. Al contrario de los diseños anteriores, se muestra la etapa de transconductancia extra  $H_4$ , la cual introduce una componente de desvío.

#### 4.5.1 Compensación de frecuencia

En la figura 78 se muestra la trayectoria directa de prealimentación para la compensación en frecuencia. Considerando que  $R_1$  y  $C_1$  son la resistencia y la capacitancia de salida para la etapa  $H_1$  y de manera análoga  $R_2$  y  $C_2$  para la etapa  $H_2$  se obtienen los polos para un OTA de dos etapas como  $\omega_1 = 1/R_1 C_1$  y  $\omega_2 = R_2 C_2$  y las ganancias de cada etapa como  $|A_{V1}| = g_{m1} R_1$  y  $|A_{V2}| = g_{m2} R_2$ . Como se indica en la figura 78 la etapa de compensación  $H_3$  reutiliza la carga activa de  $H_2$ ,

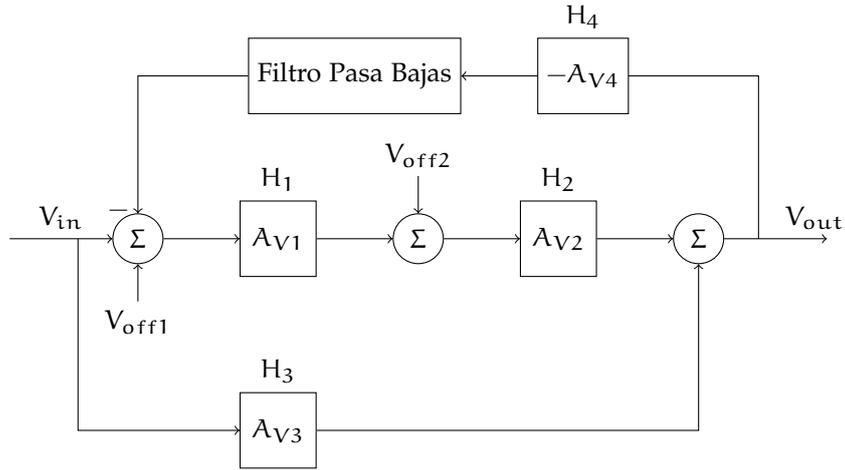


Figura 78: Diagrama de bloques de OTA compensado en frecuencia y desvío utilizando reutilización de corriente

por lo tanto su ganancia es  $|A_{V3}| = g_{m3}R_2$ . En consecuencia, la función de transferencia del sistema es:

$$H(s) = -\frac{(A_{V1}A_{V2} + A_{V3}) \left[ 1 + \frac{A_{V3}s}{(A_{V1}A_{V2} + A_{V3})\omega_1} \right]}{\left( 1 + \frac{s}{\omega_1} \right) \left( 1 + \frac{s}{\omega_2} \right)} \quad (4.14)$$

Por lo tanto para cancelar  $\omega_2$  con el cero, se necesita que:

$$\frac{1}{\omega_2} = \frac{A_{V3}}{(A_{V1}A_{V2} + A_{V3})\omega_1}$$

Considerando que  $A_{V1}A_{V2} \gg A_{V3}$  y que  $C_2$  es realmente la capacitancia de carga  $C_L$  se obtiene:

$$C_L = \frac{g_{m3}g_{02}}{g_{m1}g_{m2}} C_1 \quad (4.15)$$

Donde la ecuación 4.15 es la restricción para la compensación de frecuencia. Se puede observar como la restricción es independiente de la conductancia (o resistencia) de salida de la primera etapa, por lo que se puede diseñar como una etapa de alta ganancia. Por el contrario, como es directamente proporcional a  $g_{02}$ , la segunda etapa debe tener una ganancia moderada lo que significa no incluir cascos.

#### 4.5.2 Etapas de ganancia

En la figura 79 se muestra la implementación de un OTA compensado en frecuencia y desvío con reutilización de corriente. Se utilizó la misma metodología de diseño para OTA de dos etapas de las secciones anteriores, sin embargo la topología resultante es diferente. La primera etapa consiste en un amplificador con reutilización de corriente y cascos para conseguir alta ganancia. El par diferencial extra se utiliza como entrada auxiliar para la compensación de desvío. La segunda etapa también incorpora el concepto de reutilización, sin embargo para satisfacer la restricción de frecuencia se omiten los cascos para obtener una ganancia moderada. En el puerto auxiliar de entrada se

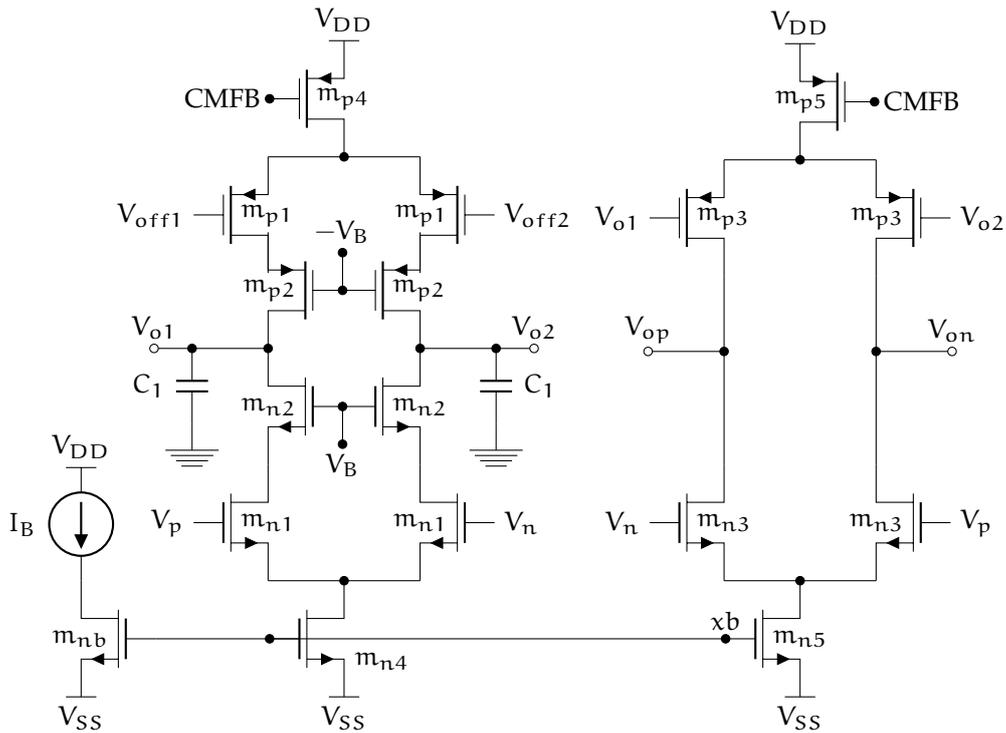


Figura 79: Circuito de OTA compensado en frecuencia y desvío con reutilización de corriente

introduce la trayectoria de prealimentación lo que también elimina la necesidad de una etapa extra y también disminuye el consumo de corriente.

Como las etapas son completamente diferenciales se utilizan CMFB's para retroalimentar al modo común. En este caso, el CMFB modifica el voltaje de compuerta del transistor de polarización para que la corriente se ajuste de modo que el punto de referencia a la salida sea cero.

#### 4.5.3 Compensación de desvío

De acuerdo a la figura 78, la estrategia de compensación de desvío incorpora una etapa de transconductancia, la relación correspondiente 4.1 no es válida. Por lo tanto, a través de un análisis análogo al de la sección 4.2 se obtiene que al considerar el voltaje de entrada como cero, el voltaje de desvío referido a la entrada es:

$$V_{\text{off|ent}} = \frac{V_{\text{off1}}}{A_{V2}A_{V4}} + \frac{V_{\text{off3}}A_{V3}}{A_{V1}A_{V2}^2A_4} - \frac{V_{\text{off2}}}{A_{V1}A_{V2}A_{V3}} - \frac{V_{\text{off4}}}{A_{V1}A_{V2}}$$

$$V_{\text{off|ent}} \approx \frac{V_{\text{off1}}}{A_{V2}A_{V4}} - \frac{V_{\text{off4}}}{A_{V1}A_{V2}} \quad (4.16)$$

De la ecuación 4.16 se observa que la etapa de transconductancia introduce una componente de desvío importante. Como se analizó para la compensación de frecuencia,  $A_{V2}$  no puede ser muy grande por lo que para reducir el voltaje de desvío residual,  $A_{V1}$  y  $A_{V4}$  tienen que tener alta ganancia. En este caso, como la compensación de frecuencia no restringe la ganancia de  $A_{V1}$ , se utilizó el mismo diseño de alta ganancia para  $H_1$  y  $H_4$ .



PARAMETRO	VALOR
Corriente de polarización [ $\mu\text{A}$ ]	
$I_B$	20
Voltajes de alimentación [V]	
$V_{DD}, V_{SS}, V_B$	1.65, -1.65, 0.5
Dimensiones de transistor W/L [ $\mu\text{m}/\mu\text{m}$ ]	
$m_{n1}, m_{n2}, m_{n3}, m_{n4}, m_{n5},$ $m_{p1}, m_{p2}, m_{p3}, m_{p4}, m_{p5},$ $m_{nb}, m_r$	160/1.2, 40/1.2, 160/1.2, 80/1.2, 720/1.2, 80/1.2, 80/1.2, 40/1.2, 160/1.2, 1440/1.2, 80/1.2, 6/6
Capacitores [pF]	
$C_1, C_2, C_L$	1, 1000000, 1

Tabla 7: Especificaciones de diseño C de OTA

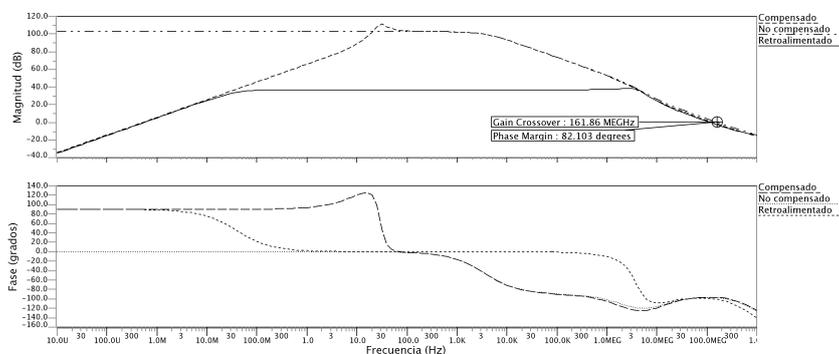


Figura 81: Análisis de CA de OTA con reutilización de corriente

A pesar de utilizar un filtro de segundo orden, no se observa sobretiro en la respuesta pasa banda en lazo cerrado para la frecuencia de corte baja.

#### Análisis transitorio

En la figura 82 se muestra el análisis transitorio del diseño con reutilización de corriente. Se obtuvo una velocidad de respuesta en flanco ascendente de  $20.69 \text{ V}/\mu\text{s}$  y en flanco descendente de  $61.27 \text{ V}/\mu\text{s}$ . Debido a esta velocidad, la respuesta en tiempo presenta sobretiros y un tiempo de establecimiento.

#### PSRR

En la figura 83a se muestra el análisis en frecuencia correspondiente a la razón de rechazo de variaciones en fuente positiva. Se obtuvo una PSRR de 98.96 dB con una frecuencia de corte (-3dB) de 4.41 KHz. Mientras que en la figura 83b se muestra el análisis en frecuencia que corresponde a la fuente negativa. Se obtuvo una PSRR de 112.41 dB con una frecuencia de corte de 77 KHz.

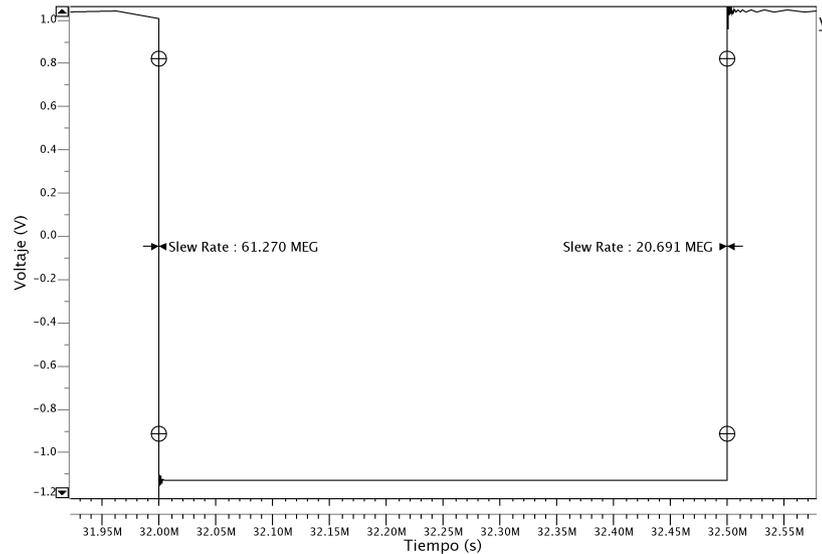


Figura 82: Análisis transitorio de OTA optimizado en consumo de corriente

### CMRR

En la figura 84 se muestra el análisis en frecuencia correspondiente a la CMRR del diseño con reutilización de corriente. Se puede observar que se obtuvo una magnitud de 102.58 dB constante hasta una frecuencia de 3.56 KHz. Lo que resulta ser mayor al desempeño habitual de 60-70 dB.

### Resistencia de salida

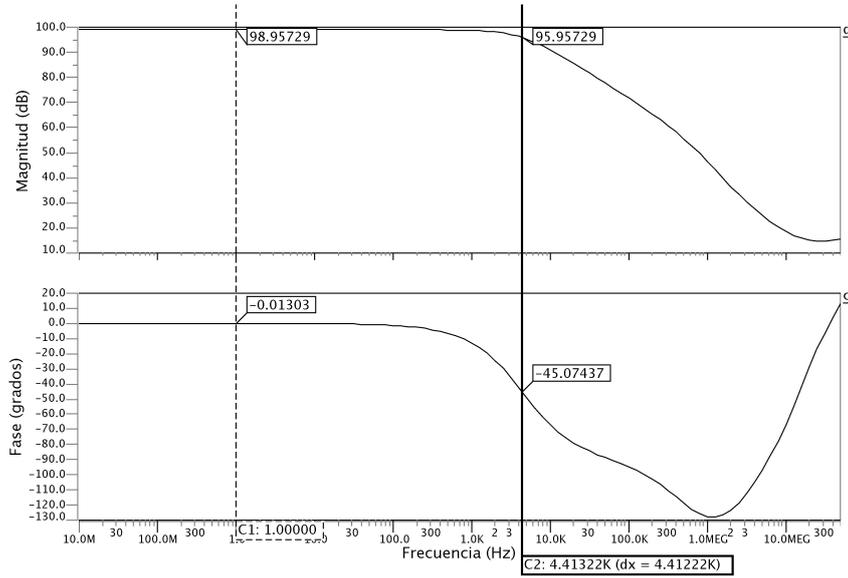
En la figura 85 se observa un análisis en CD para obtener la resistencia de salida del diseño. Se utilizó una resistencia de prueba de 20 K $\Omega$  y de acuerdo a la ecuación 4.7 se obtuvo una resistencia de salida de 488.67 $\Omega$ .

### Análisis de ruido

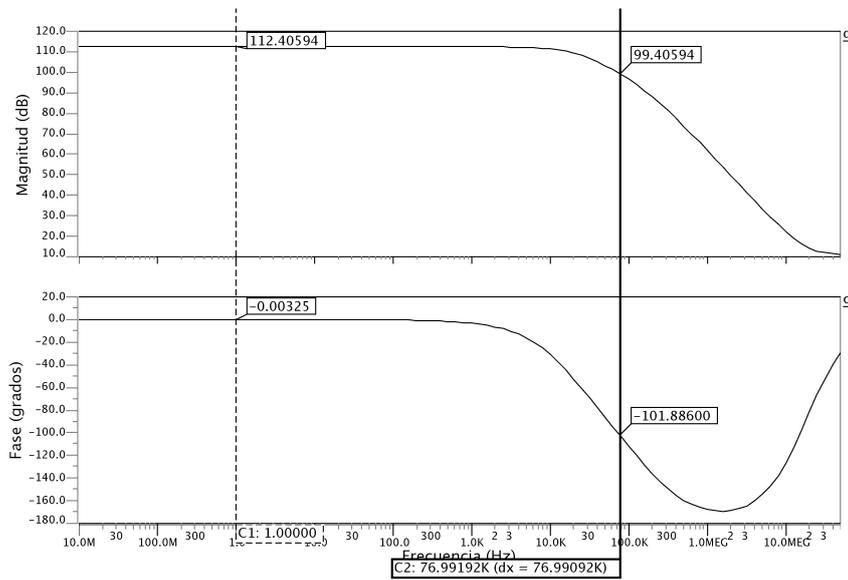
En la figura 86a se muestra un análisis de ruido en frecuencia mediante Eldo. Se obtuvo una especificación de ruido de 16.49 nV/ $\sqrt{\text{Hz}}$  para una frecuencia de 1 KHz y un ruido equivalente de 82.44 nV/ $\sqrt{\text{Hz}}$  para un rango de 1 KHz (5 Hz - 1 KHz). De manera óptima, la frecuencia de codo del ruido  $1/f$  se encuentra por debajo de 1 mHz. De la misma forma que en diseños anteriores, en la figura 86b se presenta una comparación de los espectros de potencia de ruido para el diseño de OTA con y sin compensación donde se observa como la estrategia de compensación de desvío reduce el desempeño a ruido de bajas frecuencias.

### Voltaje de desvío

En la figura 87 se presenta un análisis transitorio de la respuesta del diseño con y sin incluir el circuito de compensación de desvío. Las variaciones de los voltajes de disparo se calcularon, como hasta ahora, mediante la ecuación 3.32. Se enfatiza como la compensación de



(a) Respuesta en frecuencia de PSRR+



(b) Respuesta en frecuencia de PSRR-

Figura 83: PSRR de OTA con reutilización de corriente

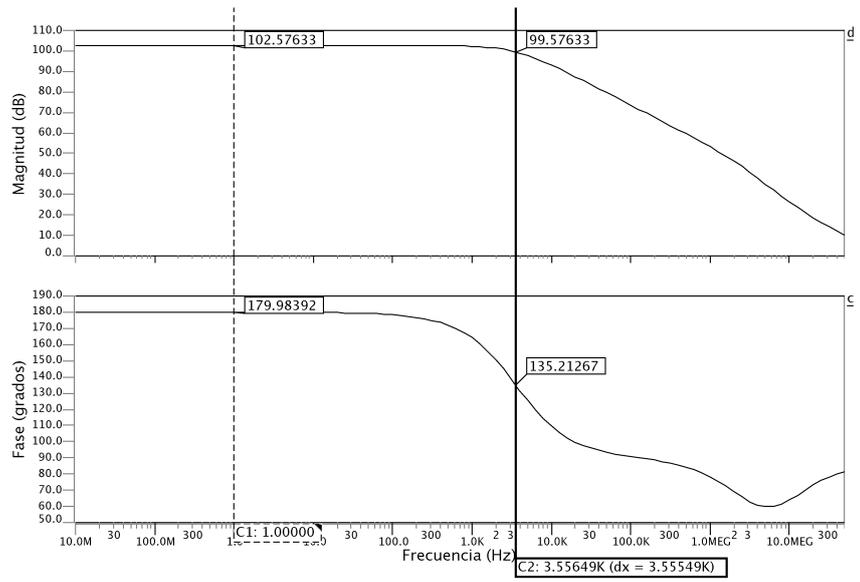


Figura 84: CMRR de OTA compensado en frecuencia y desvío con reutilización de corriente

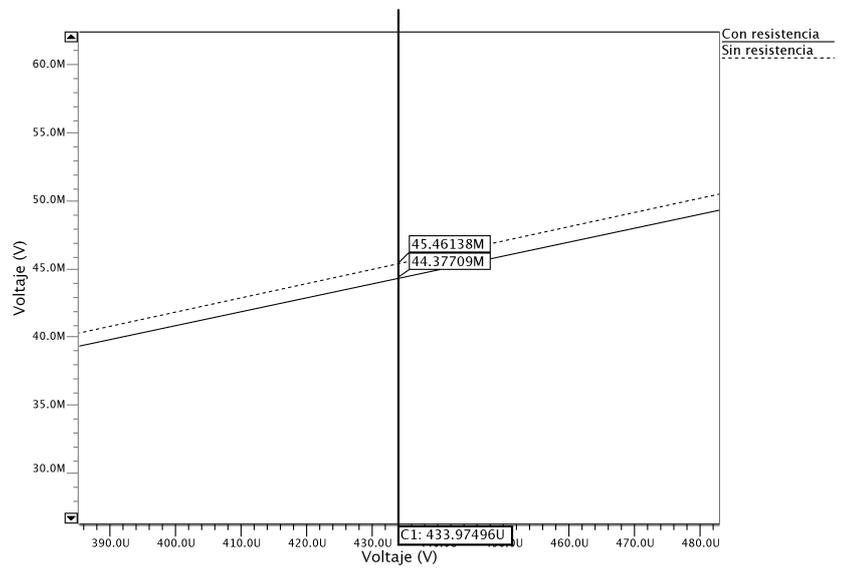
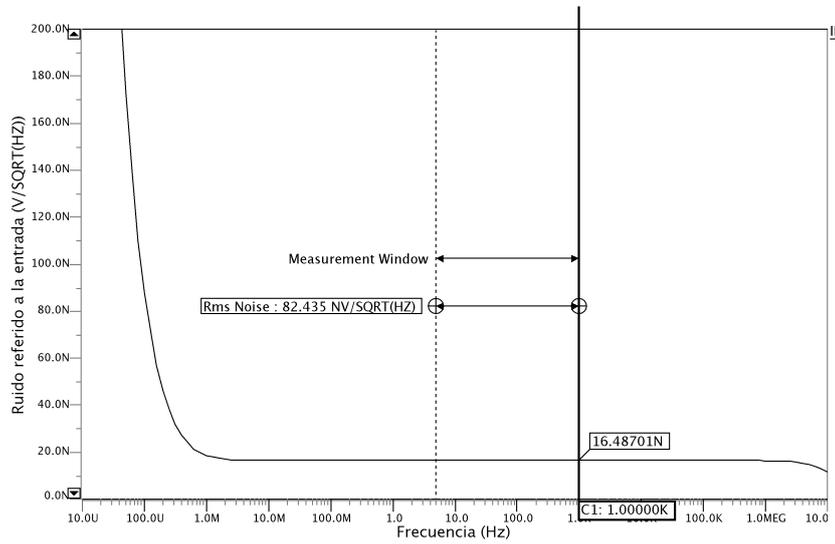
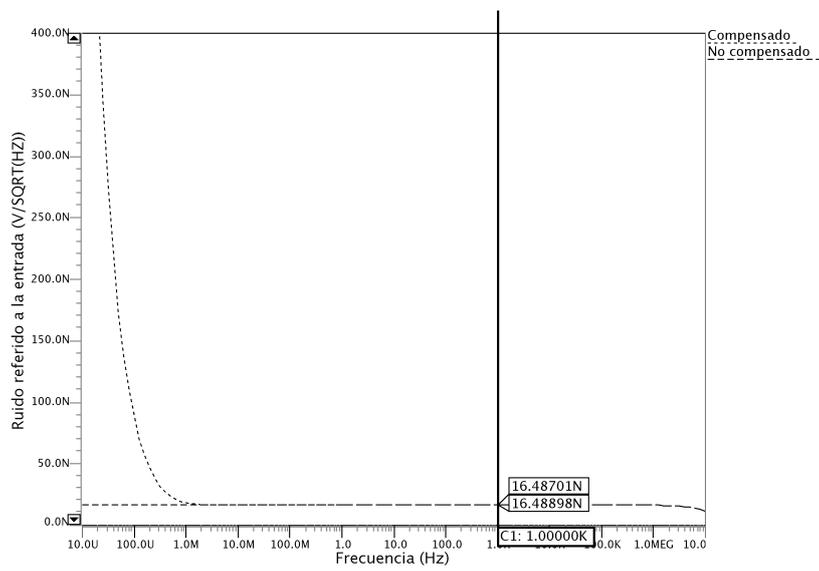


Figura 85: Resistencia de salida de OTA compensado en frecuencia y desvío con reutilización de corriente



(a) Ruido a 1 KHz y en ancho de banda de 5 Hz - 1 KHz



(b) Comparación de espectro de ruido con y sin estrategia de compensación

Figura 86: Espectro de ruido de OTA con reutilización de corriente

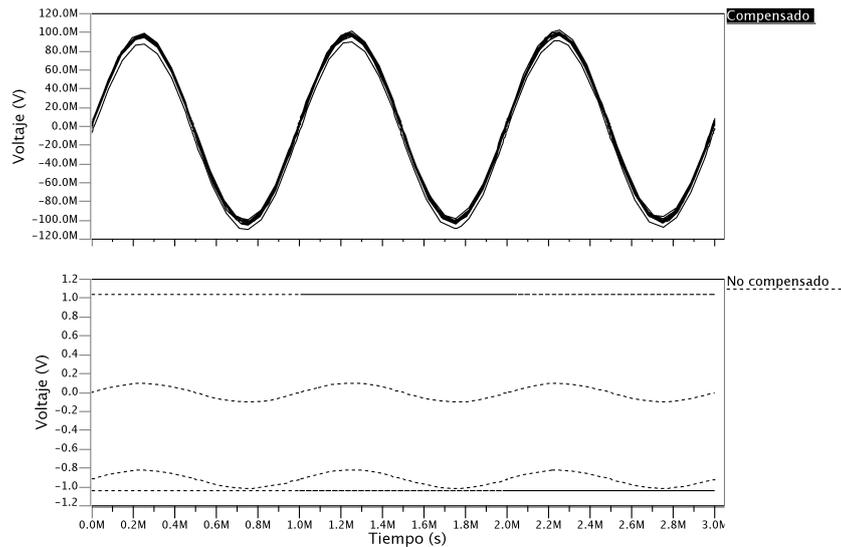


Figura 87: Simulación Monte Carlo de OTA con reutilización de corriente con y sin compensación de desvío

desvío impide la saturación del amplificador a partir de la predicción de variaciones de proceso. Por lo tanto, en la figura 88 se muestra un histograma que corresponde al voltaje de desvío referido a la salida en lazo abierto. Se observa un rango de voltajes de desvío de  $-6$  a  $7$  mV que corresponde a un rango de desvío referido a la entrada de  $-46.31$  nV a  $54.02$  nV con una desviación estándar de  $18.02$  nV. Esto se traduce en una voltaje de desvío referido a la entrada de  $72.09$  nV.

#### *Análisis de temperatura*

En la figura 89 se muestra un análisis transitorio de los efectos de temperatura en el OTA incluyendo reutilización de corriente con y sin circuito de compensación de desvío. Las condiciones de temperatura varían con respecto a un rango estándar de operación de  $0$  a  $70^{\circ}\text{C}$ . Se puede observar como la estrategia de compensación de desvío introduce variaciones en la respuesta en tiempo.

En la figura 90 se muestra un análisis en frecuencia dependiente de la temperatura. Se puede observar como una vez más las variaciones importantes se encuentran en la respuesta en frecuencia del circuito de compensación de desvío (baja frecuencia).

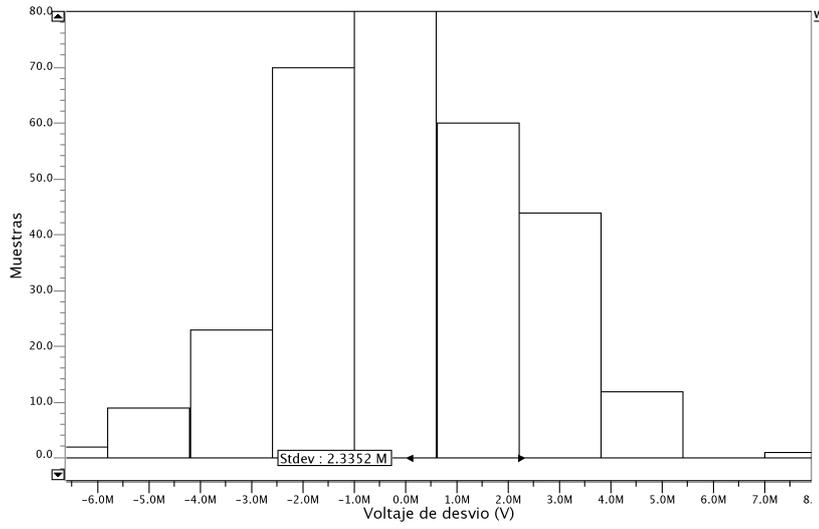


Figura 88: Voltaje de desvío residual de OTA compensado en frecuencia y desvío con reutilización de corriente

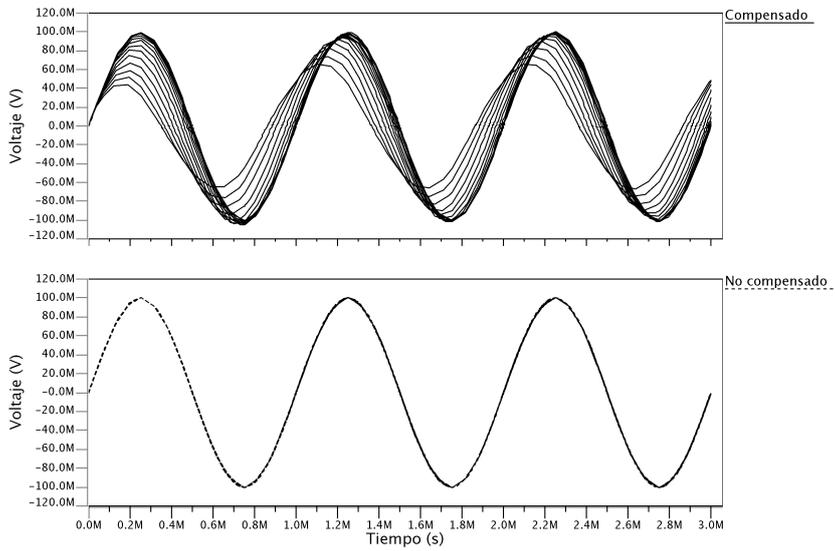


Figura 89: Análisis de efectos de variación de temperatura

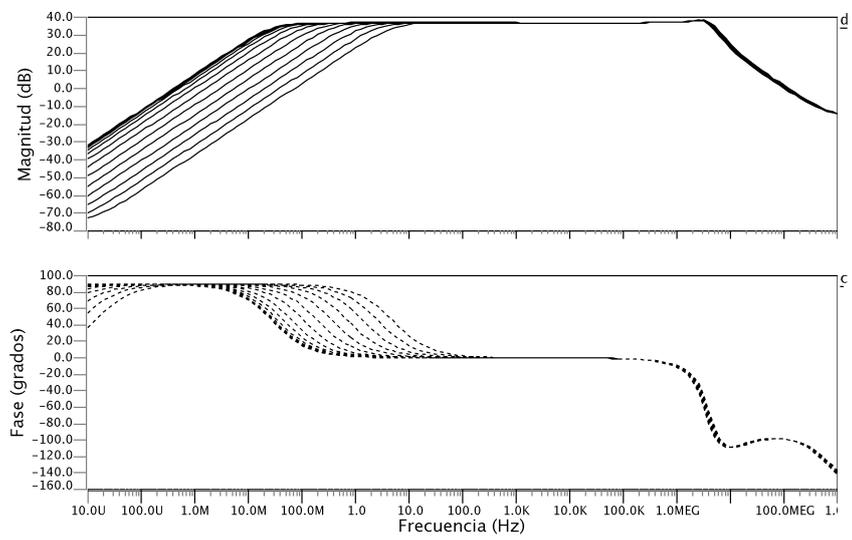


Figura 90: Variación de ganancia por efectos de temperatura

## CONCLUSIONES

## 5.1 ESTUDIO COMPARATIVO ENTRE DISEÑOS DE OTA

En el presente trabajo se realizaron tres diferentes diseños de OTA compensados en frecuencia y voltaje de desvío mediante estrategias de circuitos analógicos, para cumplir los requisitos de acondicionamiento de una señal proveniente de un microsensor. En la tabla 8 se muestra una comparación cuantitativa entre cada diseño presentado. Se denominó como diseño A al OTA compensado en frecuencia por medio de etapa de trasconductancia extra. El diseño B corresponde al OTA compensado en frecuencia por medio de transistores de compuerta flotante. Finalmente se denominó como diseño C al OTA compensado en frecuencia y desvío por medio de etapas de reutilización de corriente.

Se puede observar como los primeros diseños obtuvieron especificaciones aproximadas excepto en el voltaje residual de desvío, la respuesta pasa banda y el consumo de potencia. Esto se debe a que el circuito de compensación de desvío para el diseño B incorpora un filtro pasa bajas de segundo orden en contraste con el filtro de primer orden del diseño A. En consecuencia, se necesita incorporar un capacitor externo para completar el filtro, lo que supone un gasto extra de área de silicio que en contraste mejora el tiempo de respuesta de la compensación en baja frecuencia. Como el filtro de segundo orden alcanza la ganancia del amplificador a una frecuencia menor, se puede utilizar un ancho de banda mayor. Sin embargo, esto ocasiona un sobretiro cerca de las frecuencias de corte que produce distorsión de señal. Así mismo, el consumo de potencia menor se ve reflejado en la ausencia de la etapa de compensación de baja trasconductancia.

Como los diseños A y B son análogos entre sí debido a que las variaciones importantes se encuentran en los circuitos de compensación, se concluye que el uso de un filtro de primer o segundo orden se basa en la especificación de ancho de banda de la aplicación y la velocidad de compensación<sup>1</sup>. Sin embargo, esta aplicación no es posible en microsensores implantables, donde el añadir el capacitor externo para el filtro de segundo orden no es viable. En adición, el usar una compensación de frecuencia por prealimentación utilizando transistores de compuerta flotante reduce el consumo de potencia para la integración de microsensores de bajo voltaje mientras se pueda cumplir con la especificación de consumo de área de silicio, en la que se impone el gasto ocasionado por los capacitores de la compuerta flotante. Como siempre, existe un compromiso de diseño.

No obstante, la compensación de desvío es sensible al ruido  $1/f$ , que ocasiona altas contribuciones en bajas frecuencias, especialmente en el diseño B cuya frecuencia de codo de ruido  $1/f$  se encuentra sobre 1 Hz.

Por otro lado, el diseño C incorpora un concepto novedoso en la topología de un OTA. Mediante la incorporación de una estrategia de reutilización se obtiene un esquema con prestaciones superiores a los anteriores diseños sin incrementar substancialmente el consumo de potencia. El incremento en el producto ganancia-ancho de banda se

<sup>1</sup> Es decir, que el amplificador este sin voltaje de desvío mayor al residual lo antes posible

debe a que se alivió la restricción de compensación de frecuencia y se habilita el diseño de una primer etapa de alta ganancia, aunque el uso de esta topología significó la reducción del rango de salida. Al mejorar el GBW se obtuvieron velocidades de respuesta mayores que, por el otro lado ocasionan un sobretiro y oscilaciones en la respuesta en tiempo. Por este motivo se incorpora un filtro pasa bajas de primer orden. Sin embargo, para subsanar tiempos de compensación altos, se utiliza una etapa de alta ganancia en la compensación de desvío. De esta forma también se mejora el desvío residual y, de manera indirecta, la CMRR y la PSRR. Además, un producto GBW alto disminuye considerablemente el impacto del filtro pasa bajas en la respuesta pasa banda del amplificador. Finalmente, las dimensiones conseguidas en los transistores logran una menor contribución de ruido y, considerando la ganancia de la compensación de desvío, se mejora el rango de frecuencias bajas sensibles al ruido  $1/f$ .

Por lo tanto, se concluye que el alto desempeño del diseño C logra reunir especificaciones mayores de exactitud y velocidad, sin incrementar considerablemente el consumo de potencia que en última instancia significa optimizar el compromiso exactitud-velocidad-potencia. Todo esto dentro del rango de aplicaciones para microsensores sin incrementar la complejidad drásticamente lo que hace viable una integración digital y microestructural en chip.

## 5.2 COMPARACIÓN ENTRE DISEÑOS PROPUESTOS Y ESTADO DEL ARTE

En la tabla 9 se muestra una comparación cuantitativa entre diseños compensados en desvío en el estado del arte y los diseños propuestos. Se utilizaron métodos estadísticos a través de modelos de variación de parámetros y simulaciones Monte Carlo para asegurar el desempeño del diseño en un lote de fabricación de circuitos.

Se puede observar como las especificaciones de ruido y desvío residual obtenidas se encuentran dentro del rango de los obtenidos por los recortadores, que en la actualidad son las topologías que han logrado el mejor desempeño en el rubro de la precisión. Sin embargo, al contrario de topologías con recortadores, los diseños de compensación de desvío propuestos logran tales especificaciones con una complejidad reducida y son adecuados para trabajar en tiempo continuo (al contrario del autocero).

Además, esta técnica no requiere de conocimiento especializado para su aplicación por lo que, en el diseño de sistemas integrados MEMS, esta es una ventaja en la ingeniería de diseño.

Además, el uso de una compensación por prealimentación no limita el ancho de banda como en el caso de los recortadores que es de 10 a 30 Hz para una trayectoria simple, o de 1 a 1.5 MHz el caso de estabilizadores de desvío con recortador (dos trayectorias). Esto significa la obtención de amplificadores veloces, i.e., que pueden manejar cambios abruptos de señal sin distorsionarla y de manera global se optimiza el compromiso exactitud-velocidad-potencia de forma dinámica, lo que es imposible por diseño.

En específico, la topología novedosa del diseño C, que posee especificaciones competitivas con las técnicas más exactas, se proyecta como adecuada para trámite de patente.

ESPECIFICACIÓN	DISEÑO A	DISEÑO B	DISEÑO C
Ganancia	93.32 dB	98.466 dB	102.25 dB
GBW	33.647 MHz	70.996 MHz	161.86 MHz
Margen de fase	90.076°	89.67°	82.103°
Velocidad de respuesta en flanco ascendente	6.5965V/μs	13.955 V/μs	20.691 V/μs
Velocidad de respuesta en flanco descendente	7.2928 V/μs	9.8243V/μs	60.27 V/μs
Resistencia de salida	14.4 KΩ	817.17 Ω	488.67 Ω
Rango de salida	-1.5, 1.5 V	-2.25, 2.4 V	-1.1, 1.1 V
PSRR+, PSRR-	65.85 dB, 37.314 dB	106.5 dB, 124.4 dB	98.957 dB, 112.41 dB
CMRR	188.3 dB	99.996 dB	102.58 dB
Ruido (1 KHz)	24.97 nV/√Hz	20.546 nV/√Hz	16.487 nV/√Hz
Voltaje de alimentación	-1.65, 1.65 V	-1.65, 1.65 V	-1.65, 1.65 V
Consumo de potencia	1.2 mW	0.8mW	0.9 mW
Voltaje residual de desvío a la entrada	479 nV	96.35 nV	72.09 nV
Pasa banda	97.9 - 500 Hz	120 mHz - 535 Hz	17.93 Hz - 3.8 KHz
Pasa banda (retroalimentado 100)	1.14 Hz- 261.7 KHz	2.8 mHz - 968.82 KHz	39.5 mHz - 5.182 MHz

Tabla 8: Comparación cuantitativa de diseños realizados para OTA compensado en frecuencia y desvío

TOPOLOGÍA	DESVÍO RESIDUAL	RUIDO RESIDUAL
Autocero	$\pm 1 \mu\text{V} - 10 \mu\text{V}$	$48 \text{ nV}/\sqrt{\text{Hz}}$
Estabilización con recortador	$\pm 1 \mu\text{V}$	$8.5 \text{ nV}/\sqrt{\text{Hz}}$
Estabilización con recortador anidado	$\pm 10 - 100 \text{ nV}$	$27 \text{ nV}/\sqrt{\text{Hz}}$
Ajuste con compuerta flotante	$\pm 25 \mu\text{V}$	no compensado
Diseño A	$\pm 479 \text{ nV}$	$24.97 \text{ nV}/\sqrt{\text{Hz}}$
Diseño B	$\pm 96.35 \text{ nV}$	$20.546 \text{ nV}/\sqrt{\text{Hz}}$
Diseño C	$\pm 72.09 \text{ nV}$	$16.487 \text{ nV}/\sqrt{\text{Hz}}$

Tabla 9: Comparación cuantitativa de voltaje de desvío y ruido residual de diseños propuestos con diseños del estado del arte.

### 5.3 IMPACTO DE LA COMPENSACIÓN DE DESVÍO EN OTROS PARÁMETROS

Se realizaron simulaciones que incluyen la variación de las condiciones de temperatura dentro de un rango estándar de 0 a 70°C. Se observó una sensibilidad de la señal de salida en los diseños A y C a este parámetro que en ningún punto desvía al amplificador a la región de saturación. De manera preliminar se concluyó que los efectos derivados de la temperatura afectan directamente al circuito de compensación de desvío, específicamente al comportamiento de los transistores en inversión débil, el cual no es preciso a través de un modelo SPICE actual para todos los efectos secundarios. En el diseño B se obtuvo una correcta compensación de este efecto, presumiblemente debido a que ocasiona exclusivamente variaciones en CD debido al efecto pasa bajas ocasionado por el capacitor  $C_f$  del filtro de compensación de desvío.

Por lo tanto, se apreció que los efectos de variación de temperatura presentes en el amplificador son compensados por el circuito de cancelación de desvío con excepción de aquellos ocasionados directamente en el circuito de cancelación, los cuales en apariencia no son críticos en la operación puesto que sus contribuciones están por debajo de las variaciones de desvío y ruido. Sin embargo, esto no es definitivo puesto que se puede dudar de la veracidad de los resultados puesto que la simulación de llevó a puntos cercanos a los límites de la fiabilidad de las herramientas computacionales. En consecuencia, para concluir adecuadamente este estudio, es necesario realizar pruebas experimentales con circuitos fabricados y comprobar o rechazar esta hipótesis.

### 5.4 TRABAJO FUTURO

En un futuro inmediato para completar el presente trabajo se requieren las siguientes actividades:

- Diseñar el circuito físico del Diseño B de forma que se incluya un puerto extra en los transistores de compuerta flotante que corresponde a un transistor de compuerta semiflotante, de acuerdo al macromodelo de simulación utilizado.

- Fabricar los circuitos expuestos y caracterizar experimentalmente para validar los resultados expuestos.
- Estudiar los efectos de temperatura en transistores en región de inversión débil experimentalmente y comprobar o rechazar las conclusiones preliminares al respecto.

Así mismo, para completar la aproximación final de este trabajo, en un futuro a mediano plazo se requieren las siguientes actividades:

- Caracterizar un microsensory e integrar un diseño de OTA propuesto.
- Caracterizar la respuesta de la señal acondicionada de un microsensory y definir las limitaciones de linealidad y resolución.



Parte IV  
APENDICE





## APÉNDICE

Esta sección está dedicada a enriquecer y complementar los conceptos, teorías y técnicas que forman parte del sustento del presente trabajo.

### A.1 MODELO DE SIMULACIÓN SPICE

El modelo de transistores CMOS para una tecnología de  $0.5\mu$  de ON SEMI utilizado para la caracterización de los circuitos en este trabajo corresponde al siguiente:

```
* DATE: Jan 25/99
* LOT: n8bn
* WAF: 03
* Temperature_parameters=Default
****temp fix*** .lib NOM
.MODEL NOTCHEDROW C
.MODEL HR R
.MODEL n NMOS (                                LEVEL = 53
+VERSION = 3.1                                TNOM   = 27                                TOX    = 1.41E-8
+XJ      = 1.5E-7                              NCH    = 1.7E17                             VTH0   = 0.7086
+K1      = 0.8354582                          K2     = -0.088431                          K3     = 41.4403818
+K3B     = -14                                W0     = 6.480766E-7                        NLX    = 1E-10
+DVT0W  = 0                                  DVT1W  = 5.3E6                              DVT2W  = -0.032
+DVT0    = 3.6139113                         DVT1   = 0.3795745                        DVT2   = -0.1399976
+U0      = 533.6953445                        UA     = 7.558023E-10                       UB     = 1.181167E-18
+UC      = 2.582756E-11                      VSAT   = 1.300981E5                         A0     = 0.5292985
+AGS     = 0.1463715                         B0     = 1.283336E-6                        B1     = 1.408099E-6
+KETA    = -0.0173166                        A1     = 0                                  A2     = 1
+RDSW   = 2.268366E3                         PRWG   = -1E-3                              PRWB   = 6.320549E-5
+WR      = 1                                  WINT   = 2.043512E-7                       LINT   = 3.034496E-8
+XL      = 0                                  XW     = 0                                  DWG    = -1.446149E-8
+DWB     = 2.077539E-8                      VOFF   = -0.1137226                        NFACTOR = 1.2880596
+CIT     = 0                                  CDSC   = 1.506004E-4                       CDSCD  = 0
+CDSCB  = 0                                  ETA0   = 3.815372E-4                       ETAB   = -1.029178E-3
+DSUB   = 2.173055E-4                      PCLM   = 0.6171774                        PDIBLC1 = 0.185986
+PDIBLC2 = 3.473187E-3                     PDIBLCB = -1E-3                          DROUT  = 0.4037723
+PSCBE1 = 5.998012E9                       PSCBE2 = 3.788068E-8                      PVAG   = 0.012927
+DELTA  = 0.01                              MOBMOD = 1                                  PRT    = 0
+UTE     = -1.5                              KT1    = -0.11                             KT1L   = 0
+KT2    = 0.022                              UA1    = 4.31E-9                            UB1    = -7.61E-18
+UC1    = -5.6E-11                          AT     = 3.3E4                              WL     = 0
+WLN    = 1                                  WW     = 0                                  WWN    = 1
+WWL    = 0                                  LL     = 0                                  LLN    = 1
+LW     = 0                                  LWN    = 1                                  LWL    = 0
+CAPMOD = 2                                  XPART  = 0.4                              CGDO   = 1.99E-10
+CGSO   = 1.99E-10                          CGBO   = 0                                  CJ     = 4.233802E-4
+PB     = 0.9899238                          MJ     = 0.4495859                        CJSW  = 3.825632E-10
+PBSW   = 0.1082556                          MJSW  = 0.1083618                        PVTH0  = 0.0212852
+PRDSW  = -16.1546703                       PK2    = 0.0253069                        WKETA  = 0.0188633
+LKETA  = 0.0204965                          )
* .MODEL p PMOS (                                LEVEL = 53
+VERSION = 3.1                                TNOM   = 27                                TOX    = 1.41E-8
+XJ      = 1.5E-7                              NCH    = 1.7E17                             VTH0   = -0.9179952
+K1      = 0.5575604                          K2     = 0.010265                          K3     = 14.0655075
+K3B     = -2.3032921                        W0     = 1.147829E-6                        NLX    = 1.114768E-10
+DVT0W  = 0                                  DVT1W  = 5.3E6                              DVT2W  = -0.032
+DVT0    = 2.2896412                         DVT1   = 0.5213085                        DVT2   = -0.1337987
+U0      = 202.4540953                       UA     = 2.290194E-9                       UB     = 9.779742E-19
+UC      = -3.69771E-11                      VSAT   = 1.307891E5                         A0     = 0.8356881
```

```

+AGS      = 0.1568774      B0      = 2.365956E-6      B1      = 5E-6
+KETA     = -5.769328E-3   A1      = 0                A2      = 1
+RDSW    = 2.746814E3     PRWG    = 2.34865E-3    PRWB    = 0.0172298
+WR       = 1              WINT    = 2.586255E-7   LINT    = 7.205014E-8
+XL       = 0              XW      = 0                DWG     = -2.133054E-8
+DWB     = 9.857534E-9    VOFF    = -0.0837499    NFACTOR = 1.2415529
+CIT      = 0              CDSC    = 4.363744E-4    CDSCD   = 0
+CDSCB   = 0              ETA0    = 0.11276           ETAB    = -2.9484E-3
+DSUB    = 0.3389402     PCLM    = 4.9847806    PDIBLC1 = 2.481735E-5
+PDIBLC2 = 0.01          PDIBLCB = 0            DROUT   = 0.9975107
+PSCBE1  = 3.497872E9    PSCBE2  = 4.974352E-9  PVAG    = 10.9914549
+DELTA   = 0.01          MOBMOD   = 1            PRT     = 0
+UTE     = -1.5           KT1     = -0.11         KT1L    = 0
+KT2     = 0.022         UA1     = 4.31E-9        UB1     = -7.61E-18
+UC1     = -5.6E-11      AT      = 3.3E4         WL      = 0
+WLN     = 1              WW      = 0                WWN     = 1
+WWL     = 0              LL      = 0                LLN     = 1
+LW      = 0              LWN     = 1            LWL     = 0
+CAPMOD  = 2              XPART   = 0.4           CGDO    = 2.4E-10
+CGSO    = 2.4E-10       CGBO    = 0             CJ      = 7.273568E-4
+PB      = 0.9665597     MJ      = 0.4959837    CJSW   = 3.114708E-10
+PBSW    = 0.99          MJSW   = 0.2653654    PVTH0  = 9.420541E-3
+PRDSW   = -231.2571566  PK2     = 1.396684E-3  WKETA  = 1.862966E-3
+LKETA   = 5.728589E-3   )
* ***temp fix***
.ENDL
.END

```

## A.2 CÁLCULO DE VARIACIÓN DE DIMENSIONES DE TRANSISTORES CMOS DE 0.5 $\mu$ M

Para simulaciones Monte Carlo, de acuerdo al modelo de Pelgromm [30], la desviación estándar de las dimensiones para un transistor está dado por:

$$\sigma = \frac{\Delta_p}{\sqrt{W(L-0.1)}}$$

donde  $\Delta_p$  es la variación dimensional que viene dada por la tecnología y es 14 mV/ $\mu$ m.  $L-0.1$  corresponde a  $L_{ef}$  o longitud de compuerta eficaz. La variación del ancho  $W$  es despreciada.

## BIBLIOGRAFÍA

---

- [1] J. H. Huijsing A. Bakker. A cmos chopper opamp with integrated low-pass filter. *European Solid-State Circuits Conference*, pages 200–203, 1997. (Citado en página 28.)
- [2] J. H. Huijsing A. Bakker. *High-accuracy CMOS smart temperature sensors*. Kluwer Academic Publishers, 2000. (Citado en páginas 28, 29 y 30.)
- [3] J. H. Huijsing A. Bakker, K. Thiele. A cmos nested-chopper instrumentation amplifier with 100-nv offset. *IEEE Journal of Solid-State Circuits*, 42, 2007. (Citado en páginas 32, 33 y 62.)
- [4] B.A.Wooley B. Razavi. Design techniques for high-speed, high-resolution comparators. *IEEE Journal of Solid-State Circuits*, pages 1916–1926, 1992. (Citado en páginas 9, 25 y 27.)
- [5] G. C. Temes C. C. Enz. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization. *Proceedings of the IEEE*, 84:1585–1614, 1996. (Citado en páginas 9, 17, 25, 28, 29, 31 y 32.)
- [6] Q. Huang C. Menolfi. A fully integrated, untrimmed cmos instrumentation amplifier with submicrovolt offset. *IEEE Journal of Solid-State Circuits*, pages 415–420, 1999. (Citado en página 32.)
- [7] A. Díaz-Sánchez J. M. Rocha-Pérez C. Muñiz Montero, R. Gonzalez Carvajal. New strategies to improve offset and the speed-accuracy-power tradeoff in cmos amplifiers. *Journal of Analog Integrated Circuits and Signal Processing*, 84(11):1584–1614, 2007. (Citado en páginas 11 y 62.)
- [8] F. Krummenacher C.C. Enz, E.A. Vittoz. A cmos chopper amplifier. *IEEE Journal of Solid-State Circuits*, pages 335–342, 1987. (Citado en páginas 28 y 32.)
- [9] R. Gonzalez-Carvajal E. Rodriguez-Villegas, M. Jimenez. On dealing with the charge trapped in floating-gate mos (fgmos) transistors. *IEEE Transactions on Circuits and Systems*, 54:156–170, 2007. (Citado en página 48.)
- [10] C.C. Enz. *High precision CMOS micropower amplifiers*. PhD thesis, Ecole Polytechnique Federale de Lausanne, 1989. (Citado en páginas 9 y 28.)
- [11] E. Sanchez-Sinencio Fan Xiaohua F, C. Mishra. Single miller capacitor compensated multistage amplifiers for large capacitive load applications. *Proceedings of the 2004 International Symposium on Circuits and Systems*, 1:493–496, 2004. (Citado en página 18.)
- [12] E. Sanchez-Sinencio Fan Xiaohua F, C. Mishra. Single miller capacitor frequency compensation technique for low-power multistage amplifiers. *IEEE Journal of Solid-State Circuits*, 40:584–592, 2005. (Citado en página 18.)

- [13] S. Pennisi G. Palmisano, G. Palumbo. Design procedure for two-stage cmos transconductance operational amplifiers: A tutorial. *Analog Integrated Circuits and Signal Processing*, 27:179–189, 2001. (Citado en página 64.)
- [14] R. Gregorian. *Introduction to CMOS OP-AMPS and Comparators*. Wiley-InterScience Press, 1999. (Citado en páginas 18, 35, 65, 66 y 79.)
- [15] itrs. www.itrs.net. (Citado en página 5.)
- [16] E. van Kampen K. A. A. Makinwa J. H. Huijsing J. C. van der Meer, F. R. Riedijk. A fully integrated cmos hall sensor with a  $3.65\mu\text{t}$   $3\sigma$  offset for compass applications. *IEEE International Solid-State Circuits Conference*, pages 246–247, 2005. (Citado en página 32.)
- [17] J. H. Huijsing J. F. Witte, K. A. A. Makinwa. A cmos chopper offset-stabilized opamp. *IEEE Journal of Solid-State Circuits*, pages 1529–1535, 2007. (Citado en páginas 25, 32 y 33.)
- [18] J. H. Huijsing J. F. Witte, K. A. A. Makinwa. *Dynamic Offset Compensated CMOS Amplifiers*. Springer, 2009. (Citado en páginas 9, 17, 24, 26, 27, 28, 29 y 32.)
- [19] O. Paul J. G. Korvink. *MEMS: A Practical Guide to Design, Analysis and Applications*. Springer, 2006. (Citado en página 8.)
- [20] C. Yoo J. Hwang. A low-power wide-bandwidth fully differential operational amplifier with current re-using feedforward frequency compensation. *IEEE Asia-Pacific Conference on Advanced System Integrated Circuits*, pages 32–35, 2004. (Citado en páginas 22 y 85.)
- [21] R. Gonzalez-Carvajal A. Torralba A. Lopez-Martin J. Ramirez-Angulo, C. A. Urquidi. A new family of very low-voltage analog circuits based on quasi-floating-gate transistors. *IEEE Transactions on Circuits and Systems*, 50:214–220, 2003. (Citado en página 48.)
- [22] R. Gonzalez-Carvajal F. Muñoz-Chavero J. Ramirez-Angulo, A. Lopez-Martin. Very low-voltage analog signal processing based on quasi-floating gate transistors. *IEEE Journal of Solid-State Circuits*, 39:434–442, 2004. (Citado en página 48.)
- [23] V. K. Varadan J. W. Gardner. *Microsensors, MEMS, and Smart Devices*. John Wiley & Sons Ltd, 2001. (Citado en páginas 4 y 5.)
- [24] M.F. Snoeij K.A.A. Makinwa. Cmos temperature-to-frequency converter with an inaccuracy of less than  $0.5\%$   $3\sigma$  from  $40^\circ\text{C}$  to  $105^\circ\text{C}$ . *IEEE Journal of Solid-State Circuits*, pages 2992–2997, 2006. (Citado en página 32.)
- [25] P. R. Kinget. Device mismatch and tradeoffs in the design of analog circuits. *IEEE Journal of Solid-State Circuits*, 40:1212–1224, 2005. (Citado en páginas 17 y 54.)
- [26] R. Kumar. The business of scaling. *IEEE SSCS Newsletter*, pages 22–26, 2007. (Citado en página 10.)
- [27] S. E. Lyshevski. *MEMS and NEMS: Systems, Devices and Structures*. CRC Press LLC, 2002. (Citado en página 4.)

- [28] J. H. Huijsing M. A. P. Pertijs, K. A. A. Makinwa. A cmos smart temperature sensor with a 3sigma inaccuracy of 0.1c from -55c to 125c. *IEEE Journal of Solid-State Circuits*, pages 2805–2815, 2005. (Citado en página 32.)
- [29] I. Verbauwhede M. Degrauwe, E. Vittoz. A micropower cmos-instrumentation amplifier. *IEEE Journal of Solid-State Circuits*, pages 805–807, 1985. (Citado en páginas 9 y 27.)
- [30] A. P. G. Welbers M. J. M. Pelgrom, C. J. Aad. Matching properties in analog cmos applications. *IEEE Journal of Solid-State Circuits*, 24: 1433–1440, 1989. (Citado en páginas 10, 17, 54 y 110.)
- [31] M. Vertregt M. J. M. Pelgrom, H. P. Tuinhout. Transistor matching in analog cmos applications. *Proceedings Int. Electron Devices Meeting*, pages 915–918, 1998. (Citado en páginas 10 y 17.)
- [32] J. Bastos P. Kinget W. Sansen M. Steyaert, V. Peluso. Custom analog low power design: The problem of low voltage and mismatch. *in Proc. IEEE 1997 Custom Integrated Circuits Conference.*, pages 285–292, 1997. (Citado en página 9.)
- [33] A. Moini. *Vision Chips*. Kluwer Academic Publishers, 1999. (Citado en página 5.)
- [34] G. E. Moore. Progress in digital electronics. *IEDM*, pages 11–13, 1975. (Citado en página 10.)
- [35] G. E. Moore. No exponential is forever; but "forever" can be delayed. *ISSCC, Paper:1.1*, 2003. (Citado en página 10.)
- [36] K. Williams N. Maluf. *An Introduction to Microelectromechanical Systems Engineering*. Artech House, 2004. (Citado en página 3.)
- [37] D. R. Holberg P. E. Allen. *CMOS Analog Circuit Design*. Oxford University Press, Inc., 2002. (Citado en páginas 18, 19, 20, 35 y 70.)
- [38] C. C. McAndrew P. G. Drennan. Understanding mosfet mismatch for analog design. *IEEE Journal of Solid-State Circuits*, 38:450–456, 2003. (Citado en página 54.)
- [39] J. H. Huijsing K. A. A. Makinwa Q. Fan, F. Sebastiano. A 2.1 uw area-efficient capacitively-coupled chopper instrumentation amplifier for ecg applications in 65 nm cmos. *IEEE Asian Solid-State Circuits Conference*, 2010. (Citado en páginas 32 y 33.)
- [40] D. Barbier J. Ittel R. Poujois, B. Baylac. Low-level mos transistor amplifier using storage techniques. *IEEE ISSCC*, pages 152–153, 1973. (Citado en página 32.)
- [41] B. Razavi. *Design of analog CMOS integrated circuits*. McGraw-Hill, 2001. (Citado en página 35.)
- [42] N. Uros et al S. Drago, S. Bogdan. Surface-functionalized, comb capacitive sensors and cmos electronics for vapor trace detection of explosives. *IEEE Sensors Journal*, 12, 2012. (Citado en página 17.)
- [43] A. Mathewson B. Mason S. J. Lovett, M. Welten. Optimizing mos transistor mismatch. *IEEE Journal of Solid-State Circuits*, 33:147:150, 1998. (Citado en página 54.)

- [44] C. T. Sah. Characteristics of the metal-oxide-semiconductor transistor. *IEEE Transactions on Electron Devices*, ED-11(7):324–325, July 1964. (Citado en página 37.)
- [45] B. K. Thandri. A robust feedforward compensation scheme for multistage operational transconductance amplifiers with no miller capacitors. *IEEE Journal of Solid-State Circuits*, 38:237–243, 2003. (Citado en página 22.)
- [46] P. Poure F. Braun V. Frick, L. Hebrard. Cmos microsystem front-end for microtesla resolution magnetic field measurement. *Analog Integrated Circuits and Signal Processing*, 36:165–174, 2003. (Citado en páginas 64 y 73.)
- [47] J. Gray P. Hasler V. Srinivasan, G. J. Serrano. A precision cmos amplifier using floating-gate transistors for offset cancellation. *IEEE Journal of Solid-State Circuits*, 42(2), February 2007. (Citado en página 33.)
- [48] Z. Y. Chang W. Sansen. Feedforward compensation techniques for high-frequency cmos amplifiers. *IEEE Journal of Solid-State Circuits*, 25:1590–1595, 1990. (Citado en página 22.)
- [49] P. R. Gray Y. B. Kamath, R. G. Meyer. Relationship between frequency response and settling time of operational amplifiers. *IEEE Journal of Solid-State Circuits*, 9:347–352, 1974. (Citado en página 23.)
- [50] Yuxing Zhang Yingwu Miao. Distortion modeling of feedback two-stage amplifier compensated with miller capacitor and nulling resistor. *IEEE Transactions Circuits and Systems I*, 59:93– 105, 2012. (Citado en página 20.)
- [51] Yole. [www.yole.fr](http://www.yole.fr). (Citado en página 5.)

COLOFÓN